

Chương 4: HỆ TUẦN TỰ

I. Giới thiệu:

Hệ tuần tự là hệ mà ngõ ra không chỉ phụ thuộc vào các ngõ vào mà còn phụ thuộc vào 1 số ngõ ra được hồi tiếp trở thành ngõ vào thông qua phần tử nhớ.

Ngõ vào
(INPUT)

CỔNG LOGIC

Ngõ ra
(OUTPUT)

PHẦN TỬ NHỚ

Phần tử nhớ thường sử dụng là Flip_Flop.

Hệ tuần tự được chia thành 2 loại:

- Hệ tuần tự đồng bộ (Synchronous)
- Hệ tuần tự bất đồng bộ (Asynchronous)

NguyễnTrọngLuật1

II. Mạch Chốt (Latch) và Flip-Flop (FF):

Latch (chốt): là mạch tuần tự mà nó liên tục xem xét các ngõ vào và làm thay đổi các ngõ ra bất cứ thời điểm nào không phụ thuộc vào xung clock.

Flip Flop: là mạch tuần tự mà nó thường lấy mẫu các ngõ vào và làm thay đổi các ngõ ra tại những thời điểm xác định bởi xung clock.

The diagram illustrates the relationship between a binary code sequence and a digital waveform over time. The binary code sequence is 0 0 0 1 0 1 0 0 1 1 0 1 0 1 0. The digital waveform shows transitions at specific points. Red boxes highlight 'Ideal Positive going Pulse' and 'Ideal Negative going Pulse'. Blue labels indicate 'Rising Leading Edge', 'Falling Trailing Edge', 'Falling Leading Edge', and 'Rising Trailing Edge'.

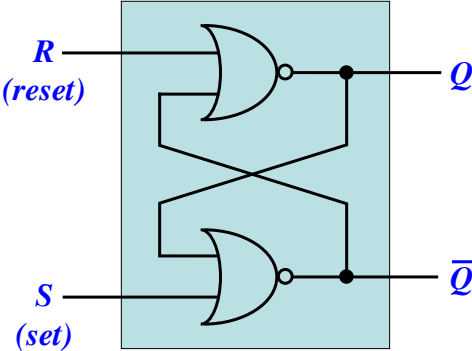
Các mạch chốt và FF có 2 ngõ ra Q và \bar{Q} . Hai ngõ ra này có giá trị logic là bù của nhau.

NguyễnTrọngLuật2

1. Các mạch chốt:

a. Chốt SR: có 2 loại

* Cổng NOR:



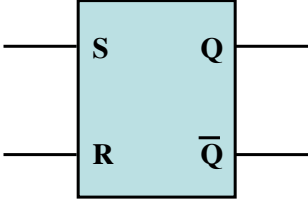
Bảng hoạt động:

S	R	Q ⁺	Q ⁺ [¯]
0	0	Q	Q [¯]
0	1	0	1
1	0	1	0
1	1	0	0

Cấm sử dụng

Q⁺ là trạng thái kế tiếp của Q

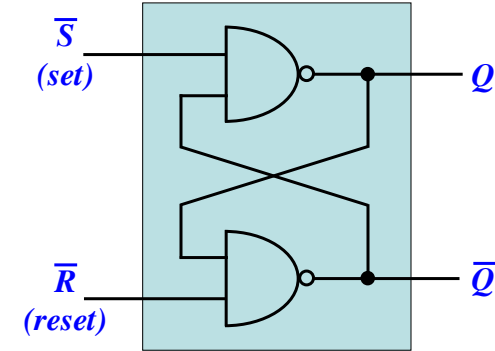
Ký hiệu:



NguyễnTrọngLuật

3

* Cổng NAND:

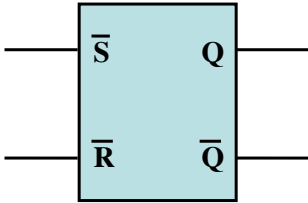


Bảng hoạt động:

S [¯]	R [¯]	Q ⁺	Q ⁺ [¯]
0	0	1	1
0	1	1	0
1	0	0	1
1	1	Q	Q [¯]

Cấm sử dụng

Ký hiệu:



NguyễnTrọngLuật

4

b. Chốt SR có ngõ vào cho phép:

Bảng hoạt động:

C	S	R	Q^+	\overline{Q}^+
0	X	X	Q	\overline{Q}
1	0	0	Q	\overline{Q}
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

Ký hiệu chốt SR có ngõ vào cho phép tích cực cao:

NguyễnTrọngLuật5

*** Khảo sát giản đồ xung:**

(Cho Q ban đầu là 0)

Ký hiệu chốt SR có ngõ vào cho phép tích cực thấp:

\overline{C}	S	R	Q^+	\overline{Q}^+
1	X	X	Q	\overline{Q}
0	0	0	Q	\overline{Q}
0	0	1	0	1
0	1	0	1	0
0	1	1	1	1

NguyễnTrọngLuật6

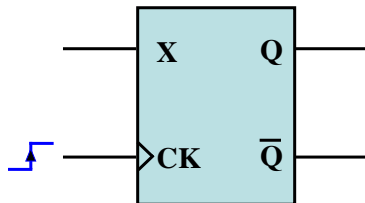
The diagram shows a D flip-flop circuit. It has two inputs: D (labeled "set") and C (labeled "enable"). It has two outputs: Q and \overline{Q} . The circuit is implemented using four NAND gates and one inverter. The inputs D and C are connected to the NAND gates as follows: D is connected to the top input of the top two NAND gates and the bottom input of the bottom two NAND gates. C is connected to the bottom input of the top two NAND gates and the top input of the bottom two NAND gates. The outputs of the top two NAND gates are connected to the inputs of the bottom two NAND gates, forming a cross-coupled SR latch structure. The output of the inverter is connected to the \overline{Q} output.

A diagram of a D flip-flop. It is represented as a light blue rectangle with a black border. On the left side, there are two horizontal input lines. The top input is labeled 'D' and the bottom input is labeled 'C'. On the right side, there are two horizontal output lines. The top output is labeled 'Q' and the bottom output is labeled 'Q-bar' (Q with a horizontal bar over it).

C	D	Q^+	\overline{Q}^+
0	X	Q	\overline{Q}
1	0	0	1
1	1	1	0

7

Trạng thái kế tiếp của ngõ ra FF sẽ thay đổi theo ngõ vào và trạng thái trước đó của ngõ ra tại thời điểm thay đổi của xung clock (cạnh lên hoặc cạnh xuống)



The diagram shows a D flip-flop with inputs X and CK, and outputs Q and \bar{Q} . The clock signal CK is a square wave. The data signal X is a square wave that changes at various points. The output signal Q is a square wave that changes only when the clock signal is high and X is high. The output signal \bar{Q} is the complement of Q.

Biểu diễn mối quan hệ của ngõ ra kế tiếp Q^+ phụ thuộc vào các ngõ vào và trạng thái ngõ ra hiện tại Q .

Biểu diễn giá trị của các ngô vào cần phải có khi ta cần ngô ra chuyển từ trạng thái hiện tại Q sang trạng thái kế tiếp Q^+ .

8

a. Flip Flop D (D-FF):

Logic symbol for D-FF: A rectangular block with input D, output Q, clock input CK (indicated by a triangle), and output Q-bar.

Bảng hoạt động:

CK	D	Q ⁺	Q ⁺
0, 1, \overline{L}	X	Không thay đổi	
\overline{L}	0	0	1
\overline{L}	1	1	0

Logic symbol for D-FF: A rectangular block with input D, output Q, clock input CK (indicated by a circle), and output Q-bar.

CK	D	Q ⁺	Q ⁺
0, 1, \overline{L}	X	Không thay đổi	
\overline{L}	0	0	1
\overline{L}	1	1	0

NguyễnTrọngLuật9

*** Khảo sát giản đồ xung:**

Timing diagram for D-FF: Shows three signals over time. CK is a periodic square wave. D is a signal that changes at various points. Q is the output, which changes only at the rising edges of CK, following the value of D at that moment. Vertical dashed lines indicate the sampling points at each rising edge of CK.

(Cho Q ban đầu là 0)

*** Bảng đặc tính và phương trình đặc tính:**

D	Q	Q ⁺
0	0	0
0	1	0
1	0	1
1	1	1

→ Q⁺ = D

*** Bảng kích thích:**

Q	Q ⁺	D
0	0	0
0	1	1
1	0	0
1	1	1

→ D = Q⁺

NguyễnTrọngLuật10

b. Flip Flop T (T-FF):

T

Q

CK

\bar{Q}

T

Q

CK

\bar{Q}

Bảng hoạt động:

T	Q^+
0	Q
1	\bar{Q}

T

Q

CK

\bar{Q}

** Bảng đặc tính và phương trình đặc tính:*

T	Q	Q^+
0	0	0
0	1	1
1	0	1
1	1	0

$Q^+ = T \oplus Q$

** Bảng kích thích:*

Q	Q^+	T
0	0	0
0	1	1
1	0	1
1	1	0

$T = Q \oplus Q^+$

NguyễnTrọngLuật

11

c. Flip Flop SR (SR-FF):

S

Q

CK

R

\bar{Q}

S

Q

CK

R

\bar{Q}

** Bảng hoạt động:*

S	R	Q^+
0	0	Q
0	1	0
1	0	1
1	1	X

S

Q

CK

R

\bar{Q}

** Bảng đặc tính và pt đặc tính:*

S	R	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	X
1	1	1	X

$Q^+ = S + \bar{R}Q$
 $SR = 0$

** Bảng kích thích:*

Q	Q^+	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

NguyễnTrọngLuật

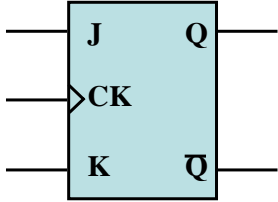
12

GV dạy: Lê Chí Thông

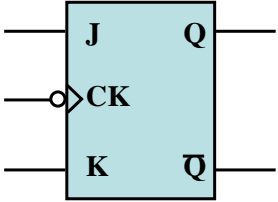
6

d. Flip Flop JK (JK-FF):

** Bảng hoạt động:*



J	K	Q^+
0	0	Q
0	1	0
1	0	1
1	1	\bar{Q}



** Bảng đặc tính và pt đặc tính:*

J	K	Q	Q^+
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

$$Q^+ = J\bar{Q} + \bar{K}Q$$

** Bảng kích thích:*

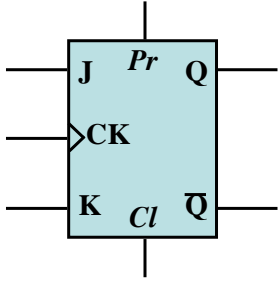
Q	Q^+	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

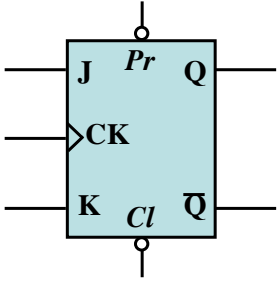
Nguyễn Trọng Luật

13

e. Các ngõ vào bất đồng bộ:

- Các ngõ vào này sẽ làm thay đổi giá trị ngõ ra tức thời, bất chấp xung clock.
- Có 2 ngõ vào vào bất đồng bộ: Preset (Pr) và Clear (Cl).
 - + Khi ngõ vào Preset tích cực thì ngõ ra Q được set lên 1.
 - + Khi ngõ vào Clear tích cực thì ngõ ra Q được xóa về 0.





+ Khi ngõ vào Preset và Clear không tích cực thì FF mới hoạt động.

Nguyễn Trọng Luật

14

GV dạy: Lê Chí Thông

7

III. Bộ đếm (COUNTER):

1. Giới thiệu:

- Bộ đếm là hệ tuần tự có 1 ngõ vào xung clock và nhiều ngõ ra. Ngõ ra của bộ đếm chính là ngõ ra của các Flip-Flop cấu thành bộ đếm.

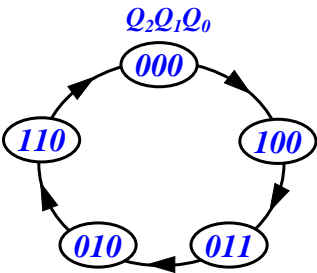
- Nội dung của bộ đếm tại 1 thời điểm gọi là trạng thái của bộ đếm. Khi có xung clock vào bộ đếm sẽ chuyển trạng thái từ 1 trạng thái hiện tại chuyển sang 1 trạng thái kế tiếp. Cứ tiếp tục như vậy sẽ tạo ra 1 vòng đếm khép kín.

- Giải đồ trạng thái của bộ đếm:

Biểu diễn các trạng thái có trong vòng đếm và hướng chuyển trạng thái của bộ đếm.

- Modulo của bộ đếm:

Là số các trạng thái khác nhau trong vòng đếm: $m \leq 2^n$



* Bộ đếm được chia thành 2 loại:

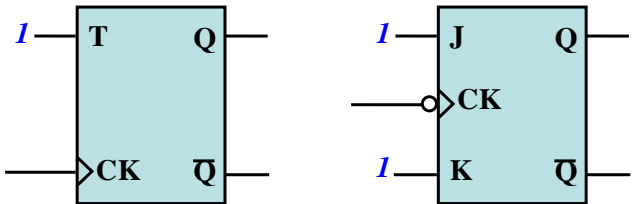
- Bộ đếm nối tiếp (bộ đếm bất đồng bộ): là bộ đếm mà ngõ ra của FF trước sẽ là ngõ vào xung clock cho FF sau.
- Bộ đếm song song (bộ đếm đồng bộ): là bộ đếm mà ngõ vào xung clock của các FF được nối chung với nhau.

2. Bộ đếm nối tiếp (Asynchronous Counter): :

- Bộ đếm nối tiếp thực hiện các vòng đếm lên hoặc xuống:
+ Đếm lên (Count Up): nội dung bộ đếm tăng thêm 1 khi có xung clock.

+ Đếm xuống (Count Down): nội dung bộ đếm giảm đi 1 khi có xung clock.

- Bộ đếm được tạo từ các FF đếm 2, ghép nối tiếp với nhau.



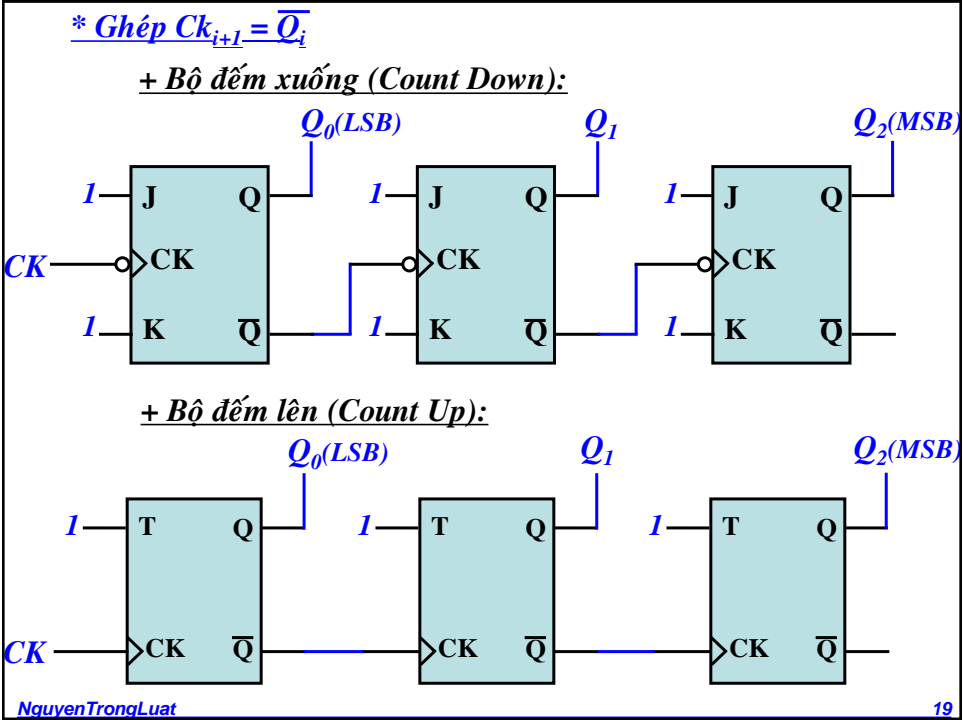
* Ghép $Ck_{i+1} = Q_i$



17



18



b. Bộ đếm không đầy đủ ($m < 2^n$):

- Bộ đếm không đầy đủ thực hiện dựa vào bộ đếm đầy đủ.

Ta cần xác định **trạng thái kế tiếp không mong muốn** của vòng đếm không đầy đủ.

- Dùng trạng thái này để **tạo ra tín hiệu tác động tích cực** vào các ngõ vào bất đồng bộ Preset hoặc Clear để đưa bộ đếm trở về trạng thái ban đầu (thường gọi là trạng thái reset).

Vd: Sử dụng T-FF có xung clock cạnh xuống và ngõ vào Preset, Clear tích cực cao; thiết kế bộ đếm lên có $m = 5$ và bắt đầu từ giá trị 0.

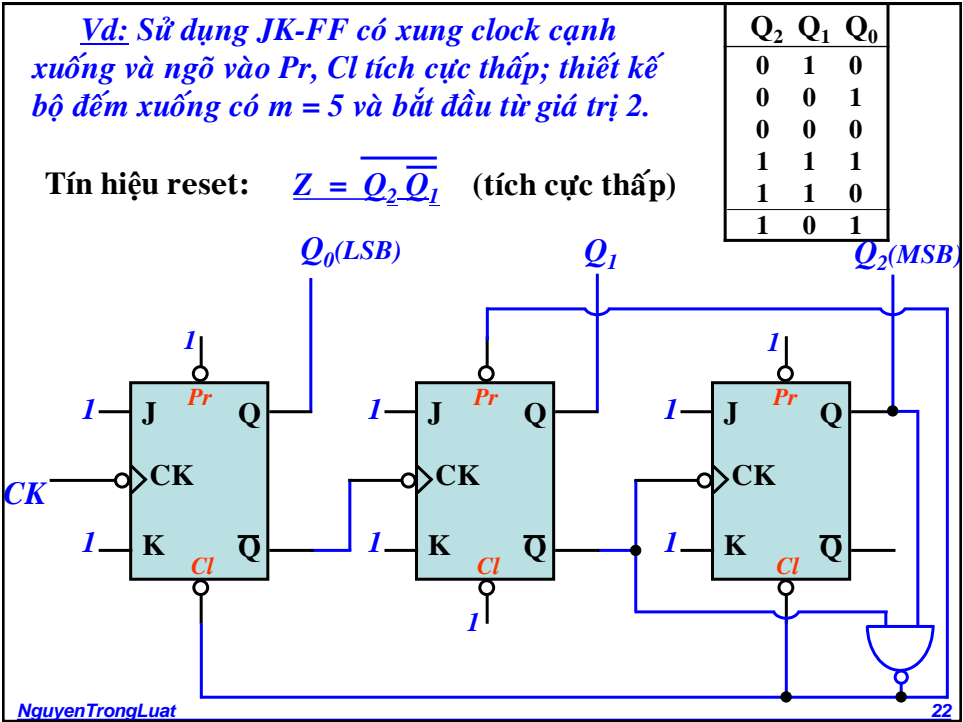
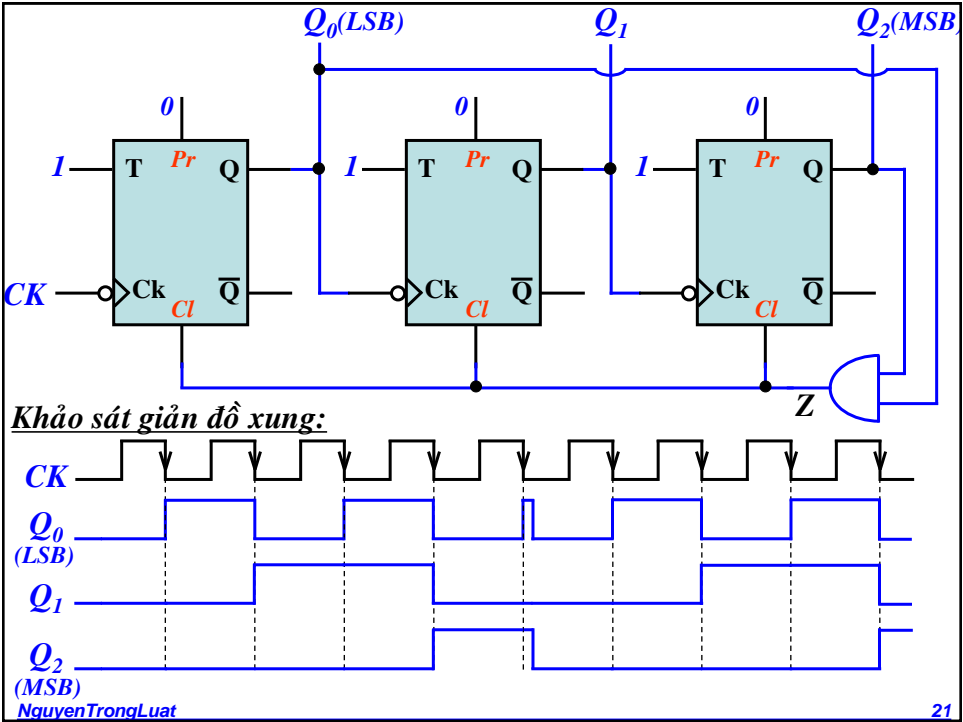
Q_2	Q_1	Q_0	Z
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	X
1	1	1	X

Ta gọi Z là tín hiệu để reset bộ đếm.

$Q_2 \backslash Q_1 Q_0$	00	01	11	10
0			X	
1			X	1

$Z = Q_2 Q_0$

NguyenTrongLuot 20



IC 74393: 2 bộ đếm lên đầy đủ 4 bit

1

2

13

12

1CK

1CLR

2CK

2CLR

(MSB) 1Q_D

2Q_A

2Q_B

2Q_C

(MSB) 2Q_D

3

4

5

6

11

10

9

8

1Q_A

1Q_B

1Q_C

1Q_D

2Q_A

2Q_B

2Q_C

2Q_D

CLR	CK	Q _D	Q _C	Q _B	Q _A
1	X	0	0	0	0
0	0, 1, 1	NO CHANGE			
0	1	COUNT UP			

NguyenTrongLuat

23

IC 7490: gồm 2 bộ đếm - bộ đếm 2 và bộ đếm 5 (đếm lên)

14

1

2

3

6

7

CK_A

CK_B

MR1

MR2

MS1

MS2

5

10

V_{CC}

GND

12

11

9

8

Q_A

Q_B

Q_C

(MSB) Q_D

Reset/Set INPUT				OUTPUT			
MR1	MR2	MS1	MS2	Q _D	Q _C	Q _B	Q _A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	X	1	1	1	0	0	1
1	X	1	X	Counting			
X	1	X	1				
1	X	X	1				
X	1	1	X				

NguyenTrongLuat

24

GV dạy: Lê Chí Thông

12

3. Bộ đếm song song (Synchronous Counter): :

- Là bộ đếm mà các FF đều sử dụng chung nguồn xung clock; khi có xung clock vào thì tất cả các ngõ ra FF đều thay đổi.
- Khi thiết kế bộ đếm, chỉ quan tâm đến trạng thái hiện tại và trạng thái kế tiếp của FF, mà không quan tâm đến dạng xung clock (cạnh lên hoặc cạnh xuống).
- Có thể thiết kế bộ đếm có vòng đếm bất kỳ.

Bảng hàm kích thích:

** D-FF:*

$$D = Q^+$$

** T-FF:*

$$T = Q \oplus Q^+$$

** SR-FF*

** JK-FF*

Q	Q ⁺	S	R	J	K
0	0	0	X	0	X
0	1	1	0	1	X
1	0	0	1	X	1
1	1	X	0	X	0

NguyễnTrọngLuật

25

** Các bước thiết kế:*

- Từ phát biểu bài toán xác định số FF sử dụng và dãy đếm.
- Lập bảng chuyển trạng thái chỉ rõ mối quan hệ giữa trạng thái hiện tại và trạng thái kế tiếp (dựa vào dãy đếm).

<i>T/t hiện tại</i> $Q_{n-1} \dots Q_1 Q_0$	<i>T/t kế tiếp</i> $Q_{n-1}^+ \dots Q_1^+ Q_0^+$	<i>Các</i> <i>ngõ vào FF</i>
0 ... 0 0		
1 ... 1 1		

- Tìm các giá trị ngõ vào FF cần phải có từ giá trị hiện tại Q_i và kế tiếp Q_i^+ của từng FF (dựa vào bảng kích thích của FF).
- Tìm biểu thức rút gọn của mỗi ngõ vào FF phụ thuộc vào các biến trạng thái hiện tại.
- Thực hiện sơ đồ logic.

NguyễnTrọngLuật

26

GV dạy: Lê Chí Thông

13

a. Bộ đếm đầy đủ ($m = 2^n$):

Vd: Sử dụng T-FF kích theo cạnh lên, thiết kế bộ đếm có dãy đếm sau: $Q_2Q_1Q_0 : 010, 101, 110, 001, 000, 111, 100, 011, 010, \dots$

T/t hiện tại			T/t kế tiếp			Các ngõ vào		
Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	T_2	T_1	T_0
0	0	0	1	1	1	1	1	1
0	0	1	0	0	0	0	0	1
0	1	0	1	0	1	1	1	1
0	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1	1
1	0	1	1	1	0	0	1	1
1	1	0	0	0	1	1	1	1
1	1	1	1	0	0	0	1	1

T_2

Q_2Q_1	00	01	11	10
0	1	1	1	1
1				

T_1

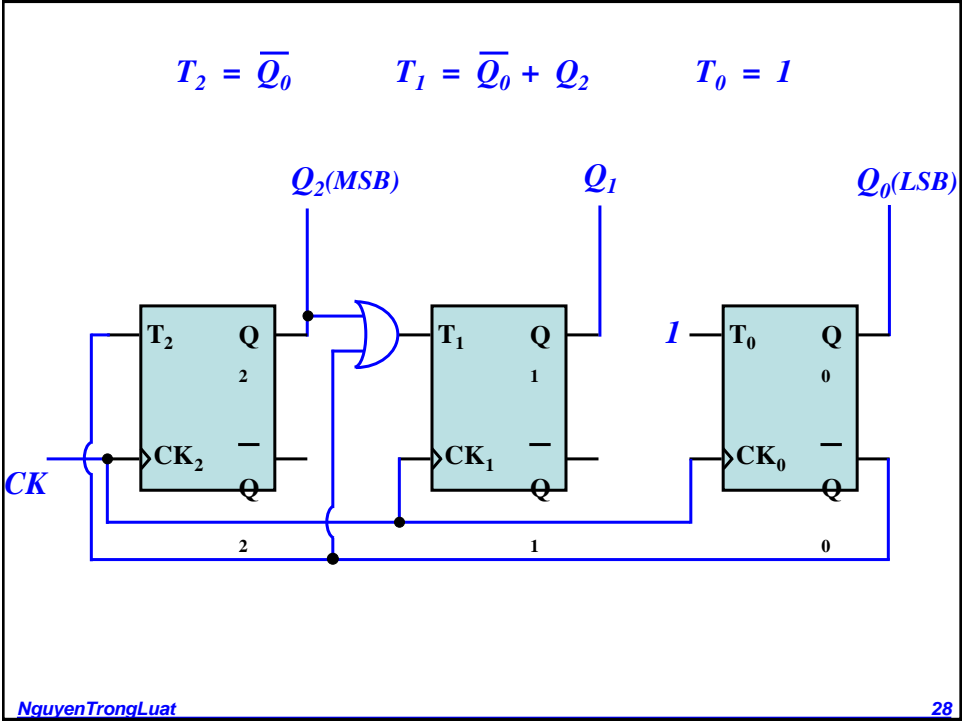
Q_2Q_1	00	01	11	10
0	1	1	1	1
1			1	1

$T_2 = \overline{Q_0}$

$T_1 = \overline{Q_0} + Q_2$

$T_0 = 1$

Nguyễn Trọng Luật27



b. Bộ đếm không đầy đủ ($m < 2^n$):

Các trạng thái có trong vòng đếm sẽ thiết kế như bộ đếm đầy đủ; còn các trạng thái dư không có trong vòng đếm sẽ giải quyết theo 2 cách sau:

* **Cách 1:** Các trạng thái dư có trạng thái kế tiếp là tùy định. Khi thiết kế cần khởi động giá trị ban đầu cho bộ đếm; giá trị này phải là 1 trong những trạng thái có trong vòng đếm.

Vd: Thiết kế bộ đếm dùng D-FF cạnh lên, có ngõ vào Pr và Cl tích cực cao, có giản đồ trạng thái sau:

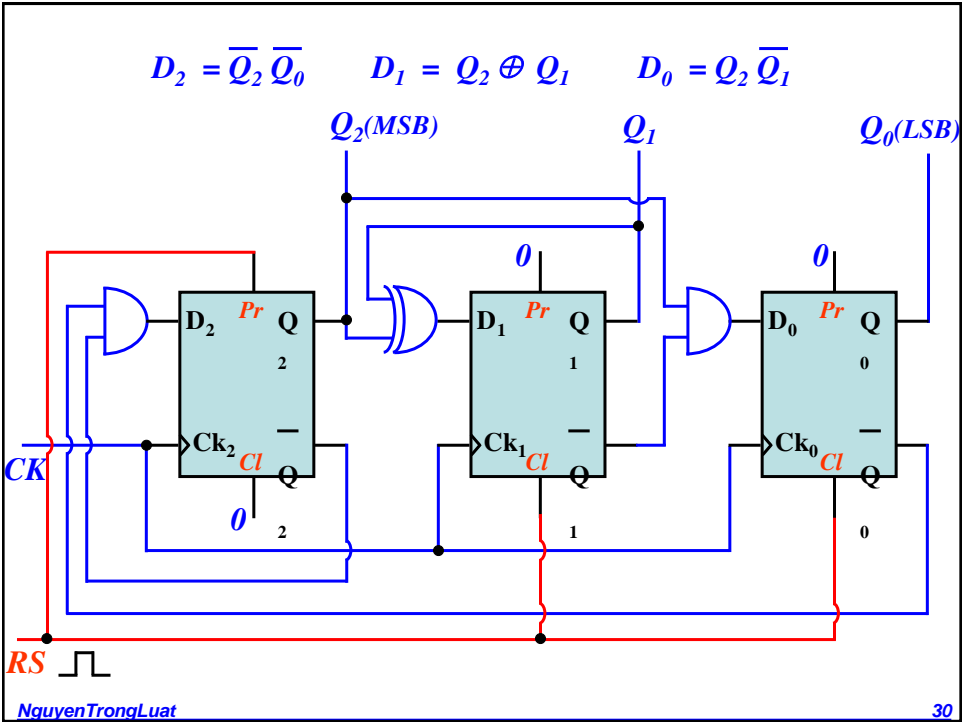
Diagram showing a circular state transition for a 3-bit counter. The states are labeled as $Q_2Q_1Q_0$ and are arranged in a circle: 000, 001, 010, 011, 100, 110. Arrows indicate the sequence of states in a clockwise direction.

T/t hiện tại			T/t kế tiếp		
Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+
0	0	0	1	0	0
0	0	1	X	X	X
0	1	0	1	1	0
0	1	1	0	1	0
1	0	0	0	1	1
1	0	1	X	X	X
1	1	0	0	0	0
1	1	1	X	X	X

D_2 D_1 D_0

Nguyễn Trọng Luật

29



*** Cách 2:** Cho các trạng thái dư không có vòng đếm có trạng thái kế tiếp là 1 trong những trạng thái có trong vòng đếm.

001

101

111

T/t hiện tại			T/t kế tiếp			Các ngõ vào		
Q_2	Q_1	Q_0	Q_2^+	Q_1^+	Q_0^+	T_2	T_1	T_0
0	0	0	1	0	0	1	0	0
0	0	1	1	1	0	1	1	1
0	1	0	1	1	0	1	0	0
0	1	1	0	1	0	0	0	1
1	0	0	0	1	1	1	1	1
1	0	1	1	0	0	0	0	1
1	1	0	0	0	0	1	1	0
1	1	1	1	0	0	0	1	1

$$T_2 = \overline{Q_0} + \overline{Q_2} \overline{Q_1}$$
$$T_1 = Q_2 \oplus (\overline{Q_1} Q_0)$$
$$T_0 = Q_0 + Q_2 \overline{Q_1}$$

Nguyễn Trọng Luật

31

Ví dụ

- Thiết kế mạch đếm song song dùng JK-FF có CK cạnh xuống và có Pr và Cl tích cực mức thấp, tạo dãy đếm:
 $2 \rightarrow 6 \rightarrow 5 \rightarrow 1 \rightarrow 3 \rightarrow 7 \rightarrow 4 \rightarrow 0 \rightarrow 2 \rightarrow \dots$

32

** Phân tích bộ đếm song song:*

- Từ sơ đồ logic của bộ đếm xác định hàm kích thích (biểu thức của các ngõ vào của từng FF phụ thuộc vào các ngõ ra Q_i)
- Lập bảng trạng thái: từ trạng thái hiện tại Q_i và giá trị ngõ vào ta xác định được trạng thái kế tiếp của FF Q_i^+ .
- Từ bảng chuyển trạng thái xác định được giản đồ trạng thái hoặc khảo sát giản đồ xung của bộ đếm.

NguyenTrongLuat

33

$$J_A = Q_B Q_C$$
$$K_A = 1$$
$$J_B = \overline{Q_A} Q_C$$
$$K_B = Q_A + Q_C$$
$$J_C = \overline{Q_A}$$
$$K_C = 1$$

T/t hiện tại			Các ngõ vào						T/t kế tiếp		
Q_A	Q_B	Q_C	J_A	K_A	J_B	K_B	J_C	K_C	Q_A^+	Q_B^+	Q_C^+
0	0	0	0	1	0	0	1	1	0	0	1
0	0	1	0	1	1	1	1	1	0	1	0
0	1	0	0	1	0	0	1	1	0	1	1
0	1	1	1	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	0	1	0	0	0
1	0	1	0	1	0	1	0	1	0	0	0
1	1	0	0	1	0	1	0	1	0	0	0
1	1	1	1	1	0	1	0	1	0	0	0

NguyenTrongLuat

34

IC 74193: bộ đếm lên/xuống đồng bộ 4 bit

15A

3QA

1B

2QB

10C

6QC

9D (MSB)

7QD

11LOAD

14CLR

5UP

13CO

4DOWN

12BO

CLR	$\overline{\text{LOAD}}$	UP	DOWN	MODE
1	X	X	X	RESET (Asyn.)
0	0	X	X	PRESET (Asyn.)
0	1	1	1	No change
0	1	$\overline{1}$	1	COUNT UP
0	1	1	$\overline{1}$	COUNT DOWN

$\overline{\text{CO}}$ (Carry Out) = $Q_D Q_C Q_B Q_A \overline{\text{UP}}$

$\overline{\text{BO}}$ (Borrow Out) = $\overline{Q_D} \overline{Q_C} \overline{Q_B} \overline{Q_A} \overline{\text{DOWN}}$

NguyenTrongLuat

35

The timing diagram illustrates the operation of the IC 74193. It shows the relationship between control signals (CLR, LOAD, UP, DOWN) and data signals (A, B, C, D) and the resulting outputs (QA, QB, QC, QD, CO, BO). The sequence of operations is as follows:

- CLEAR:** CLR is active low. When CLR is low, the counter is reset to 0.
- PRESET:** LOAD is active low. When LOAD is low, the counter is preset to the value on the DATA inputs (A, B, C, D).
- COUNT UP:** When both UP and DOWN are high (1), the counter counts up. The sequence of counts is 0, 1, 2, ..., 14, 15, 0, 1, 2.
- COUNT DOWN:** When UP is high (1) and DOWN is low ($\overline{1}$), the counter counts down. The sequence of counts is 1, 0, 15, 14, 13.

The outputs QA, QB, QC, and QD are the 4-bit binary representation of the count. CO (Carry Out) is the complement of the product of QA, QB, QC, and QD when counting up. BO (Borrow Out) is the complement of the product of QA, QB, QC, and QD when counting down.

NguyenTrongLuat

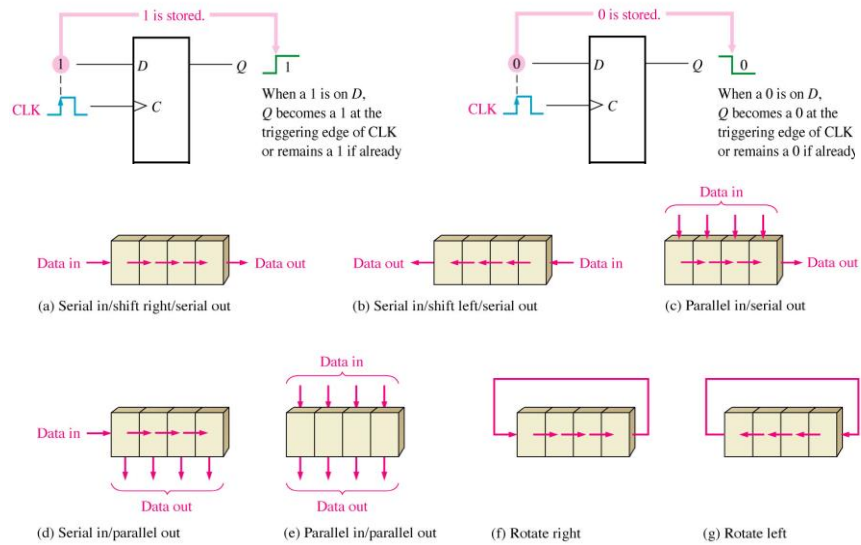
36

GV dạy: Lê Chí Thông

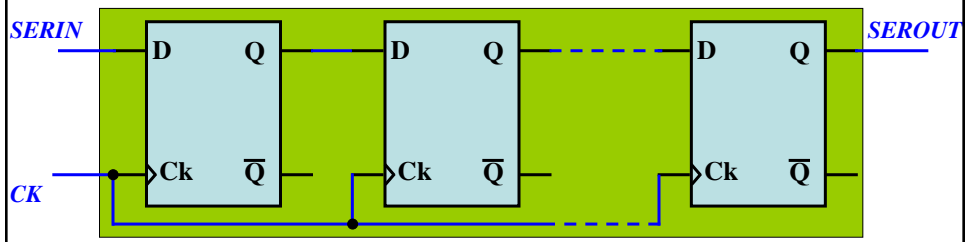
18

IV. Thanh ghi dịch (Shift Register):

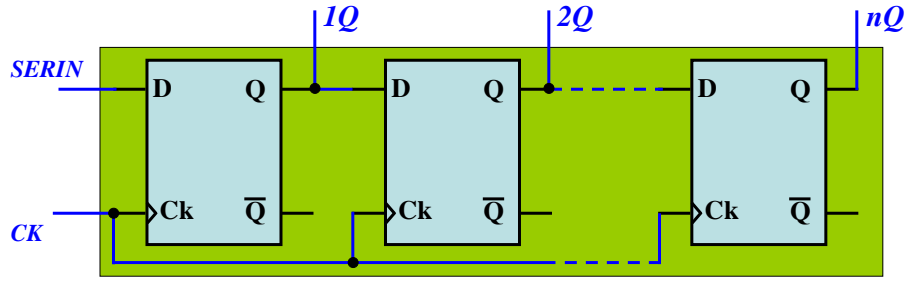
Thanh ghi dịch là hệ tuần tự có khả năng lưu trữ và dịch chuyển dữ liệu.



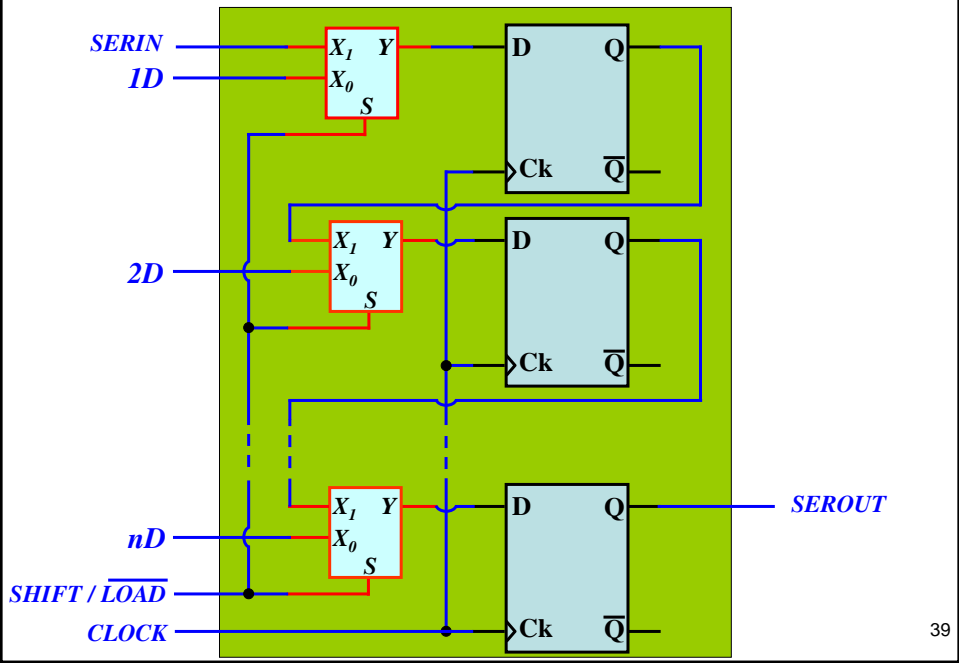
1. Thanh ghi dịch nhập nối tiếp - xuất nối tiếp (SISO):



2. Thanh ghi dịch nhập nối tiếp – xuất song song (SIPO):

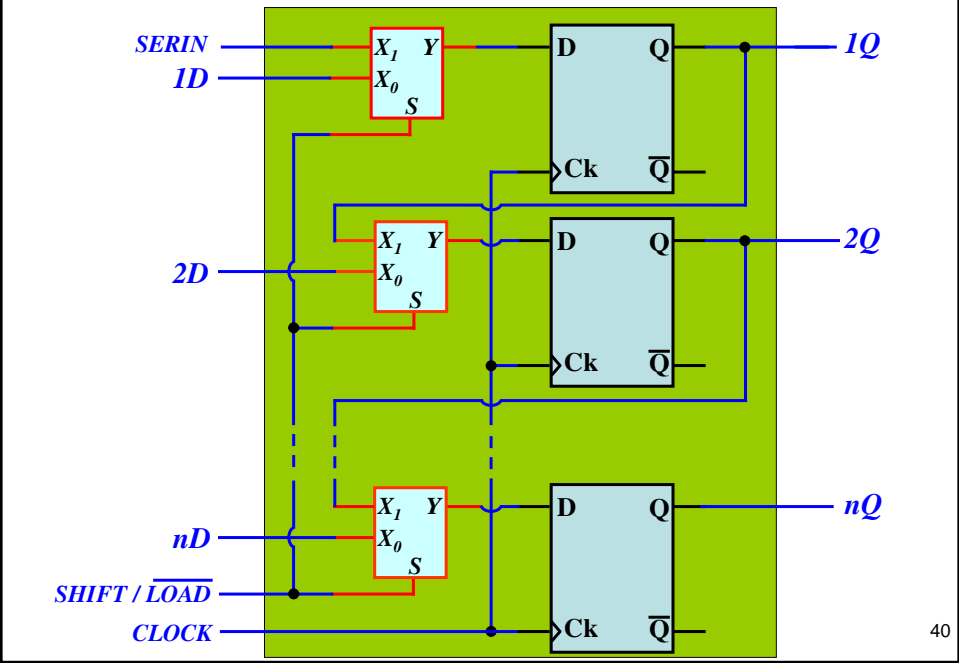


3. Thanh ghi dịch nhập song song - xuất nối tiếp (PISO):



39

4. Thanh ghi dịch nhập song song - xuất song song (PIPO):



40

IC 74164: SIPO – Thanh ghi dịch nối tiếp thành song song

1

A

3

Q_A

2

B

4

Q_B

5

Q_C

6

Q_D

9

CLR

10

Q_E

8

CLK

11

Q_F

12

Q_G

13

Q_H

Inputs				Outputs			
CLR	CLK	A	B	Q _A	Q _B	...	Q _H
0	X	X	X	0	0		0
1	0	X	X	Q _{A0}	Q _{B0}		Q _{H0}
1	⌊	1	1	1	Q _{An}		Q _{Gn}
1	⌊	0	X	0	Q _{An}		Q _{Gn}
1	⌊	X	0	0	Q _{An}		Q _{Gn}

NguyễnTrọngLuật

41

The figure illustrates the internal structure and timing of the IC 74164. The top part is a logic diagram showing a chain of eight D-type flip-flops. The first flip-flop's D input is the AND of serial inputs A and B. Its Q output is Q_A (pin 3). Each subsequent flip-flop's D input is the previous stage's Q output. All flip-flops share a common clock (CLK, pin 8) and clear (CLR, pin 9) signal. The outputs are Q_A through Q_H (pins 3, 4, 5, 6, 10, 11, 12, 13). The bottom part is a timing diagram showing the relationship between CLEAR, SERIAL INPUTS (A, B), CLOCK, and the outputs Q_A through Q_H. The CLEAR signal is active-low. The outputs shift right on each clock edge. The diagram shows the register loading with the value 11111111 and then shifting it out.

NguyễnTrọngLuật

42

GV dạy: Lê Chí Thông

21

IC 74165: PISO – Thanh ghi dịch song song thành nối tiếp

1

SH/LD

15

CLK INH

2

CLK

10

SER

11

A

12

B

13

C

14

D

3

E

4

F

5

G

6

H

7

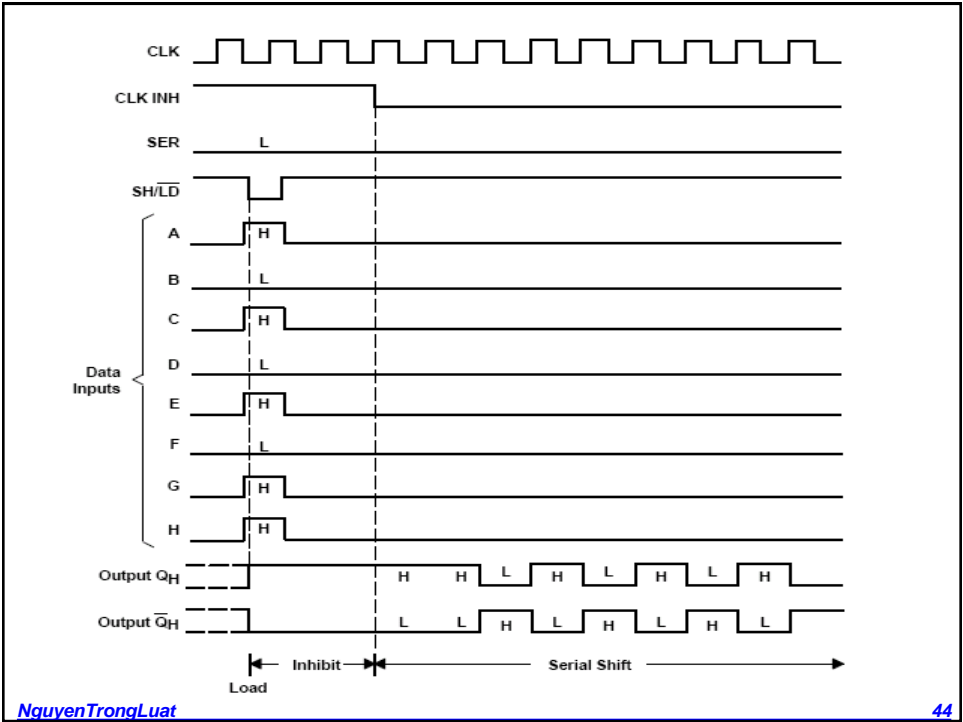
Q_H

9

Q_H

Inputs					Output		
SH/LD	CLK _{INH}	CLK	SER	A ...	Q _A Q _B ...	Q _H	
0	X	H	X	a ... h	a b ...	h	
1	0	0	X	X	Q _{A0} Q _{B0}	Q _{H0}	
1	0	L	1	X	1 Q _{An}	Q _{Gn}	
1	0	L	0	X	0 Q _{An}	Q _{Gn}	
1	1	X	X	X	Q _{A0} Q _{B0}	Q _{H0}	

Nguyễn Trọng Luật43



VI. Bộ đếm thanh ghi dịch (Shift Register Counter):
1. Bộ đếm vòng (Ring Counter):

Timing diagram for the Ring Counter showing the sequence of states over three clock cycles. The clock CK is a square wave. The outputs Q2, Q1, and Q0 show the state of the counter at each clock edge.

Clock	Q_2	Q_1	Q_0
1	1	0	0
2	0	1	0
3	0	0	1

NguyenTrongLuot45

2. Bộ đếm vòng xoắn (Twisted-ring Counter): bộ đếm Johnson

Timing diagram for the Twisted-ring Counter showing the sequence of states over six clock cycles. The clock CK is a square wave. The outputs Q2, Q1, and Q0 show the state of the counter at each clock edge.

Clock	Q_2	Q_1	Q_0
1	0	0	0
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	1
6	0	0	1

NguyenTrongLuot46