

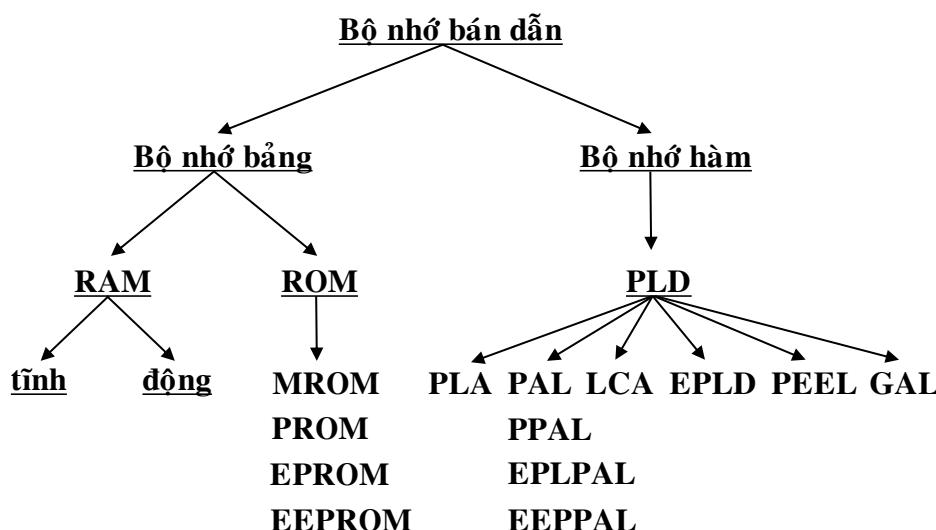
PLD

THIẾT BỊ LOGIC LẬP TRÌNH ĐƯỢC (Programmable Logic Device)

NguyenTrongLuat

1

BỘ NHỚ BÁN DẪN



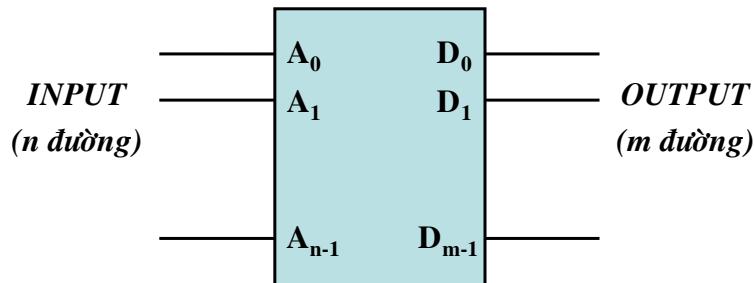
NguyenTrongLuat

2

BỘ NHỚ ROM

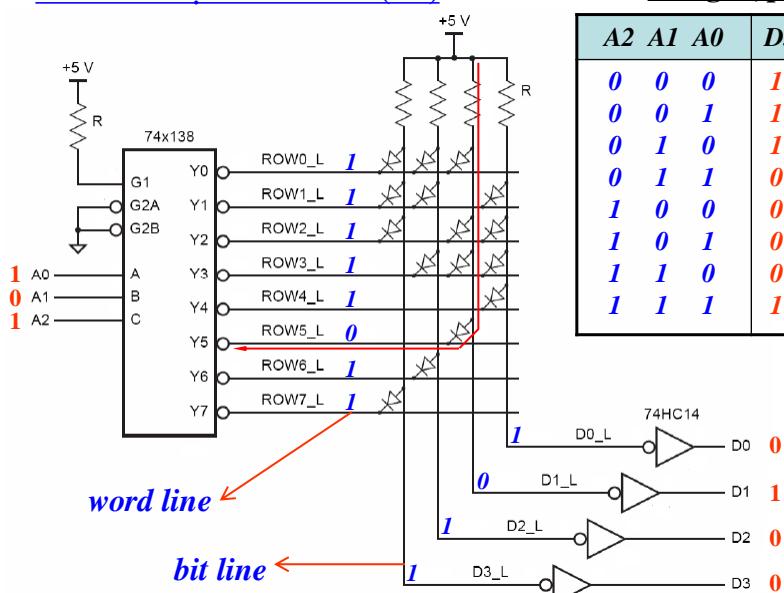
Input: các tín hiệu địa chỉ (Address)

Output: các tín hiệu dữ liệu (Data)



Kích thước ROM: $2^n \times m$ (bit)

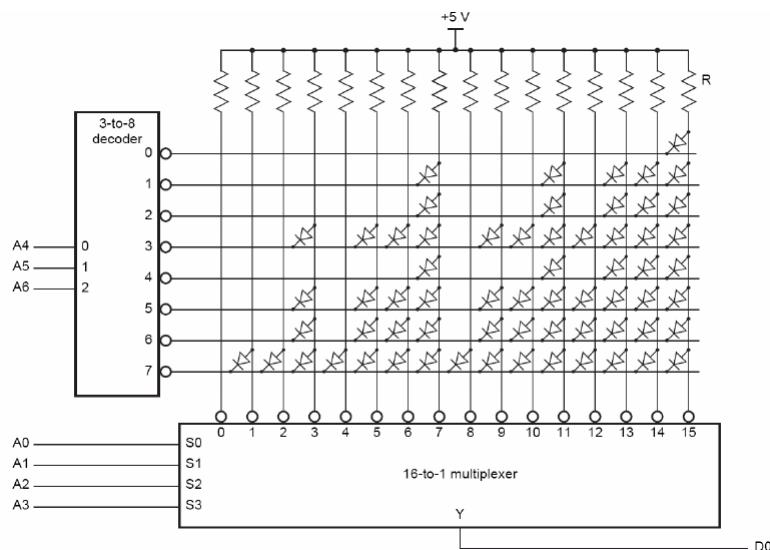
Cấu trúc nội ROM 8 x 4 (bit)



Bảng nạp ROM

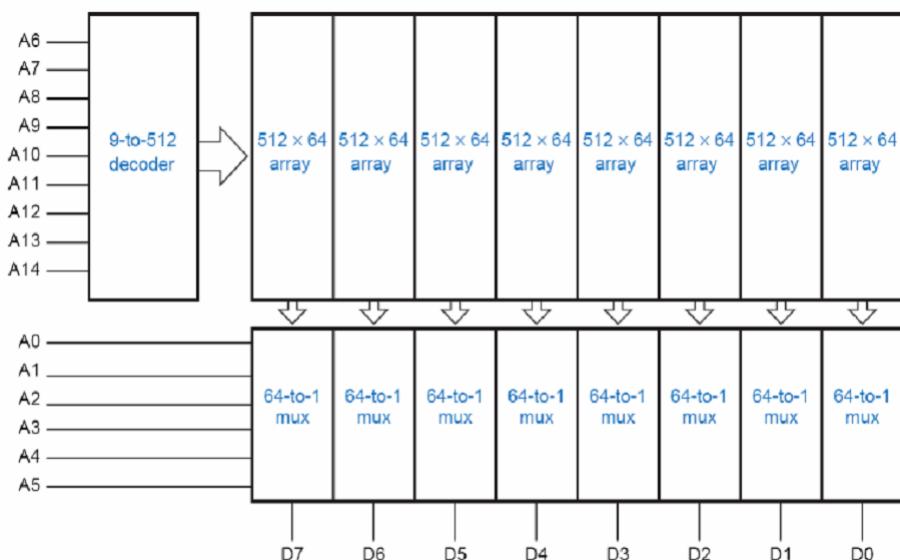
A_2	A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0

ROM 128 x 1 (bit) giải mã 2 chiều

*NguyenTrongLuat*

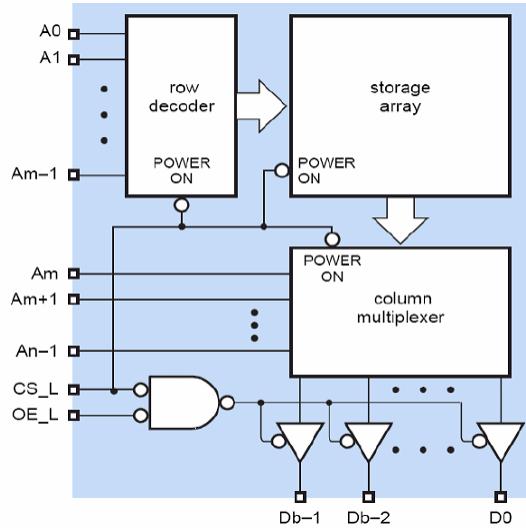
5

ROM 32K x 8 (bit) = 32KB

*NguyenTrongLuat*

6

Cấu trúc ROM có ngõ vào điều khiển

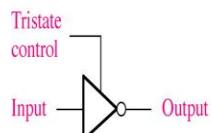


NguyenTrongLuat

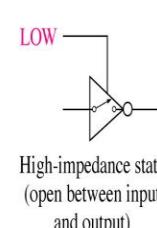
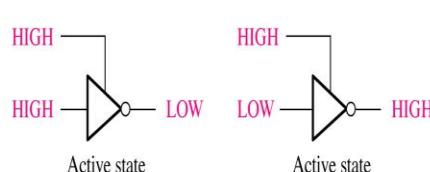
7

Cổng đệm ba trạng thái (Tristate Output Buffer):

- 3 trạng thái (tristate): LOW / HIGH / HIGH impedance
- Trạng thái tổng trớ cao (HIGH impedance): ngõ ra hở mạch
- Ngõ điều khiển 3 trạng thái:
 - * HIGH: The buffer is Active
 - * LOW: HIGH impedance



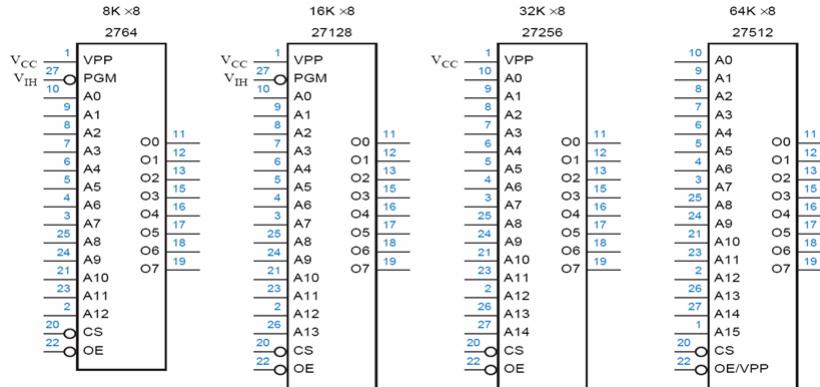
(a)



NguyenTrongLuat

8

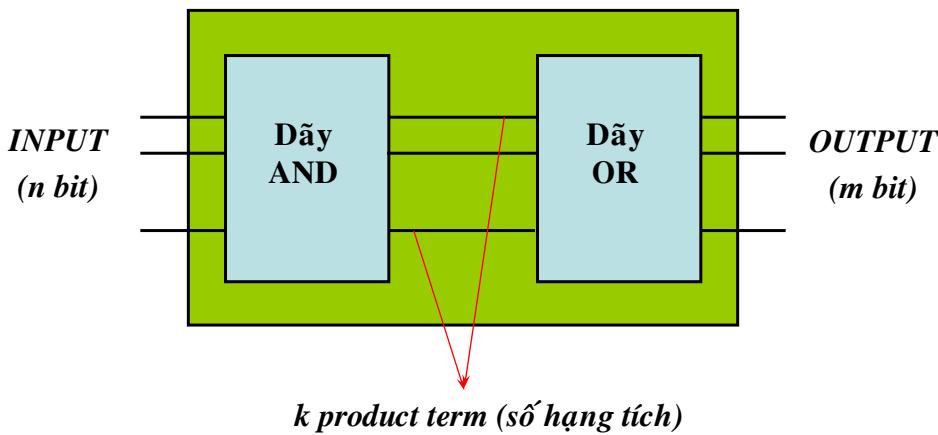
Các EPROM thông dụng



NguyenTrongLuat

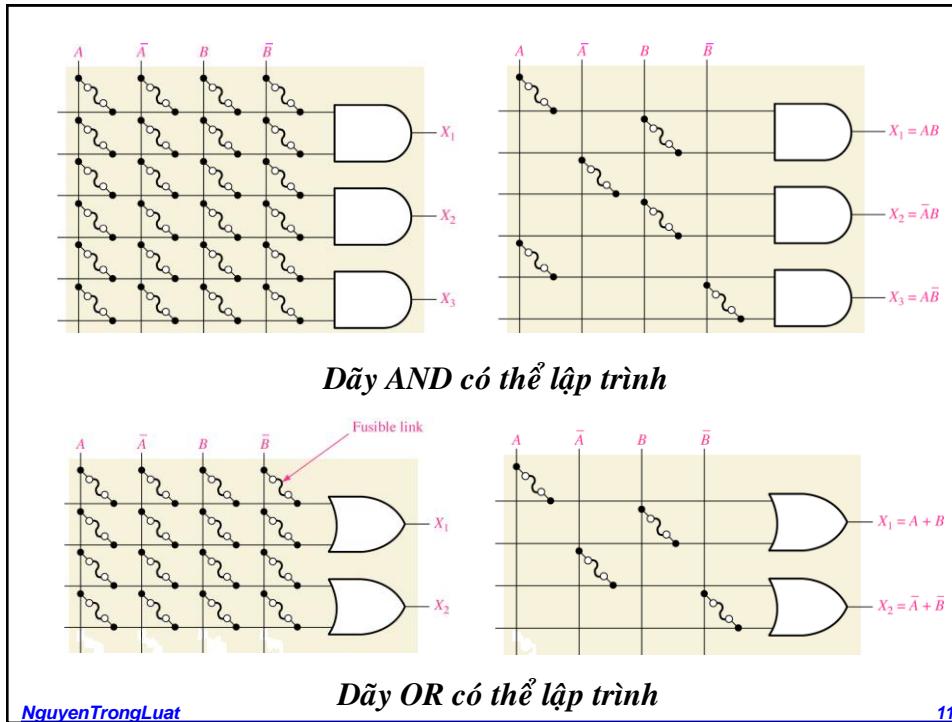
9

PLA (PROGRAMMABLE LOGIC ARRAY)

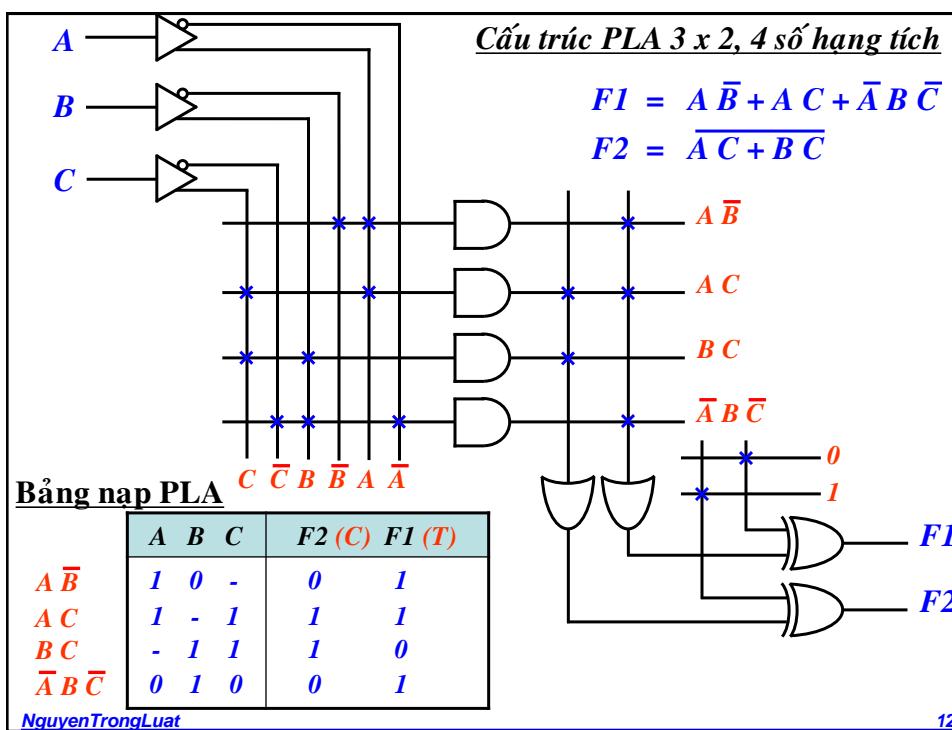


NguyenTrongLuat

10



11



12

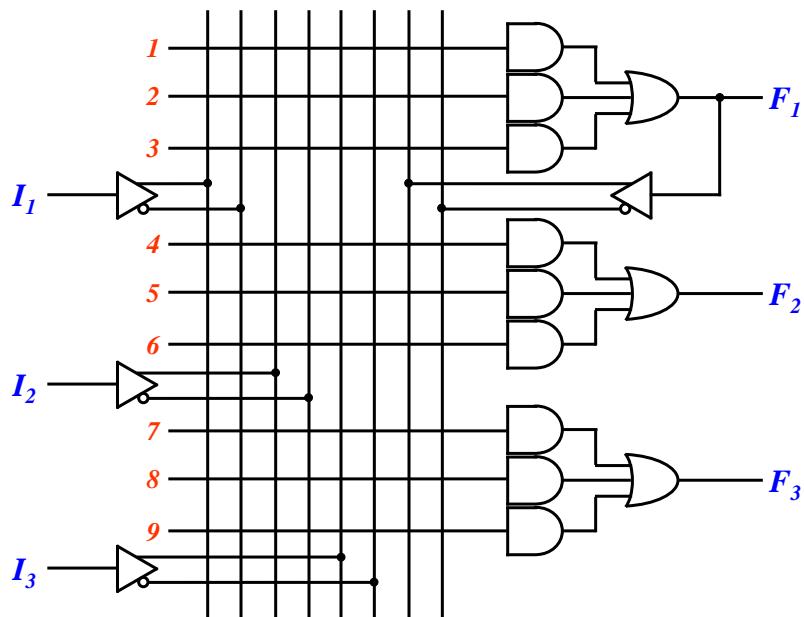
PAL (PROGRAMMABLE ARRAY LOGIC)

- Dãy AND lập trình, dãy OR cố định
- Mỗi ngõ ra là cổng OR có số ngõ vào cố định
- Số hạng tích không sử dụng chung cho các ngõ ra
- Cấu trúc PLA: số ngõ vào, số ngõ ra và số cổng AND trên 1 cổng OR

NguyenTrongLuat

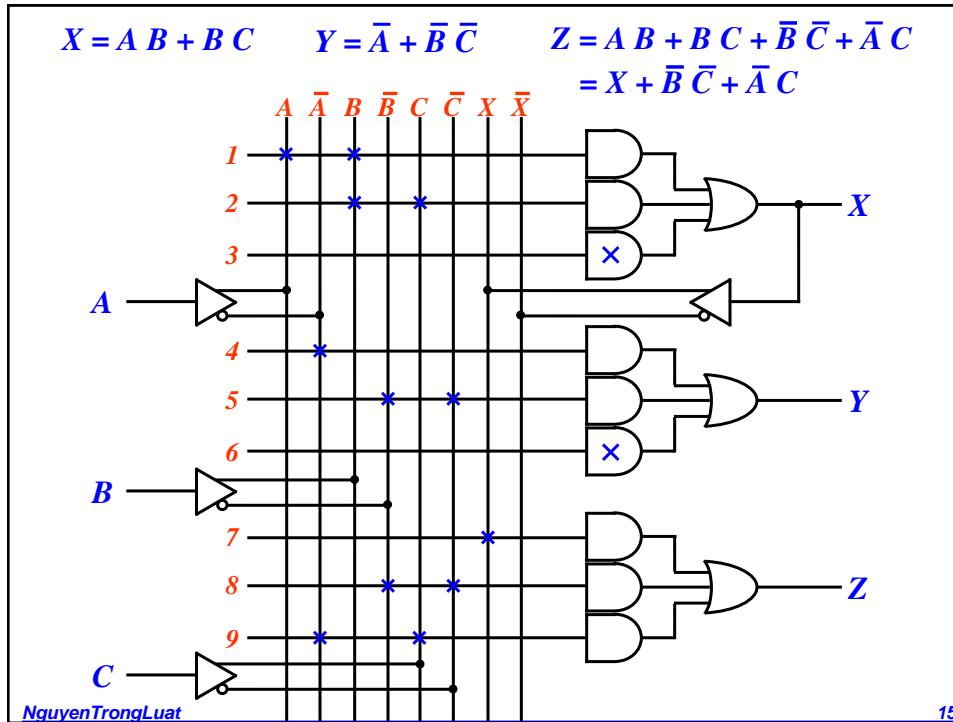
13

Cấu trúc PAL 3 ngõ vào, 3 ngõ ra, 3 cổng AND / OR



NguyenTrongLuat

14



$X = A B + B C$ $Y = \bar{A} + \bar{B} \bar{C}$ $Z = A B + B C + \bar{B} \bar{C} + \bar{A} C$
 $= X + \bar{B} \bar{C} + \bar{A} C$

Bảng nạp PAL

<i>A</i>	<i>B</i>	<i>C</i>	<i>X</i>	<i>OUTPUT</i>
1	1	-	-	$X = A B$ + $B C$
2	-	1	-	
3	-	-	-	
4	0	-	-	$Y = \bar{A}$ + $\bar{B} \bar{C}$
5	-	0	-	
6	-	-	-	
7	-	-	1	$Z = X$ + $\bar{B} \bar{C}$ + $\bar{A} C$
8	-	0	-	
9	0	-	1	

NguyenTrongLuat

16