**REPORT**

**Thiết kế và thực hiện khối tính nhân chập 2-D dùng cho CNN**

Ver 1.0

19/4/2022

|  |  |  |  |
| --- | --- | --- | --- |
|  | **Full name** | **Function** | **Date** |
| Written by | Ngô Minh Khánh  Đinh Tiến Dương |  |  |
| Verified by | Nguyễn Kiêm Hùng |  |  |
| Approved by | Nguyễn Kiêm Hùng |  |  |

|  |
| --- |
| **Abstract (from 5 to 10 lines)** |
|  |

|  |
| --- |
| **Keywords** |
|  |

|  |
| --- |
| **Work context** |
|  |

Document History

|  |  |  |  |
| --- | --- | --- | --- |
| **Version** | **Time** | **Revised by** | **Description** |
| V0.1 | 19/04/2022 | Nguyễn Kiêm Hùng | Original Version |
| V0.2 |  | Ngô Minh Khánh  Đinh Tiến Dương |  |

MỤC LỤC

[Document History 3](#_Toc41576660)

[Table of Contents 4](#_Toc41576661)

[1. Giới thiệu 5](#_Toc41576662)

[2. Yêu cầu 5](#_Toc41576663)

[2.1. Yêu cầu đối với thiết kế: 5](#_Toc41576664)

[2.2. Định nghĩa giao diện vào/ra 5](#_Toc41576665)

[3. Thuật toán 6](#_Toc41576666)

[4. Thiết kế mức RTL 6](#_Toc41576667)

[4.1. Mô hình máy FSMD 6](#_Toc41576668)

[4.2. Đơn vị xử lý dữ liệu (Datapath) 6](#_Toc41576669)

[4.3. Đơn vị điều khiển (Control Unit) 6](#_Toc41576670)

[4.4. Sơ đồ khối tổng thể 7](#_Toc41576671)

[5. Mô hình hóa bằng VHDL 7](#_Toc41576672)

[6. Mô phỏng và đánh giá 7](#_Toc41576673)

[7. Kết luận 7](#_Toc41576674)

[Appendix A: Schematic 8](#_Toc41576675)

[Appendix B: VHDL Code 9](#_Toc41576676)

[Appendix C: 10](#_Toc41576677)

[List of Figures 11](#_Toc41576678)

[List of Tables 12](#_Toc41576679)

[References 13](#_Toc41576680)

# Giới thiệu

*(Introduction to the motivation, Objectives, and main Contents of the project)*

**Mục tiêu:** Vận dụng các kiến thức, kỹ năng đã được học đểthiết kế, mô phỏng và thực thi một mô-đun phần cứng thực hiện tính tích chập J = 2DConV(I, K) giữa hình ảnh lối vài I với một ma trận kernel K ([1] ). Trong đó, mỗi pixel trong hình ảnh tích phân J đại diện cho tổng tích lũy của tích điểm-điểm giữa ma trận K với một ma trận cùng thước được trích xuất từ ma trận đầu vào I. Phép chuyển đổi hình ảnh được mô tả bằng ví dụ sau.

***Ví dụ:*** nếu hình ảnh đầu vào I là ma trận có kích thước 5×5 như sau:

I =

Và kernel có kích thước 3×3 như sau:

K =

thì kết quả tính toán của khối 2D-Convolution trả về hình ảnh J có kích thước 3×3 như sau:

K =

Quá trình tính toán được minh họa trong Hình 1.

A picture containing shape

Description automatically generated

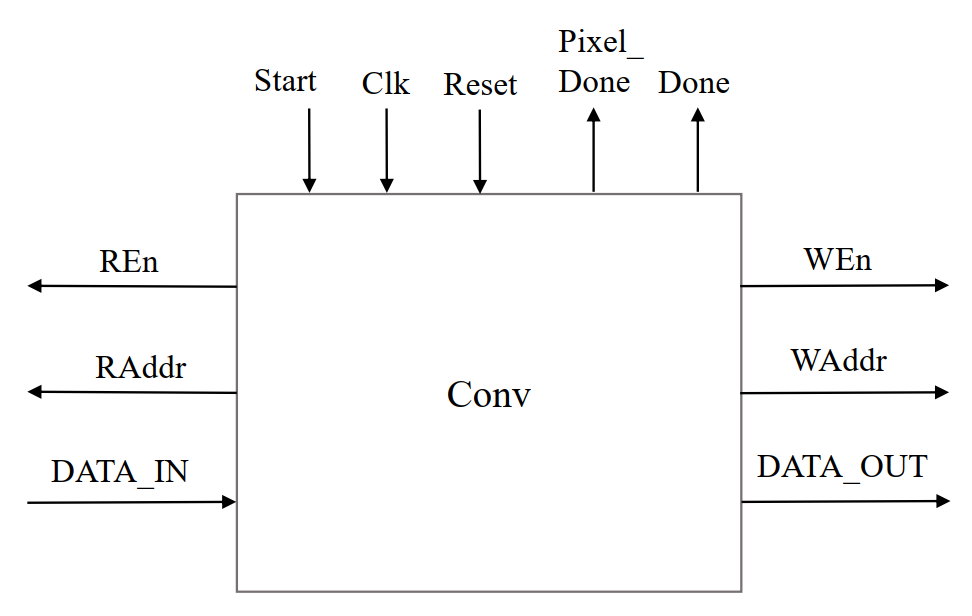
Hình 1. Ví dụ minh họa phép tính tích chập 2D.

Lưu ý rằng pixel có tọa độ (r,c) – (hàng, cột) – tronh ảnh lối ra được tính bằng cách nhân chập điểm – điểm giữa ma trận kernel và ma trận 3×3 có tâm nằm ở vị trí có tọa độ (r + 1, c + 1) trong ảnh lối vào.

# Yêu cầu

## Yêu cầu đối với thiết kế:.

* CPU có thể viết các phần tử của ma trận đầu vào tới bộ nhớ đệm bên trong bộ nhân chập
* Khối Conv có giao diện ghép nối tới CPU sao cho CPU kích hoạt quá trình tính toán của khối Conv bằng các đặt tín hiệu Start = ‘1’.
* Sau khi quá trình tính hình ảnh tích phân hoàn thành, khối Conv sẽ báo cho CPU biết bằng cách đặt tín hiệu Done = ‘1’;
* Khối Conv có 1 giao diện ghép nối tới tới bộ nhớ để đọc hình ảnh đầu vào
* Khối Conv có 1 giao diện ghép nối tới tới bộ nhớ để ghi dữ liệu đầu ra



Hình 2. Giao diện ghép nối I/O.

## Định nghĩa giao diện vào/ra

Bảng 1: Mô tả các tín hiệu vào ra.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **TT** | **Port** | **Direction** | **Width** | **Meaning** |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

# Thuật toán

Sinh viên/Học viên chỉ ra thuật toán được sử dụng ở đây.

Begin : Wait for Start = ‘1’

Done = ‘0’

For br = 0 to (rowB -1)

For bc = 0 to (colB -1)

For kr = 0 to (rowK - 1)

For kc = 0 to (colK - 1)

B [br][bc] += A [br + kr][bc + kc] \* K [kr][kc]

End for

End for

End for

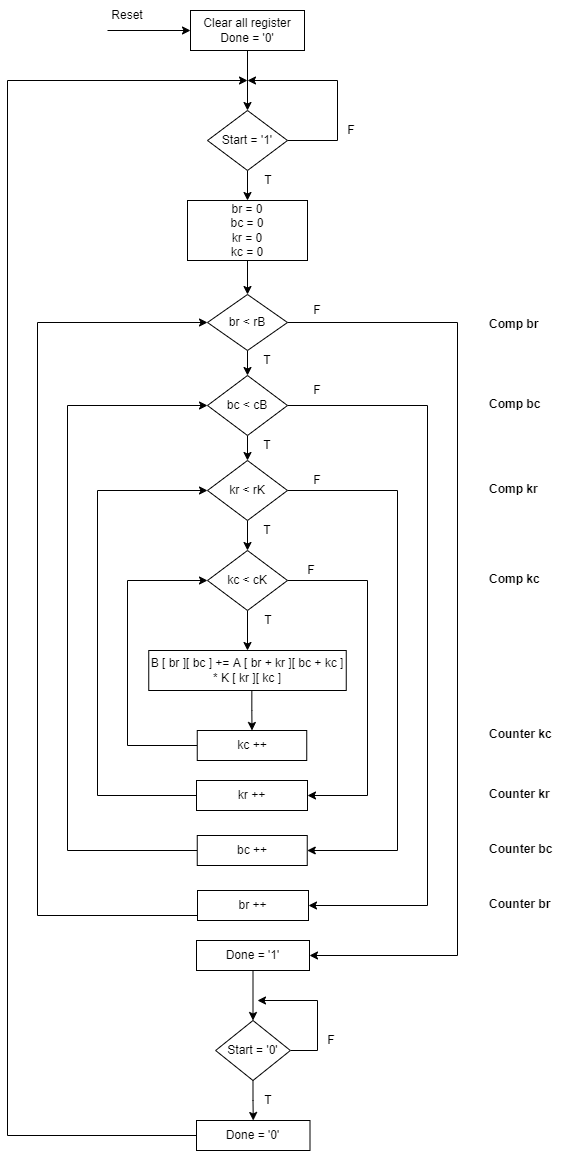
End for

# Thiết kế mức RTL

*Gợi ý : Tham khảo Lecture 3*

## Mô hình máy FSMD

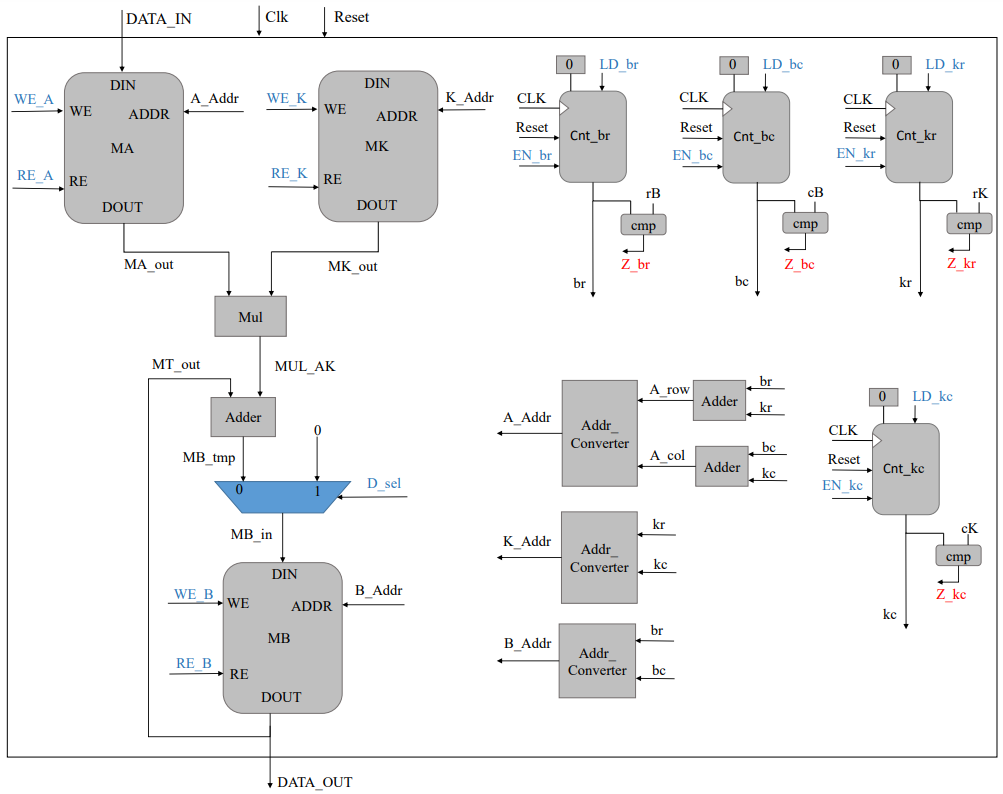
Sinh viên/Học viên chỉ ra sơ đồ máy trạng thái FSMD mô tả hoạt động của thiết kế!



Hình 3: Mô hình máy FSMD.

## Đơn vị xử lý dữ liệu (Datapath)

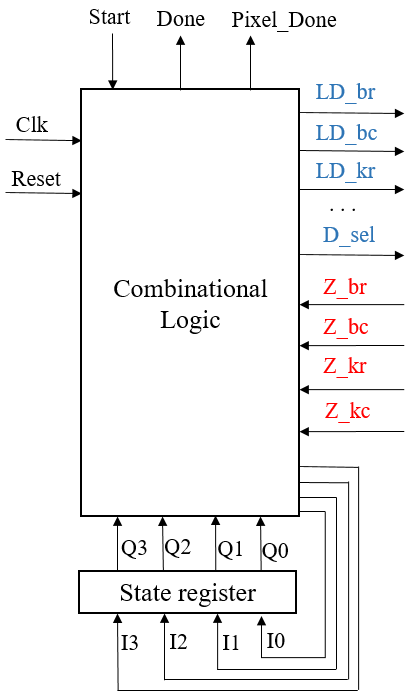
Sinh viên/Học viên chỉ ra sơ đồ cấu trúc của datapath của thiết kế ở đây!



Hình 4: Cấu trúc của đơn vị xử lý dữ liệu Datapath.

## Đơn vị điều khiển (Control Unit)

Sinh viên/Học viên chỉ ra sơ đồ máy trạng thái FSM của bộ điều khiển controller của thiết kế ở đây!



Hình 5: Máy FSM của đơn vị điều khiển.

## Sơ đồ khối tổng thể

|  |  |
| --- | --- |
|  |  |

Hình 5: Sơ đồ khối tổng thể của thiết kế.

# Mô hình hóa bằng VHDL

# Mô phỏng/thực thi và đánh giá

# Kết luận

Appendix A:

Appendix B: VHDL Code

(đóng gói thành tệp nén và gửi kèm báo cáo)

Appendix C:

Compress and email to hungnvnu@gmail.com

List of Figures

[Hình 1. Ví dụ minh họa quá trình sắp xếp một dãy gồm 4 phần tử theo trật tự tăng dần. 6](#_Toc496109799)

[Hình 2. Giao diện ghép nối I/O của đơn vị Sorting Unit. 7](#_Toc496109800)

[Hình 3: FSMD. 8](#_Toc496109801)

[Hình 4: Datapath. 8](#_Toc496109802)

[Hình 5: FSM of controller. 8](#_Toc496109803)

[Hình 5: Block diagram of whole sorting unit. 9](#_Toc496109804)

List of Tables

[Bảng 1: Mô tả các tín hiệu vào ra. 7](#_Toc496109879)

References

1. https://towardsdatascience.com/intuitively-understanding-convolutions-for-deep-learning-1f6f42faee1