



# Designnotat

Tittel: Realisering av pulsbreddefilter

Forfatter: Karl Henrik Ejdfors

Versjon: 2.0

Dato: 3. mai 2017

## Innhold

<b>1</b>	<b>Problembeskrivelse</b>	<b>1</b>
<b>2</b>	<b>Prinsipiell løsning</b>	<b>1</b>
<b>3</b>	<b>Realisering og test</b>	<b>3</b>
<b>4</b>	<b>Konklusjon</b>	<b>6</b>
<b>5</b>	<b>Takk</b>	<b>6</b>

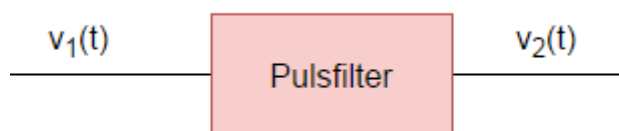
## 1 Problembeskrivelse

Vi vil ta for oss design av et system som vist i figur 1.1. Det skal filtreres et pulstog, slik at pulstoget stopper under en gitt driftsyklus  $D_0$ . I dette designet er  $D_0$  gitt ved 45%. Filteret påtrykkes signalet  $v_1(t)$ , med driftsyklus  $D$ , og utgangssignalet er definert ved formel 1.1.

$$v_2(t) = \begin{cases} v_1(t) & \text{dersom } D \geq D_0 \\ 0 & \text{dersom } D < D_0 \end{cases} \quad (1.1)$$

Driftsyklusen  $D_0$  er definert ved forholdet gitt i formel 1.2, der  $T$  er perioden på pulstogene, i dette designet satt til  $5ms$ , og  $T'$  er pulsbredden. Inngangssignalet  $v_1(t)$  varierer mellom verdiene 0 og  $V$ .

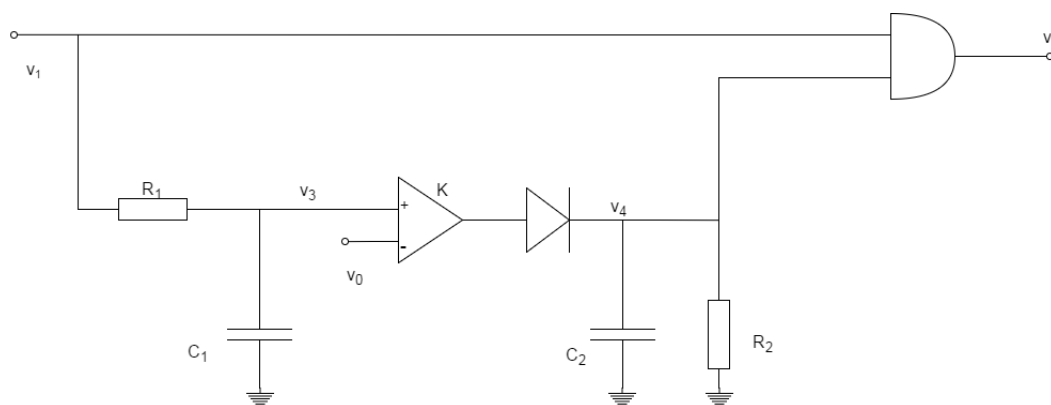
$$D_0 = \frac{T'}{T} \quad (1.2)$$



**Figur 1.1:** Oversiktsfigur over design, inspirert av [1].

## 2 Prinsipiell løsning

Pulsfilteret sammenligner to signaler, og kan lages ved implementasjon som vist i figur 2.1.

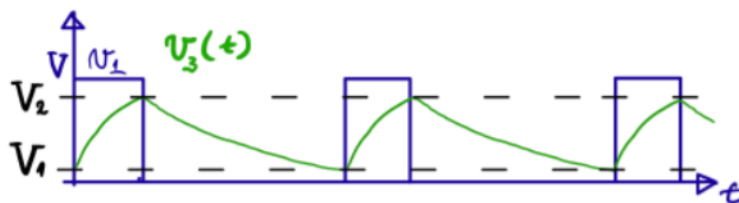


**Figur 2.1:** Konsept av pulsbreddefilter, modifisert fra Lundheim [1].

Driftsyklusen til  $v_1$  er gitt ved formel 2.1, der  $T$  er perioden og  $T'$  er pulsbredden til signalet.

$$D = \frac{T'}{T} \cdot 100\% \iff T' = \frac{D}{100\%} \cdot T. \quad (2.1)$$

Første del av systemet, før komparatoren  $K$  i figur 2.1, brukes for å måle pulsbredden. Signalet  $v_3$  inneholder informasjon om pulsbredden til inngangen  $v_1$  [1]. Spenningen  $v_1$  varierer mellom 0 og  $V$ , og dermed vil kondensatoren  $C_1$  lade seg opp og ut gjennom motstanden  $R_1$ . Spenningsformen til  $v_3$  blir som vist i figur 2.2.



**Figur 2.2:** Spenningsform til  $v_3$ [1]

Komparatoren  $K$  sammenligner de to spenningsverdiene  $v_3$  og  $V_0$ , og gir ut et høyt signal når  $v_3 \geq V_0$ . Dioden har tilnærmet null motstand og sørger for at det blir en tilnærmet momentan opplading av  $C_2$  når  $K$  sender ut pulser. Når  $K$  gir ut et lavt signal lader  $C_2$  seg ut gjennom  $R_2$ . Dette skjer sakte slik at  $v_4$  ikke når logisk-lav før neste puls. Den logiske og-porten sender ut signaler i takt med inngangen  $v_1$  dersom styrespenningen  $v_4$  er logisk høy, altså når  $D \geq D_0$ .

Som vist i figur 2.2, varierer  $v_3$  mellom  $V_1$  og  $V_2$ . Toppverdien  $V_2$  er en monotont økende funksjon av pulsbredden  $T'$  til  $v_1$ . Verdien til  $V_2$  er gitt ved utledning av ligning 2.2 og 2.3 til ligning 2.4. Man kan sette verdien  $V_0 \geq V_2$ , slik at  $V_0$  samsvarer med terskelen  $D_0$ . Det må derfor velges en  $\tau_1$  slik at  $v_3$  lades opp til  $V_2$  før neste puls.

$$V_1 = v_3(T) = V_2 \cdot e^{-\frac{T-T'}{\tau_1}}. \quad (2.2)$$

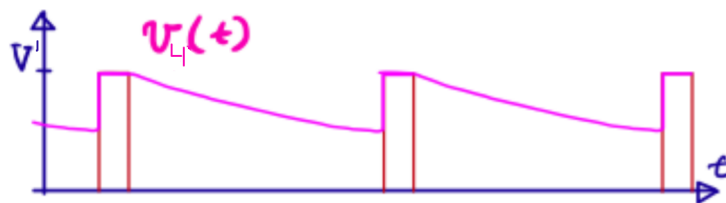
$$V_2 = v_3(T') = V + (V_1 - V) \cdot e^{-\frac{T'}{\tau_1}}. \quad (2.3)$$

Løser man ligning 2.2 og 2.3 med hensyn på  $V_1$  og  $V_2$ , gir dette ligning 2.4:

$$V_2 = \frac{1 - e^{-\frac{T'}{\tau_1}}}{1 - e^{-\frac{T}{\tau_1}}} \cdot V. \quad (2.4)$$

Utladningen av  $v_4$  må som sagt skje sakte, men ikke så sakte at den er høy ved neste periode. Dermed kan to ulikheter for  $\tau_2 = R_2 \cdot C_2$  settes opp, gitt ved ulikheten 2.5.  $V_T$  er definert som terskelspenningen for og-porten og  $V'$  er gitt som driftspenningen til komparatoren  $K$ .

$$v_4(T) = V' \cdot e^{-\frac{T}{\tau_2}} > V_T \implies \frac{T}{\ln(\frac{V'}{V_T})} < \tau_2 < \frac{2T}{\ln(\frac{V'}{V_T})}. \quad (2.5)$$



**Figur 2.3:** Utladningskurve for  $v_4$  [1]

### 3 Realisering og test

Løsningen som er presentert i dette notatet er realisert med hensyn på et pulstog med verdiene for henholdsvis driftsyklus, amplitude og periode

$$D_0 = 45\% \quad V = 2V \quad T = 5ms$$

på inngangen  $v_1$ . Ved formel 2.1 gir dette pulsbredden

$$T' = 2.25ms.$$

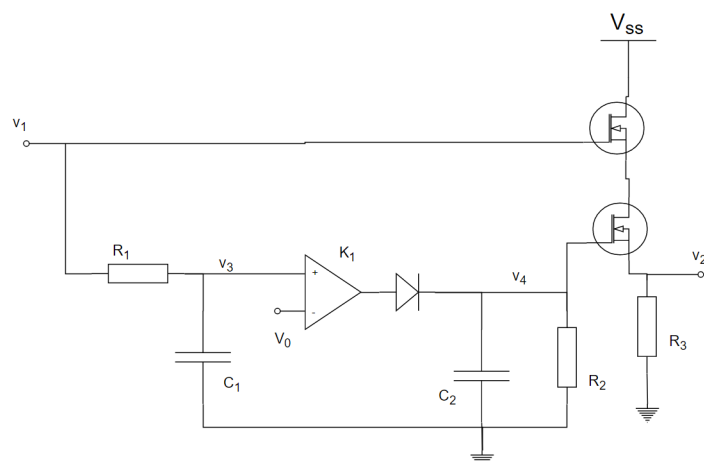
Filteret kan realiseres som i kretsskjema 3.1, med tilhørende komponentverdier i tabell 3.1. Vi finner verdi for  $V_0 = V_2$  ved formel 2.3, der vi velger  $\tau_1$  slik at  $v_3 \geq V_0$  før neste puls.

$$\tau_1 = R_1 \cdot C_1 = 10k\Omega \cdot 100nF = 1ms.$$

Dette gir  $V_0 = 1.8V$ .

**Tabell 3.1:** Verdier på komponenter

$R_1$	$10k\Omega$
$R_2$	$120k\Omega$
$R_3$	$150k\Omega$
$C_1$	$100nF$
$C_2$	$100nF$



**Figur 3.1:** Kretsfigur for realisering av pulsbreddefilter

Spenningsverdien til  $v_4$  skal forbli på logisk høyt nivå før neste pulstog. Ulikheten 2.5, med verdiene

$$V' = 5V \quad V_T = 1.5V \quad T = 5ms$$

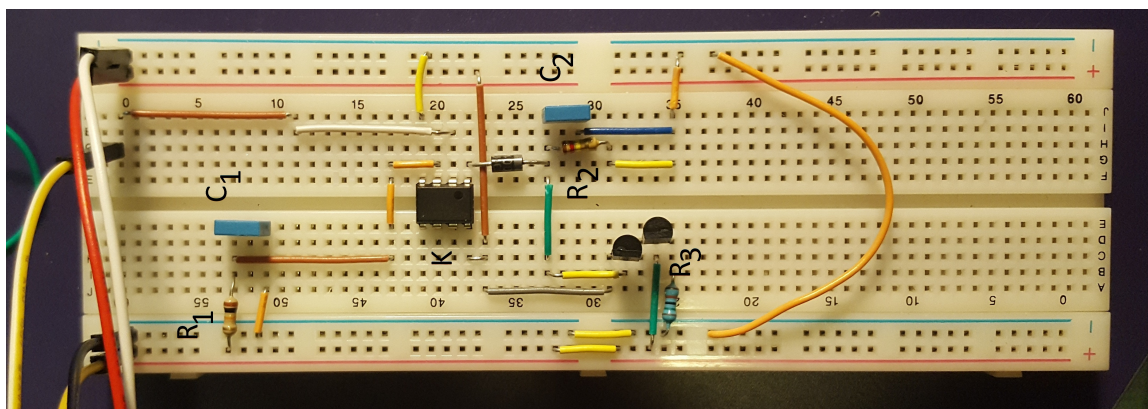
gir

$$4.2ms < \tau_2 < 8.3ms.$$

Det blir valgt verdi for  $\tau_2 = 12ms$ , implementert med  $R_2 = 120k\Omega$  og  $C_2 = 100nF$ :

$$\tau_2 = R_2 \cdot C_2 = 120k\Omega 100nF = 12ms$$

$R_3$  er en *pull-down* motstand.

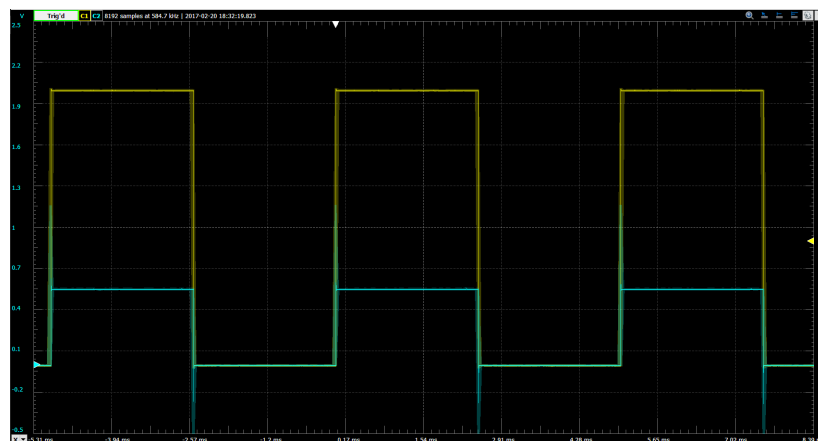


**Figur 3.2:** Fotografi av oppsett

Figur 3.3 og 3.4 viser henholdsvis  $v_2$  for driftsyklus under og over  $D_0 = 45\%$ , der gul graf er inngangssignalet  $v_1$  og blå graf er utgangssignalet  $v_2$ . Utgangssignalet vist i figur 3.4 er dempet. Dette kan komme av feil implementering av den logiske og-porten samt verdier på komponenter. Utsignalene skal kun tolkes som boolske verdier, og så lenge signalet kan tolkes som logisk høy, kan man se bort ifra demping.



Figur 3.3: Visualisering av spenning  $v_2$  med driftsyklus  $D_0 = 43\% < 45\%$



Figur 3.4: Visualisering av spenning  $v_2$  med driftsyklus  $\geq 45\%$

## 4 Konklusjon

Pulsbreddefilteret er testet med periode  $T = 5ms$  og driftsyklus  $D_0$  rundt 45%. Figur 3.4 viser stor demping av det blå utgangssignalet. Signalet skal kun tolkes som en boolsk verdi, og dermed fungerer designet av pulsbreddefilteret til sin hensikt.

## 5 Takk

Jeg ønsker å takke både Markus Rud og Ole Bjørn Eithun Pedersen for fruktbare diskusjoner under arbeidet med dette designet.

## Referanser

- [1] Lars Lundheim. *Pulsbreiddfilter*. NTNU 2017.