

CHƯƠNG 10. TỤ ĐIỆN CẤU TRÚC MOS (KIM LOẠI-Ô XIT-BÁN DẪN)

MOS capacitor

Giảng viên: Nguyễn Đức Cường

Trường Đại học Công nghệ - ĐHQGHN

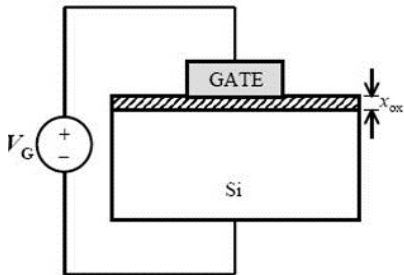
Email: cuongnd@vnu.edu.vn

Ngày 5 tháng 12 năm 2021

1 CHƯƠNG 10. TỤ ĐIỆN CẤU TRÚC MOS (KIM LOẠI-Ô XIT-BÁN DẪN)

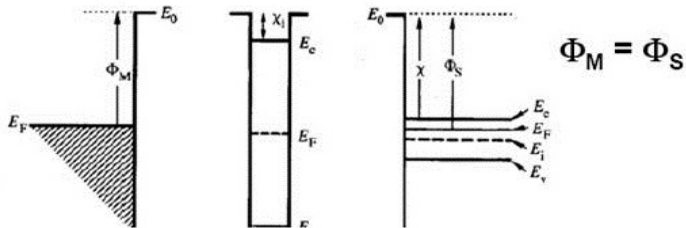
Cấu trúc tụ điện MOS

- Tụ điện MOS và transistor MOS trong các IC hiện nay sử dụng:
 - Si đa tinh thể (poly-Si) pha tạp mạnh được sử dụng là vật liệu điện cực cổng (gate):
 - Loại n^+ , đối với transistor kênh n (NMOS).
 - Loại p^+ , đối với transistor kênh p (PMOS).
 - SiO_2 làm điện môi cổng:
 - Độ rộng vùng cấm = 9 eV.
 - $\epsilon_{r,\text{SiO}_2} = 3.9$.
 - Si là vật liệu bán dẫn cho đế (substrate):
 - Loại p , đối với transistor kênh n (NMOS).
 - Loại n , đối với transistor kênh p (PMOS).

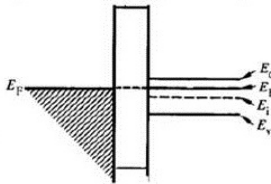


Mặt cắt ngang của một tụ điện MOS.

Trường hợp đặc biệt nếu $\phi_M = \phi_S$

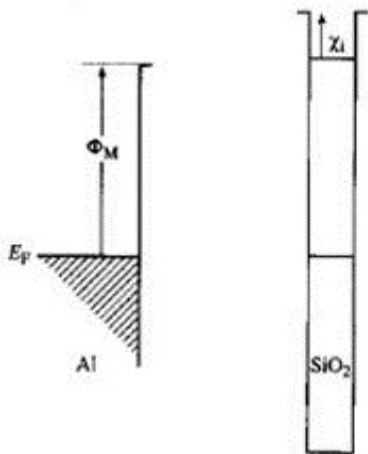


Trước tiếp xúc.

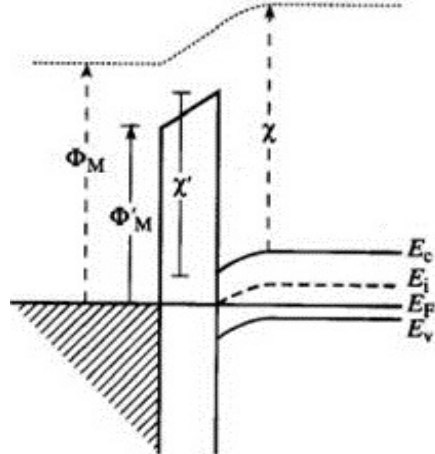
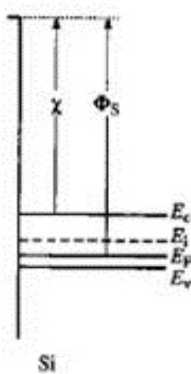


Sau tiếp xúc.

Trường hợp đặc biệt nếu $\phi_M \neq \phi_S$

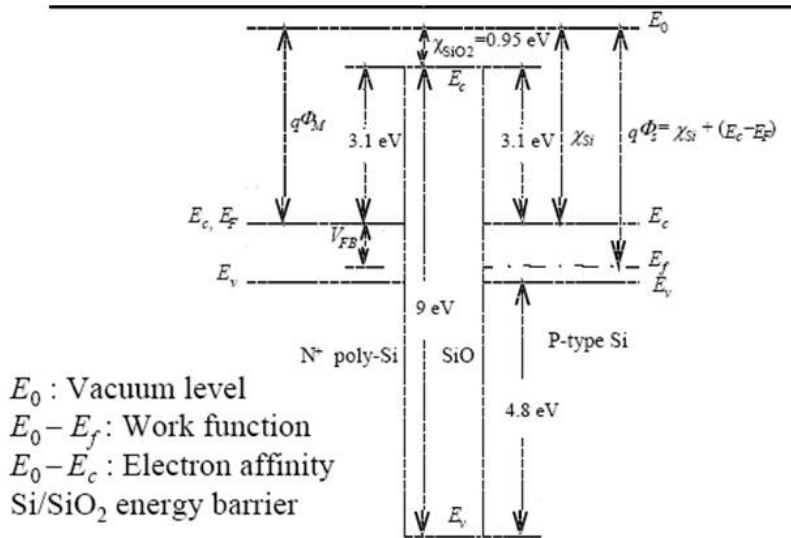


Trước tiếp xúc.



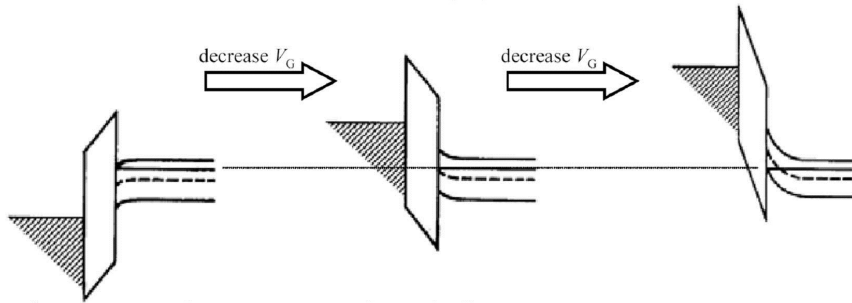
Sau tiếp xúc.

Điều kiện cấu trúc vùng phẳng (flat-band condition)



Cấu trúc vùng PMOS (đế Si loại n)

Khi $V_G < 0$ và giảm theo chiều âm \rightarrow mức năng lượng của cực cổng được đẩy lên cao hơn so với E_F của Si.



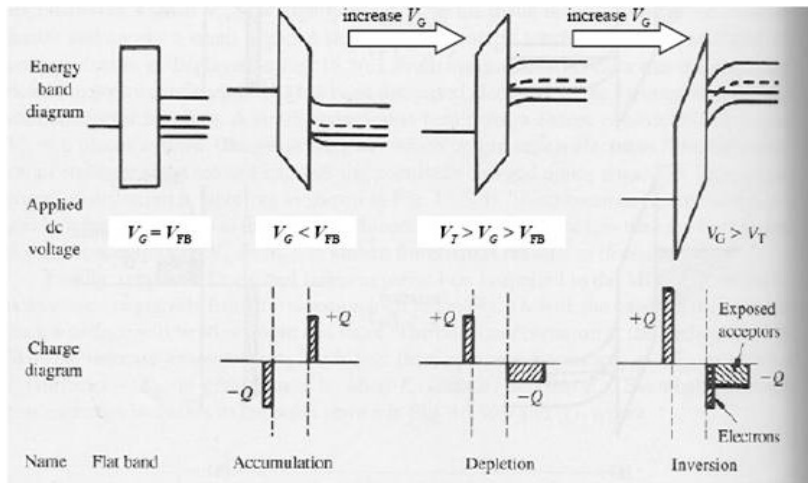
- Lớp giàu hạt tải (accumulation):
 - $V_G > V_{FB}$.
 - Điện tử tập trung tại bề mặt.

- Lớp nghèo hạt tải (depletion):
 - $V_G < V_{FB}$.
 - Điện tử bị đẩy ra khỏi bề mặt.

- Lớp đảo nồng độ hạt tải (inversion):
 - $V_G < V_T$.
 - Bề mặt trở thành loại p .

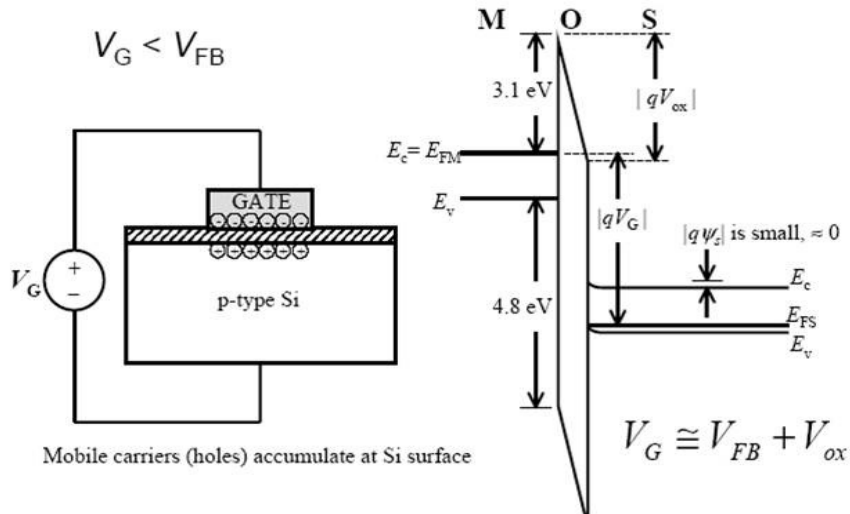
Cấu trúc vùng NMOS (đế Si loại p)

Khi $V_G > 0$ và tăng theo chiều dương \rightarrow mức năng lượng của cực cổng bị đẩy xuống thấp hơn so với E_F của Si.



Lớp giàu hạt tải (accumulation)

Xét cấu trúc cổng là poly-Si pha tạp nặng n^+ và bán dẫn là Si loại p .



Mật độ của lớp giàu hạt tải (charge density)

$$V_{ox} = V_G - V_{FB}$$

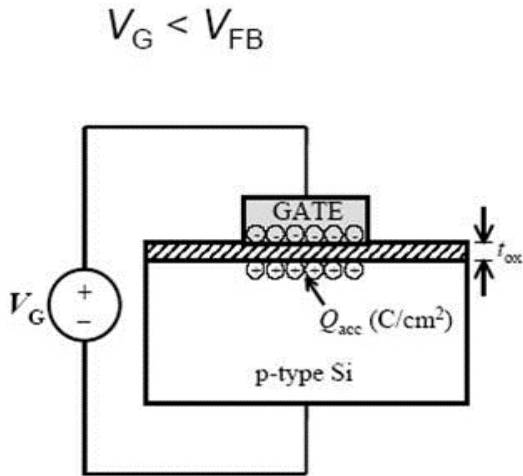
Từ định luật Gauss:

$$E_{ox} = -Q_{acc}/\epsilon_{SiO_2}$$

$$V_{ox} = E_{ox} t_{ox} = -Q_{acc}/C_{ox}$$

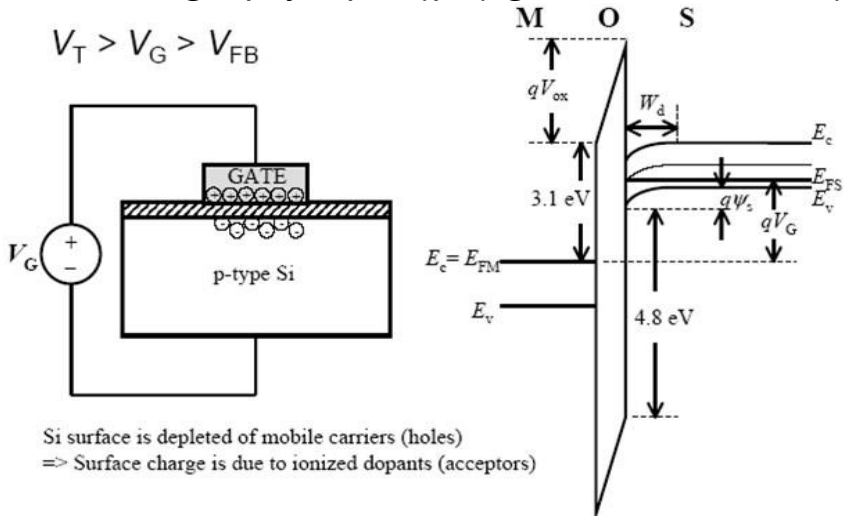
trong đó $C_{ox} = \epsilon_{SiO_2}/t_{ox}$, đơn vị là F/cm^2

$$\rightarrow Q_{acc} = -C_{ox}(V_G - V_{FB}) > 0$$



Lớp nghèo hạt tải (depletion)

Xét cấu trúc cổng là poly-Si pha tạp nặng n^+ và bán dẫn là Si loại p .



Độ rộng lớp nghèo hạt tải (depletion width)

- **Xấp xỉ vùng nghèo:** Bề mặt của Si bị làm nghèo hạt tải linh động đến độ sâu W_d .
- Mật độ điện tích trong vùng nghèo là:

$$\rho \approx -qN_A \quad (0 \leq x \leq W_d)$$

- Phương trình Poisson:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_{Si}} \approx -\frac{qN_A}{\epsilon_{Si}} \quad (0 \leq x \leq W_d)$$

- Tích phân 2 lần, thu được ψ_s :

$$\psi_s = \frac{qN_A}{2\epsilon_{Si}} W_d^2 \rightarrow W_d = \sqrt{\frac{2\epsilon_{Si}\psi_s}{qN_A}}$$

Để thu được ψ_s ở một giá trị V_G cho trước, cần tính đến sự sụt giảm điện thế trong từng phần của hệ MOS.

Điện thế tại lớp nghèo hạt tải

- Từ định luật Gauss:

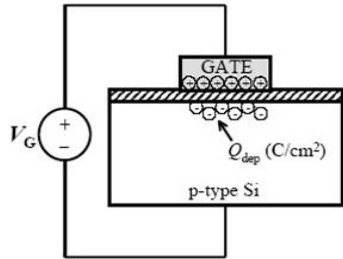
$$E_{\text{ox}} = -Q_{\text{dep}}/\epsilon_{\text{SiO}_2}$$
$$V_{\text{ox}} = E_{\text{ox}}t_{\text{ox}} = -Q_{\text{dep}}/C_{\text{ox}}$$

- Tổng điện tích tại lớp nghèo trên Si:

$$Q_{\text{dep}} = -qN_AW_d = -\sqrt{2qN_A\epsilon_{\text{Si}}\psi_s}$$
$$V_G = V_{FB} + \psi_s + V_{\text{ox}} = V_{FB} + \psi_s + \frac{\sqrt{2qN_A\epsilon_{\text{Si}}\psi_s}}{C_{\text{ox}}}$$

- Giải phương trình đối với ψ_s thu được:

$$\psi_s = \frac{qN_A\epsilon_{\text{Si}}}{2C_{\text{ox}}^2} \left[\sqrt{1 + \frac{2C_{\text{ox}}^2(V_G - V_{FB})}{qN_A\epsilon_{\text{Si}}}} - 1 \right]^2$$



Điều kiện cho thế ngưỡng (threshold voltage)

- V_G tăng đến khi ψ_s đạt được giá trị $2\psi_B$, bề mặt được gọi là **đảo mạnh (strong inversion)** (bề mặt là loại n , với cùng mức độ pha tạp với loại p trong bán dẫn khối sâu trong đế). Đây được gọi là điều kiện ngưỡng.

$$V_G = V_T \rightarrow \psi_s = 2\psi_B$$

$$E_i(\text{khối}) - E_i(\text{bề mặt}) = 2[E_i(\text{khối}) - E_F]$$

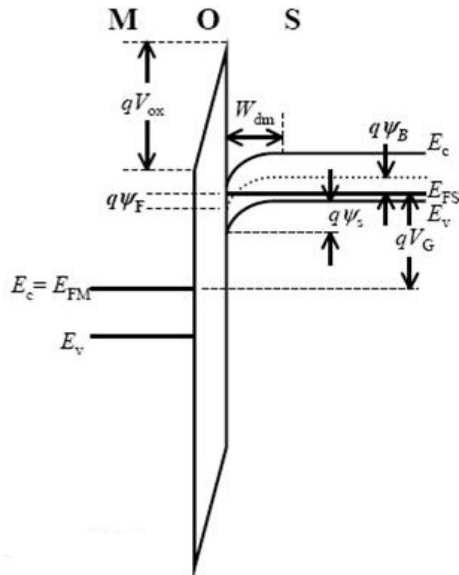
$$E_i(\text{bề mặt}) - E_F = -[E_i(\text{khối}) - E_F]$$

$$\rightarrow n_{\text{bề mặt}} = N_A$$

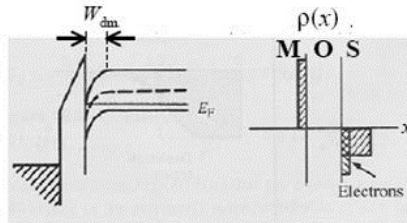
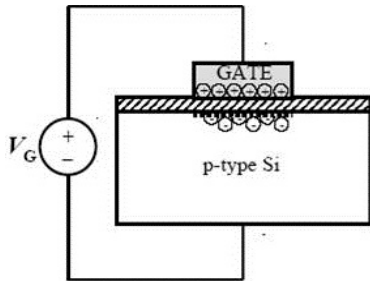
Cấu trúc vùng MOS tại threshold

$$\psi_s = 2\psi_B = 2\frac{kT}{q}\ln\left(\frac{N_A}{n_i}\right)$$
$$W_d = W_{dm} = \sqrt{\frac{2\epsilon_{Si}(2\psi_B)}{qN_A}}$$

Hiệu điện thế tác dụng vào cổng bằng điện thế ngưỡng, tức là $V_G = V_T$.



Lớp đảo mạnh (đối với Si loại p)



- Khi V_G tăng vượt quá V_T , điện tích âm trong Si được tăng thêm nhờ sự thêm vào của điện tử linh động (thay vì làm nghèo Si sâu hơn), vì vậy độ rộng vùng nghèo không thay đổi, $W_d = W_{dm}$. Bề mặt khi đó là loại n .

$$\psi_s = 2\psi_B = 2 \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$$

và

$$W_d = W_{dm} = \sqrt{\frac{2\epsilon_{Si}(2\psi_B)}{qN_A}}$$

Mật độ hạt tải lớp đảo mạnh (đối với Si loại p)

$$\begin{aligned} V_G &= V_{FB} + \psi_s + V_{ox} \\ &= V_{FB} + 2\psi_B - \frac{Q_{dep} + Q_{inv}}{C_{ox}} \\ &= V_{FB} + 2\psi_B + \frac{\sqrt{2qN_A\epsilon_{Si}2\psi_B}}{C_{ox}} - \frac{Q_{inv}}{C_{ox}} \\ &= V_T - \frac{Q_{inv}}{C_{ox}} \end{aligned}$$

$$Q_{inv} = -C_{ox}(V_G - V_T)$$

Tổng kết đối với điện thế ngưỡng của NMOS (đế loại p)

- Điện thế ngưỡng của tụ điện MOS:

$$V_T = V_{FB} + \frac{\sqrt{2\varepsilon_s q N_B (2|\psi_B|)}}{C_{ox}} + 2|\psi_B| - \frac{Q_i}{C_{ox}}$$

- Điện thế ngưỡng của transistor MOS:

$$V_T = V_{FB} + \frac{\sqrt{2\varepsilon_s q N_B (2|\psi_B| + |V_C - V_B|)}}{C_{ox}} + 2|\psi_B| + V_C - \frac{Q_i}{C_{ox}}$$

Chú ý 1: Tại điểm bắt đầu của trạng thái đảo mạnh, điện tích đảo là không đáng kể và thường được bỏ qua trong biểu thức của V_T .

Chú ý 2: V_T của một MOSFET được lấy bằng giá trị V_T tại nguồn (nghĩa là $V_C = V_S$).

Chú ý 3: $Q_i = q \times$ nồng độ tạp chất là tổng điện tích của các donor hoặc acceptor đã ion hóa được cấy tại bề mặt Si. Q_i là **âm** đối với acceptor và **dương** đối với donor.

Tổng kết đối với điện thế ngưỡng của PMOS (đế loại n)

- Điện thế ngưỡng của tụ điện MOS:

$$V_T = V_{FB} + \frac{\sqrt{2\varepsilon_s q N_B (2|\psi_B|)}}{C_{ox}} - 2|\psi_B| - \frac{Q_i}{C_{ox}}$$

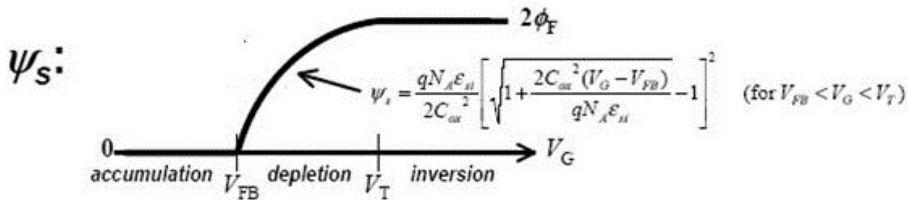
- Điện thế ngưỡng của transistor MOS:

$$V_T = V_{FB} - \frac{\sqrt{2\varepsilon_s q N_B (2|\psi_B| + |V_C - V_B|)}}{C_{ox}} - 2|\psi_B| + V_C - \frac{Q_i}{C_{ox}}$$

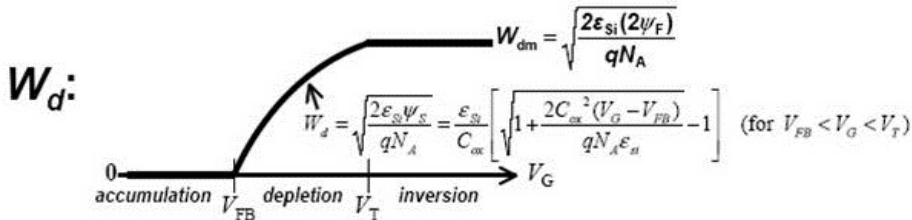
Chú ý: Ở đây trước V_C vẫn là dấu $+$, nhưng $V_C < 0$ đối với PMOS do các lỗ trống trong lớp đảo nồng độ cần phải được áp thế âm so với đế loại n để đảm bảo chuyển tiếp pn được áp thế ngược.

Sự phụ thuộc của ψ_s và W_d vào V_G

Thế bề mặt (surface potential)

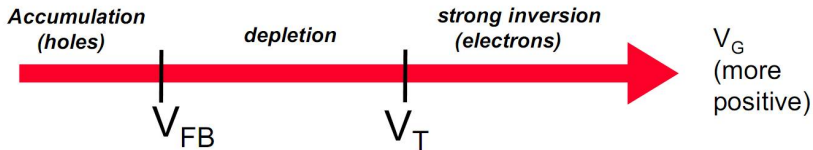


Độ rộng lớp nghèo hạt tải (depletion width)

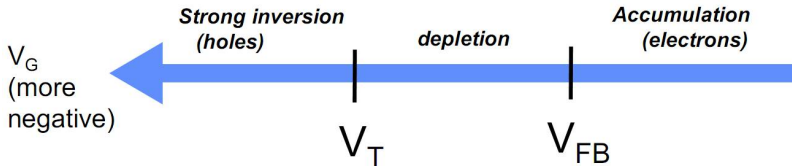


Sự chuyển trạng thái theo V_G của NMOS và PMOS

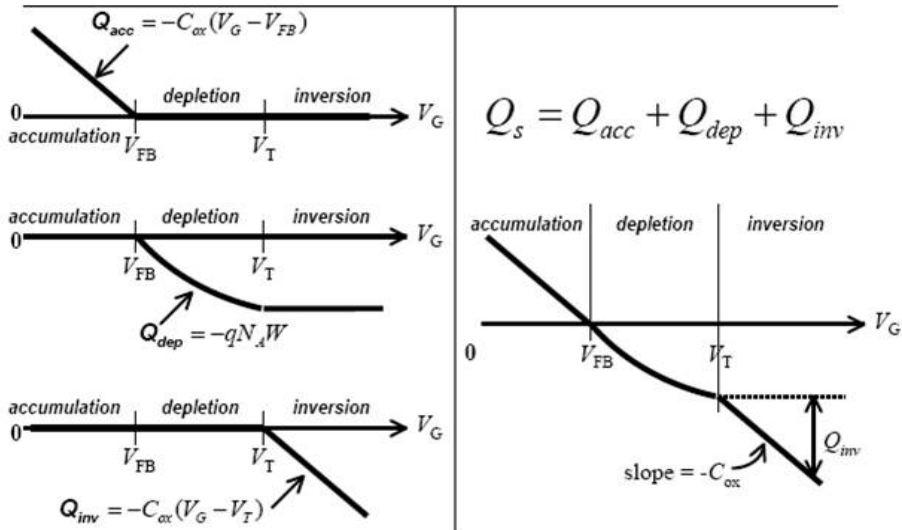
p-Si substrate (NMOS)



n-Si substrate (PMOS)



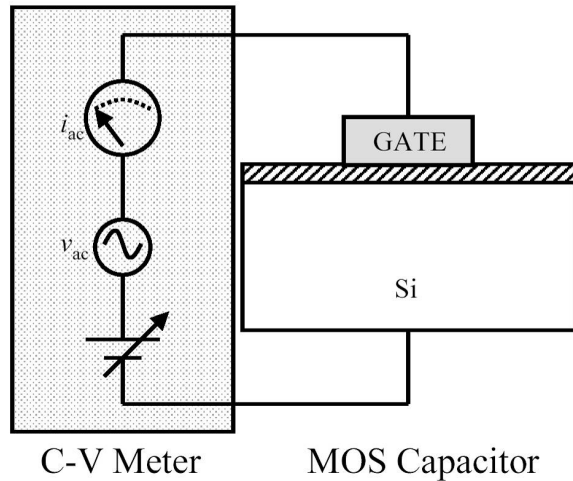
Tổng nồng độ điện tích trong Si, Q_s



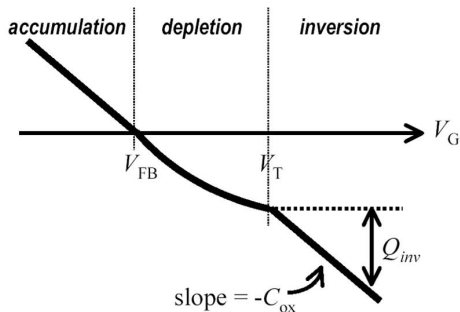
Phép đo tụ điện MOS

- V_G được quét chậm.
- Đo dòng điện dung dưới tác dụng của điện thế xoay chiều v_{ac} :

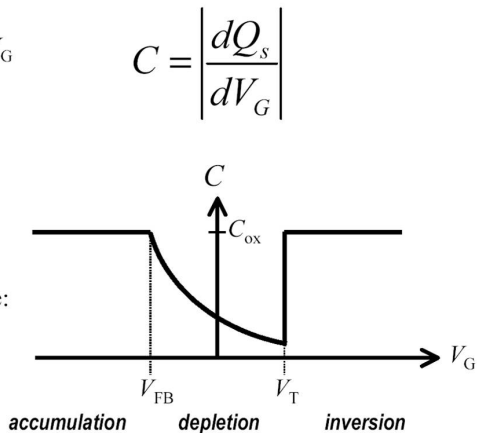
$$v_{ac} = C \frac{dv_{ac}}{dt}$$
$$C = \left| \frac{dQ_{GATE}}{dV_G} \right| = \left| \frac{dQ_s}{dV_G} \right|$$



Đặc trưng điện dung-thế (C - V) của tụ điện MOS (Si loại p)



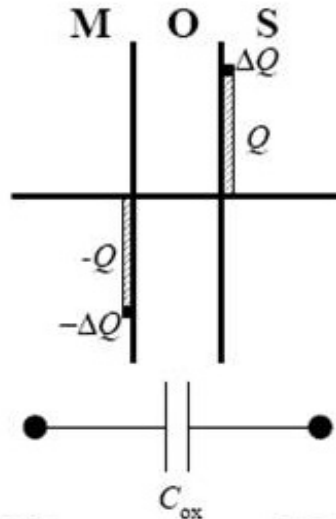
Ideal C - V curve:



Điện dung tại lớp giàu hạt tải

- Khi điện áp cổng thay đổi, điện tích tăng thêm được thêm vào/rút đi từ cổng và đế.
- Điện tích gia tăng được cách ly bởi lớp ô-xít tại cổng.

$$C = \left| \frac{dQ_{\text{acc}}}{dV_G} \right| = C_{\text{ox}}$$



Điện dung tại vùng phẳng (flat-band)

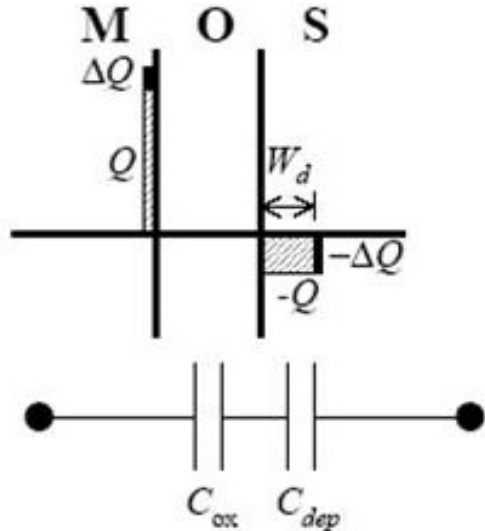
- Tại điều kiện vùng phẳng, sự thay đổi của V_G gây nên sự thêm vào/rút đi của điện tích gia tăng nằm ở độ sâu L_D bên trong đế
- L_D được gọi là **độ dài Debye**.
 - L_D đặc trưng cho khoảng cách che chắn, hay khoảng cách mà tại đó điện trường do một điện tích bị nhiễu loạn gây ra giảm đi e lần.

$$L_D = \sqrt{\frac{\epsilon_{Si} kT}{q^2 N_A}}$$
$$\frac{1}{C_{FB}} = \frac{1}{C_{ox}} + \frac{L_D}{\epsilon_{Si}}$$

Điện dung tại lớp nghèo hạt tải

- Khi điện áp cổng thay đổi, độ rộng của vùng nghèo cũng thay đổi.
→ Điện tích gia tăng được thêm vào/rút đi hiệu quả ở độ sâu W_d bên trong đế.

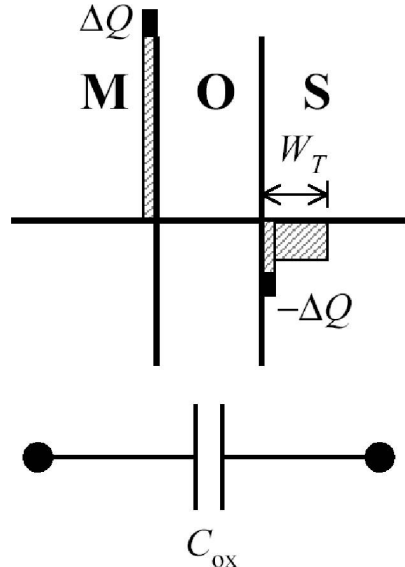
$$C = \left| \frac{dQ_{\text{dep}}}{dV_G} \right| = \sqrt{\frac{1}{C_{\text{ox}}^2} + \frac{2(V_G - V_{FB})}{qN_A \epsilon_{\text{Si}}}}$$
$$\frac{1}{C} = \frac{1}{C_{\text{ox}}} + \frac{1}{C_{\text{dep}}} = \frac{1}{C_{\text{ox}}} + \frac{W_d}{\epsilon_{\text{Si}}}$$



Điện dung của lớp đảo nồng độ (đế Si loại p)

- **TH1:** Điện tích của lớp đảo nồng độ có thể được cung cấp hoặc rút đi đủ nhanh để đáp ứng lại sự thay đổi của điện áp cổng. → Điện tích gia tăng được thêm vào/rút đi hiệu quả tại bề mặt của đế.
- Thời gian để hình thành lớp đảo nồng độ hạt tải là $2N_A\tau_0/n_i$, trong đó τ_0 là thời gian sống của hạt tải thiểu số tại bề mặt:

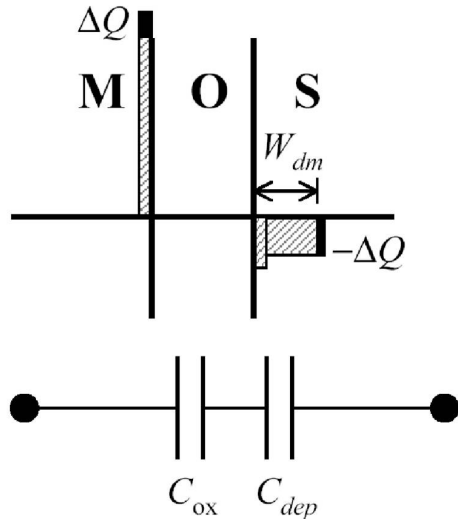
$$C = \left| \frac{dQ_{\text{inv}}}{dV_G} \right| = C_{\text{ox}}$$



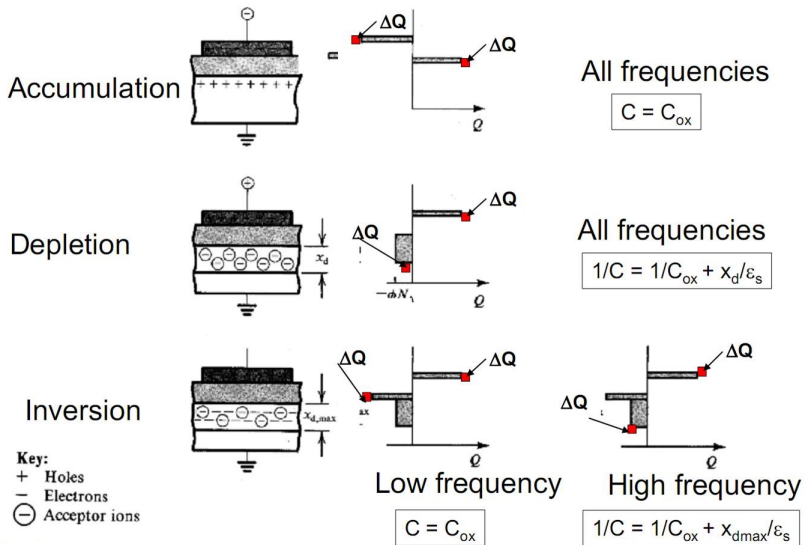
Điện dung của lớp đảo nồng độ (đế Si loại p)

- TH2:** Điện tích của lớp đảo nồng độ không thể được cung cấp hoặc rút đi đủ nhanh để đáp ứng lại sự thay đổi của điện áp cổng.
→ Điện tích gia tăng được thêm vào/rút đi hiệu quả ở độ sâu W_{dm} bên trong đế.

$$\begin{aligned}\frac{1}{C} &= \frac{1}{C_{ox}} + \frac{1}{C_{dep}} \\ &= \frac{1}{C_{ox}} + \frac{W_{dm}}{\epsilon_{Si}} \\ &= \frac{1}{C_{ox}} + \sqrt{\frac{2(2\psi_B)}{qN_A\epsilon_{Si}}} = \frac{1}{C_{min}}\end{aligned}$$

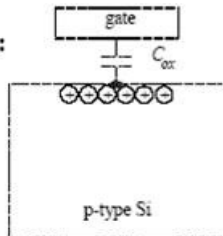


Sự thay đổi của điện tích tín hiệu nhỏ ΔQ theo V_G

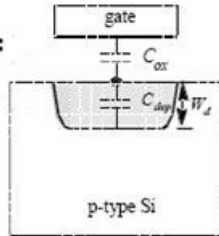


Bổ sung hạt tải của lớp đế Si

Accumulation:

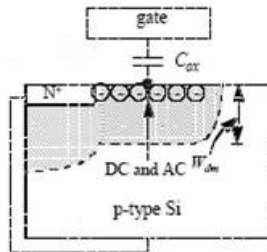


Depletion:

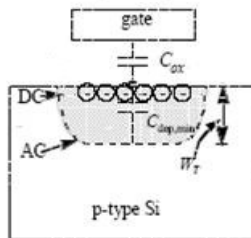


Inversion:

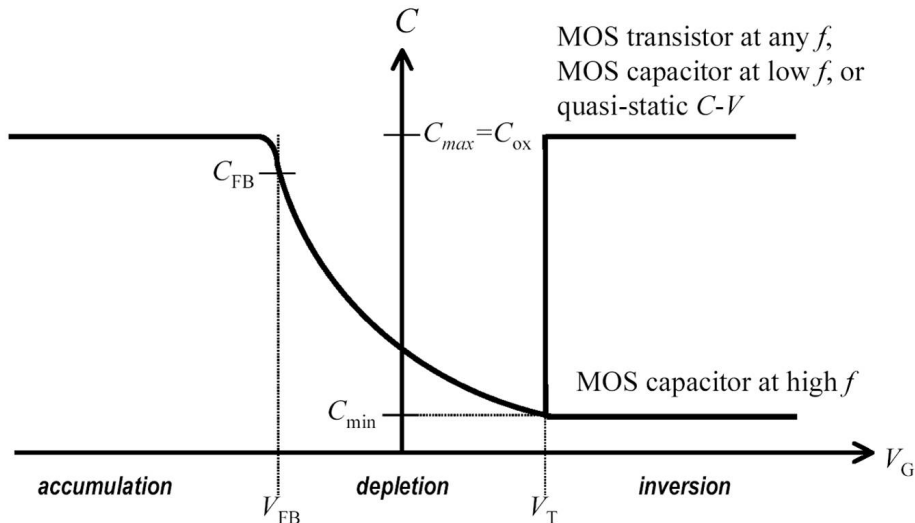
Case 1



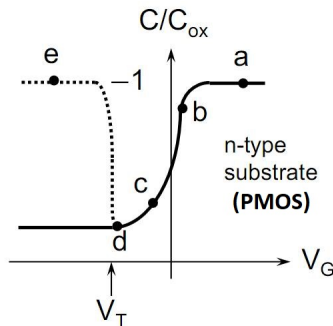
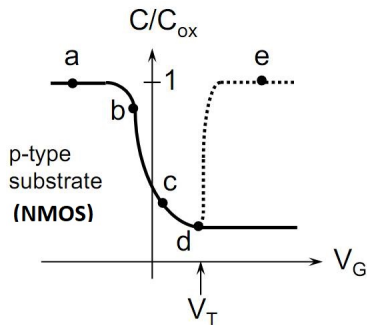
Case 2



Điện dung tụ điện MOS và transistor MOS ở các tần số khác nhau

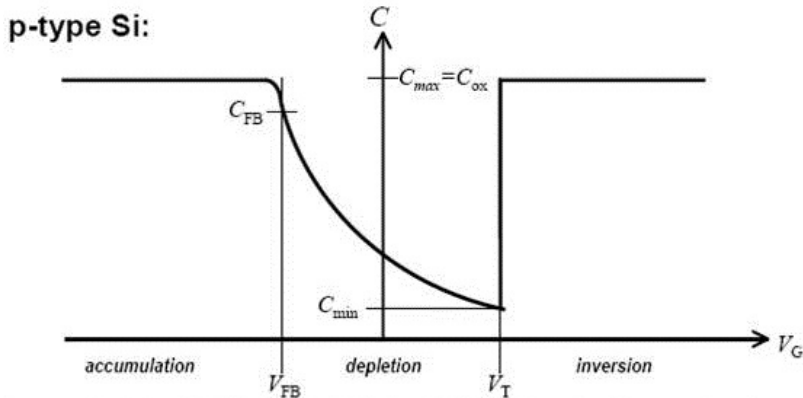


Đặc trưng C-V của NMOS và PMOS

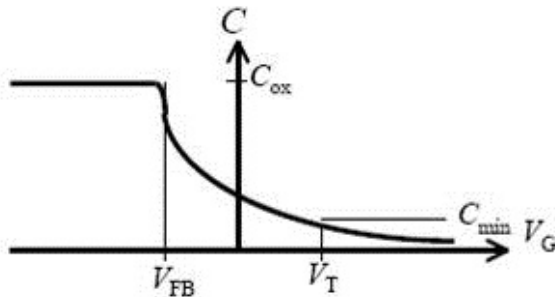


- a) Trạng thái giàu hạt tải (accumulation): C_{ox} .
- b) Trạng thái vùng phẳng (flat-band): $\approx C_{ox}$ (nhỏ hơn một chút).
- c) Trạng thái nghèo hạt tải (depletion): C_{ox} *nối tiếp* với C_{dep} .
- d) Trạng thái ngưỡng (threshold): C_{ox} *nối tiếp* với giá trị nhỏ nhất của C_{dep} .
- e) Trạng thái đảo nồng độ: C_{ox} (với độ trễ nào đó).

Các phép đo tĩnh gần đúng đặc trưng C-V



Phép đo tĩnh gần đúng đặc trưng C-V thu được bằng cách thay đổi chậm điện thế cổng (tốc độ < 0.1 V/s), trong khi đó dòng cổng I_G được đo với một am-pe kế rất nhạy. Điện dung C được tính toán từ: $I_G = C \cdot dV_G/dt$.



Nếu V_G được quét nhanh, điện tích của lớp đảo nồng độ Q_{inv} không thể theo kịp sự thay đổi của V_G . Sự tăng của mật độ điện tích bề mặt Q_s phải đến từ sự tăng của mật độ điện tích vùng nghèo Q_{dep} .

→ độ rộng vùng nghèo W_d tăng khi V_G tăng.

→ C giảm khi V_G tăng.

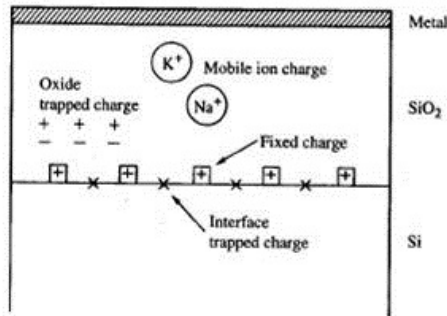
Các tham số nhận được từ $C-V$

- Từ một phép đo $C-V$ đơn lẻ, chúng ta có thể nhận được nhiều thông tin từ linh kiện MOS.
- Giả sử vật liệu cực cổng là Si đa tinh thể, được pha tạp mạnh loại n ($\Phi_M = 4.05$ eV), và điện môi cổng là SiO_2 ($\epsilon_r = 3.9$):
 - Từ $C_{\max} = C_{\text{ox}}$, thu được độ dày lớp ô-xít t_{ox} .
 - Từ C_{\min} , thu được mức độ pha tạp của đế (bằng phương pháp lặp).
 - Từ mức độ pha tạp của đế và C_{ox} , thu được điện dung vùng phẳng C_{FB} .
 - Từ đồ thị $C-V$, có thể tìm được $V_{\text{FB}} = V_G|_{C=C_{\text{FB}}}$.
 - Từ Φ_M , Φ_S , C_{ox} , và $V = V_{\text{FB}}$ có thể xác định được điện tích cố định Q_F .

Hạt tải trong lớp điện môi

- Trong ô-xít:
 - Điện tích bị bẫy Q_{ot} .
 - Các điện tử và/hoặc lỗ trống năng lượng cao được tiêm vào ô-xít.
 - Điện tích linh động Q_M .
 - Các ion kim loại kiềm, có độ linh động đủ lớn để bị kéo vào bên trong ô-xít dưới tác dụng của điện trường.
- Tại bề mặt:
 - Điện tích cố định Q_F .
 - Do Si dư?
 - Điện tích bị bẫy Q_{it} .
 - Các liên kết treo.

Trong các linh kiện MOS thực tế, luôn luôn có một lượng điện tích nằm bên trong ô-xít và tại mặt tiếp xúc Si/ô-xít.



Ảnh hưởng của những hạt tải này

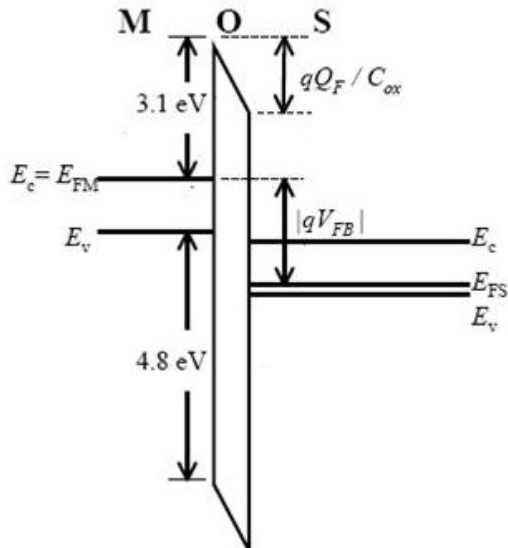
- Nói chung, các điện tích trong kim loại gây ra sự thay đổi điện thế cổng cần thiết để đạt được điều kiện ngưỡng:

$$\Delta V_T = -\frac{1}{\epsilon_{\text{SiO}_2}} \int_0^{t_{\text{ox}}} x \rho_{\text{ox}}(x) dx$$

x được định nghĩa bằng 0 tại mặt tiếp xúc kim loại/ô-xít.

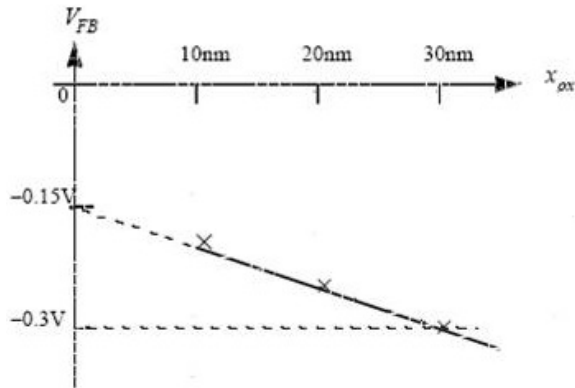
- Ngoài ra, chúng có thể làm thay đổi độ linh động hiệu ứng trường của các hạt tải linh động (trong MOSFET) do sự tán xạ Coulomb.

Hạt tải cố định Q_F



$$V_{FB} = \phi_{MS} - \frac{Q_F}{C_{ox}}$$

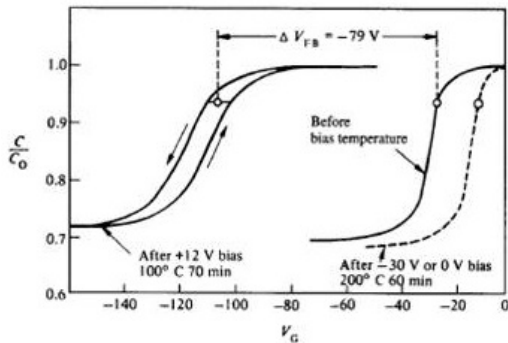
Cách xác định điện tích hạt tải cố định



Đo đặc trưng $C-V$ của tụ với các độ dày ô-xít khác nhau. Vẽ đồ thị phụ thuộc của V_{FB} vào t_{ox} .

$$V_{FB} = \phi_{MS} - \frac{t_{ox}}{\epsilon_{SiO_2}} Q_F$$

Các ion linh động

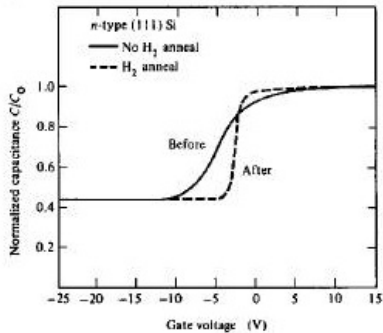


- Hiện tượng: đường C-V bị dịch.

$$\Delta V_{FB} = -\frac{Q_M}{C_{ox}}$$

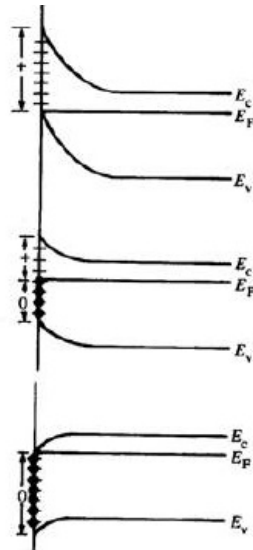
- Nguyên nhân: điện tích linh động di chuyển lại gần/ra xa mặt tiếp xúc, khiến tâm khối điện tích thay đổi.

Hạt tải bẫy bề mặt

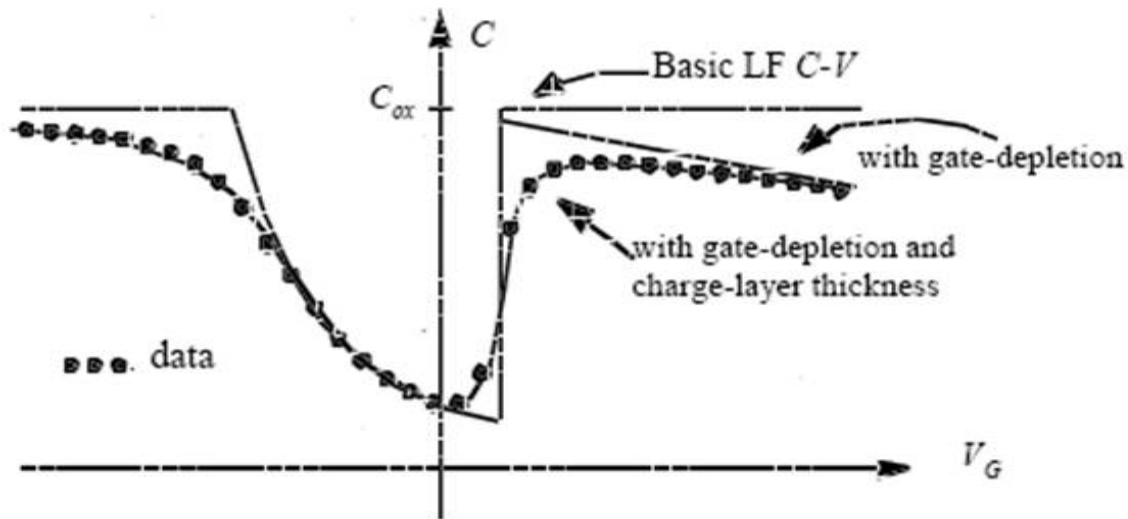


Traps cause “sloppy” C - V and also greatly degrade mobility in channel

$$\Delta V_G = -\frac{Q_{IT}(\psi_S)}{C_{ox}}$$



So sánh MOS lý tưởng và thực tế



Bài tập

Bài 1. (*pn junction*)

Một chuyển tiếp *pn* của Si có nồng độ tạp là $N_a = 10^{15} \text{ cm}^{-3}$ đối với nhánh *p* và $N_d = 2 \times 10^{17} \text{ cm}^{-3}$ đối với nhánh *n*. Hãy xác định thế tiếp xúc (built-in potential) ϕ_i ở nhiệt độ phòng. Tính độ rộng của lớp điện tích không gian và điện trường cực đại tại lớp chuyển tiếp khi hiệu điện thế ngoài $V_a = 0$ và 10 V.

Bài 2. (*MOS capacitor*)

Hãy vẽ giản đồ năng lượng ở trạng thái cân bằng nhiệt và trạng thái vùng phẳng (flat band) đối với cấu trúc MOS lý tưởng với điện cực kim loại là nhôm ($\phi_{Al} = 4.2 \text{ eV}$) trong các trường hợp:

- Si được pha tạp loại *n* với điện trở suất là $1 \Omega \text{ cm}$.
- Si được pha tạp loại *p* với điện trở suất là $1 \Omega \text{ cm}$.

Bài 3. (*MOSFET transistor*)

Một transistor MOSFET có tỉ số chiều rộng và chiều dài kênh dẫn (channel) $W/L = 5$, độ dày lớp cổng điện môi là 80 nm, độ linh động của kênh dẫn là $\mu_n = 600 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$.

- Tính mật độ điện tử tự do trong kênh dẫn (Q_n/q) đối với trường hợp trở kháng giữa nguồn (source) và máng (drain) là 2,4 k Ω khi giá trị V_{DS} thấp.
- Hãy tìm hiệu điện thế cổng và điện thế ngưỡng ($V_{\text{Gate}} - V_{\text{Threshold}}$) để tạo ra trở kháng có giá trị như câu a.

The End