

CHƯƠNG 11. TRANSISTOR HIỆU ỨNG TRƯỜNG

MOS Field Effect Transistor (MOSFET)

Giảng viên: Nguyễn Đức Cường

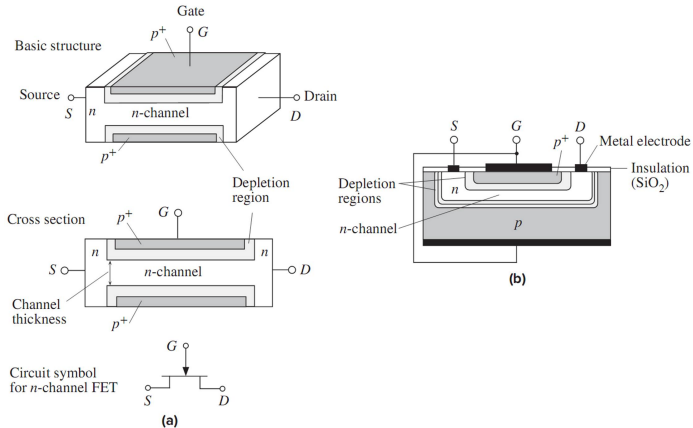
Trường Đại học Công nghệ - ĐHQGHN

Email: cuongnd@vnu.edu.vn

Ngày 13 tháng 12 năm 2021

- 1 11.1. TRANSISTOR HIỆU ỨNG TRƯỜNG LOẠI CỔNG NỔI (JFET)
- 2 11.2. TRANSISTOR HIỆU ỨNG TRƯỜNG DỰA TRÊN CẤU TRÚC MOS (MOSFET)

Nguyên tắc hoạt động chung của JFET

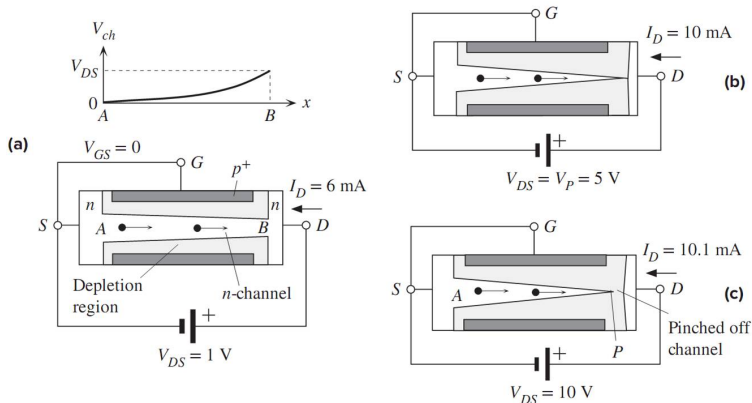


- (a) Cấu trúc cơ bản của transistor hiệu ứng trường loại cổng nổi (JFET) với kênh n . Hai vùng p^+ được nối với nhau và hình thành nên cực cổng.
- (b) Sơ đồ đơn giản hóa mặt cắt của một JFET kênh n .

Nguyên tắc hoạt động chung của JFET

- Thanh bán dẫn loại n được kết nối với hai điện cực kim loại ở hai đầu, gọi là **cực nguồn (S)** và **cực máng (D)**. Hai mặt đối diện của thanh bán dẫn loại n được pha tạp mạnh loại p tới độ sâu nhỏ sao cho một kênh n được hình thành giữa cực nguồn và cực máng. Các vùng p^+ thường được nối với nhau và được gọi là **cực cổng (G)**. Do cực cổng được pha tạp mạnh, nên vùng nghèo mở rộng gần như hoàn toàn vào kênh n . Để đơn giản, ta coi hai vùng cổng là hoàn toàn giống nhau (đều là loại p^+), và sự pha tạp của bán dẫn loại n là đều. Chúng ta sẽ quy ước kênh n là vùng vật liệu dẫn loại n nằm giữa hai lớp nghèo.
- Cấu trúc đối xứng cơ bản và lý tưởng hóa trong hình vẽ là hữu dụng để giải thích nguyên lý hoạt động, nhưng không mô tả thực sự chính xác linh kiện thực tế điển hình. Trong sơ đồ đơn giản hóa mặt cắt của một linh kiện thực tế (chế tạo bằng công nghệ phẳng), có thể thấy hai vùng cổng không có cùng nồng độ pha tạp, và tất cả các cực đều nằm trên một mặt phẳng (trừ cực cổng).

Nguyên tắc hoạt động chung của JFET



(a) Cực cổng và cực nguồn được nối tắt ($V_{GS} = 0$) và V_{DS} nhỏ.

(b) Khi V_{DS} tăng đến giá trị $V_P = 5 \text{ V}$, hai lớp nghèo bắt đầu tiếp xúc với nhau và điện thế của chuyển tiếp p^+n ở phía cực máng là $V_{GD} = -V_{DS} = -V_P = -5 \text{ V}$.

(c) V_{DS} tiếp tục tăng ($V_{DS} > V_P$) khiến cho kênh dẫn bị chặn lại.

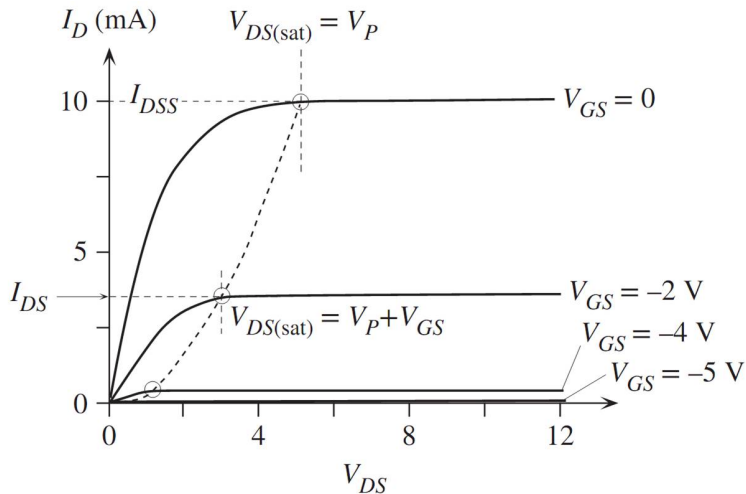
Nguyên tắc hoạt động chung của JFET

- Xét hoạt động của JFET khi cực cổng và cực nguồn được nối tắt ($V_{GS} = 0$). Điện trở giữa S và D là điện trở của kênh dẫn n giữa điểm A và điểm B , R_{AB} . Khi một điện áp dương được đặt vào D so với S ($V_{DS} > 0$), xuất hiện dòng chạy từ D đến S , được gọi là **dòng máng** I_D . Tồn tại một lượng sụt thế dọc theo kênh giữa A và B . Điện thế trong kênh n là 0 tại A và V_{DS} tại B . Khi điện thế dọc theo kênh n là dương, chuyển tiếp p^+n giữa các cực cổng và kênh n trở nên bị phân cực ngược từ A đến B . Kết quả là vùng nghèo được mở rộng hơn vào kênh và làm giảm kênh độ rộng kênh dẫn từ A đến B .
- Tăng V_{DS} làm tăng bề rộng của các lớp nghèo, vốn xâm lấn vào bên trong kênh, và dẫn đến việc kênh bị thu hẹp về phía cực máng. Do đó điện trở R_{AB} của kênh n tăng cùng V_{DS} . Do đó dòng máng không tăng tuyến tính với V_{DS} , mà nằm bên dưới đường tuyến tính, với lý do:

$$I_D = \frac{V_{DS}}{R_{AB}} \text{ và } R_{AB} \text{ tăng cùng } V_{DS}.$$

Như vậy đồ thị I_D vs. V_{DS} thể hiện đặc tính dưới tuyến tính, khi $V_{DS} < V_{DS(sat)}$.

Nguyên tắc hoạt động chung của JFET



Đặc trưng I_D vs. V_{DS} của một JFET đối với một số giá trị cố định của điện thế cổng V_{GS} .

Nguyên tắc hoạt động chung của JFET

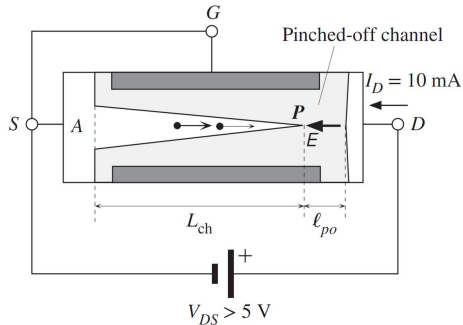
- Khi V_{DS} tiếp tục tăng, lớp nghèo mở rộng hơn vào kênh, và cuối cùng, khi $V_{DS} = V_P (= 5 \text{ V})$, hai lớp nghèo xung quanh B gặp nhau tại điểm P trên kênh về phía cực máng. Kênh khi đó được gọi là bị chặn lại bởi hai lớp nghèo. Điện thế V_P được gọi là **điện áp chặn (pinch-off voltage)**. Điều này tương đương với độ lớn của thế hiệu dịch ngược cần đặt dọc theo chuyển tiếp p^+n để khiến chúng chạm nhau ở phía cực máng. Do thế hiệu dịch dọc theo chuyển tiếp p^+n tại đầu mút phía cực máng là V_{GD} , sự chặn kênh xảy ra khi $V_{GD} = -V_P$.
- Trong trường hợp đang xét, cực cổng và cực nguồn được nối tắt, tức $V_{GS} = 0$, do đó $V_{GD} = -V_{DS}$, và sự chặn lại xảy ra khi $V_{GS} = V_P$ (5 V). Tính từ điểm bị chặn hướng vào trong, dòng máng không tăng đáng kể cùng V_{DS} . Trên giá trị $V_{DS} = V_P$, kênh bị chặn có chiều dài là ℓ_{po} .
- Kênh bị chặn là một vùng nghèo được áp thế ngược và vùng này cô lập cực máng ra khỏi kênh n . Tồn tại một điện trường E rất mạnh trong vùng bị chặn hướng từ D sang S . Điện trường này là tổng hợp của điện trường hướng từ các donor mang điện dương sang các acceptor mang điện âm trong vùng nghèo của kênh và của cực cổng ở phía cực máng. Điện tử trong kênh n trôi về phía P , và khi chúng đến điểm P , chúng được quét dọc theo vùng bị chặn của kênh bởi điện trường E . Như vậy dòng máng được xác định bởi điện trở của đoạn kênh dẫn n có chiều dài L_{ch} từ A đến P , và không phải bởi kênh bị chặn.

Nguyên tắc hoạt động chung của JFET

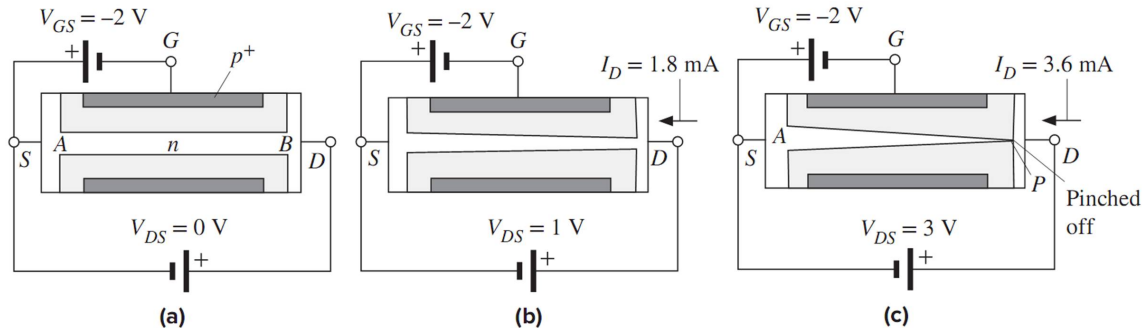
- Khi V_{DS} tăng, hầu hết điện thế thêm vào đều rơi vào vùng ℓ_{po} khi vùng này bị làm nghèo hạt tải và có điện trở lớn. Điểm P (nơi các lớp nghèo tiếp xúc với nhau đầu tiên) dịch chuyển về phía A , do đó giảm nhẹ chiều dài kênh L_{ch} . Điểm P vẫn ở điện thế V_P do đó là giá trị điện thế ngưỡng khiến các lớp nghèo chạm nhau. Vì vậy điện thế dọc theo L_{ch} vẫn là V_P . Khi đó dòng điện ngay sau điểm bị chặn là:

$$I_D = \frac{V_P}{R_{AP}} \quad (V_{DS} > V_P)$$

- Do R_{AP} được xác định bởi L_{ch} , vốn giảm nhẹ cùng V_{DS} , nên I_D tăng nhẹ cùng V_{DS} . Trong nhiều trường hợp, I_D thường bão hòa tại giá trị I_{DSS} với $V_{DS} > V_P$.



Nguyên tắc hoạt động chung của JFET



(a) JFET với điện thế V_{GS} âm có một kênh n hẹp tại điểm đầu.

(b) So với trường hợp $V_{GS} = 0$, cùng giá trị của V_{DS} đem lại dòng I_D nhỏ hơn do kênh dẫn bị hẹp đi.

(c) Kênh dẫn bị chặn lại tại giá trị $V_{DS} = 3\text{ V}$, sớm hơn so với giá trị $V_{DS} = 3\text{ V}$ trong trường hợp $V_{GS} = 0$.

Nguyên tắc hoạt động chung của JFET

- Xét trường hợp khi áp thế âm, ví dụ $V_{GS} = -2 \text{ V}$, lên cực cổng so với cực nguồn, với $V_{DS} = 0$. Các chuyển tiếp p^+n được áp thế ngược ngay từ đầu, do đó kênh dẫn hẹp hơn, và điện trở của kênh lớn hơn so với trường hợp $V_{GS} = 0$. Khi áp thế V_{DS} nhỏ, dòng máng vẫn xuất hiện, tuy nhiên nhỏ hơn trong trường hợp $V_{GS} = 0$. Chuyển tiếp p^+n được áp thế ngược một cách dần dần từ giá trị V_{GS} ở phía cực nguồn đến $V_{GD} = V_{GS} - V_{DS}$ ở phía cực máng. Khi này chúng ta cần một giá trị V_{DS} nhỏ hơn ($= 3 \text{ V}$) để đóng kênh. Khi $V_{DS} = 3 \text{ V}$, điện thế V_{GD} từ G sang D dọc theo chuyển tiếp p^+n ở phía cực máng là $-V_P = -5 \text{ V}$, và kênh bị chặn. Bên trên điểm bị chặn, I_D gần như bão hòa giống như trong trường hợp $V_{GS} = 0$, nhưng về độ lớn rõ ràng là nhỏ hơn do độ dày kênh tại A là nhỏ hơn. Khi có sự có mặt của V_{GS} , sự chặn lại xảy ra tại $V_{DS} = V_{DS(\text{sat})}$, trong đó:

$$V_{DS(\text{sat})} = V_P + V_{GS}$$

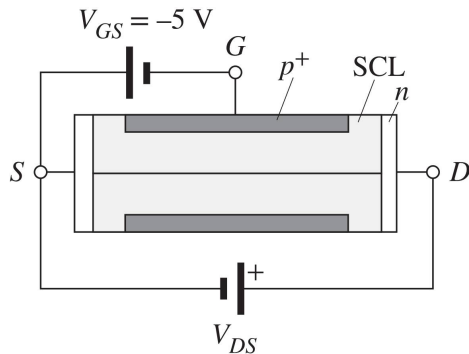
trong đó V_{GS} là điện áp âm (làm giảm V_P).

- Khi $V_{DS} > V_{DS(\text{sat})}$, I_D trở nên bão hòa tại giá trị I_{DS} . Khi các cực G và S được nối tắt ($V_{GS} = 0$), I_{DS} được gọi là I_{DSS} . Bên trên điểm bị chặn, với $V_{GS} < 0$, dòng máng I_D là:

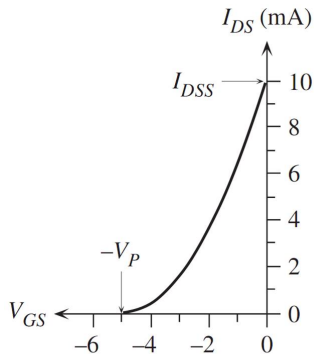
$$I_D \approx I_{DS} \approx \frac{V_{DS(\text{sat})}}{R_{AP}(V_{GS})} = \frac{V_P + V_{GS}}{R_{AP}(V_{GS})} \text{ với } V_{DS} > V_{DS(\text{sat})}$$

Nguyên tắc hoạt động chung của JFET

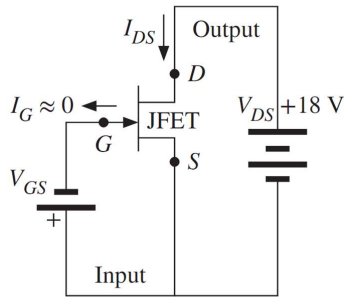
- trong đó $R_{AP}(V_{GS})$ là điện trở hiệu dụng của kênh dẫn n từ A đến P , phụ thuộc vào chiều dày kênh dẫn, và V_{GS} . Điện trở tăng khi điện thế cổng tăng theo chiều âm dần đến tăng thế áp vào chuyển tiếp p^+n , và thu hẹp kênh dẫn. Ví dụ, khi $V_{GS} = -4\text{ V}$, kênh tại A trở nên hẹp hơn trong trường hợp $V_{GS} = -2\text{ V}$, khiến điện trở R_{AP} của kênh dẫn tăng lên và giảm dòng I_{DS} .
- Khi $V_{GS} = -5\text{ V}$, lớp nghèo đóng hoàn toàn kênh ngay từ đầu tại $V_{DS} = 0$. Khi V_{DS} tăng lên, tồn tại một dòng máng rất nhỏ, với bản chất là dòng ngược dò nhỏ do các hạt tải nhiệt sinh trong các lớp nghèo.



Nguyên tắc hoạt động chung của JFET



(a)



(b)

(a) Đặc trưng I_{DS} vs. V_{GS} của một JFET. (b) Mạch điện 1 chiều trong đó V_{GS} trong mạch mạch cổng-nguồn (gate-source) (tín hiệu vào) điều khiển dòng máng I_{DS} trong mạch máng-nguồn (drain-source) (tín hiệu ra) trong đó V_{DS} được giữ cố định ở giá trị lớn ($V_{DS} > V_P$).

Nguyên tắc hoạt động chung của JFET

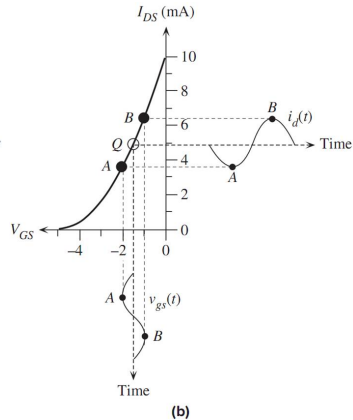
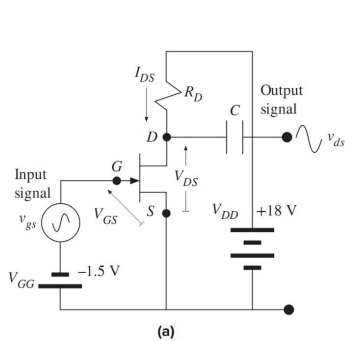
- Sự phụ thuộc của I_{DS} vào V_{GS} có dạng:

$$I_{DS} = I_{DSS} \left[1 - \left(\frac{V_{GS}}{V_{GS(off)}} \right) \right]^2$$

trong đó I_{DSS} là dòng máng khi $V_{GS} = 0$, và $V_{GS(off)} = -V_P$, nghĩa là giá trị điện thế cổng-nguồn khi kênh vừa bị đóng. Giá trị điện thế đóng (pinch-off) V_P mang dấu dương do nó được đưa vào thông qua $V_{DS(sat)}$. Tuy nhiên $V_{GS(off)}$ mang dấu âm, bằng $-V_P$.

- JFET hoạt động dựa trên **hiệu ứng trường** thông qua sự thay đổi điện trường trong lớp nghèo khi được phân cực ngược (bằng cách thay đổi V_{GS}), dẫn đến sự thay đổi mức độ xâm nhập của lớp nghèo vào kênh và điện trở của kênh dẫn. Do cấu trúc này có chuyển tiếp p^+n giữa cổng và kênh, nên được gọi là JFET.

Mạch khuếch đại sử dụng JFET



(a) Mạch khuếch đại kiểu nguồn chung (common source, CS) sử dụng JFET. (b) Diễn giải nguyên tắc điều khiển tín hiệu ra xoay chiều $i_d(t)$ bằng tín hiệu vào xoay chiều $v_{gs}(t)$ đặt nối tiếp với điện áp 1 chiều V_{GS} .

Hiệu ứng trường và sự đảo nồng độ hạt tải

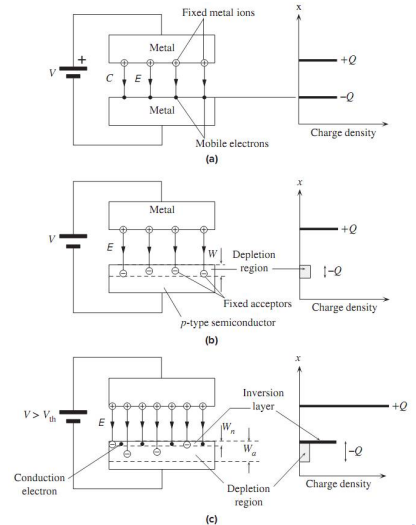
- **Transistor hiệu ứng trường dựa trên cấu trúc kim loại-ô xít-bán dẫn (MOSFET)** dựa trên hiệu ứng của điện trường khi nó xâm nhập sâu vào trong bán dẫn.
- Trong cấu trúc đơn giản của một tụ điện phẳng với các điện cực kim loại và điện môi nằm giữa là không khí, điện trường không đi sâu vào kim loại, mà chỉ tồn tại trên bề mặt. Ngược lại, trong cấu trúc MOS, một điện cực kim loại được thay thế bởi bán dẫn (chẳng hạn bởi một bán dẫn loại p với nồng độ acceptor là 10^{15} cm^{-3}). Nồng độ acceptor trên bề mặt là $1 \times 10^{10} \text{ cm}^{-2}$ (theo công thức $n_{\text{mặt}} = (n_{\text{khô}})^{2/3}$). Giả sử tại nhiệt độ phòng, tất cả các acceptor đều bị ion hóa, và mang điện tích âm. Tuy nhiên trên bề mặt không đủ số lượng acceptor mang điện âm để tạo thành điện tích $-Q$, mà cần phải lấy thêm acceptor từ bên trong bán dẫn, nghĩa là điện trường xâm nhập vào bên trong bán dẫn. Lỗ trống trên bề mặt bán dẫn bị đẩy vào trong bán dẫn, để lại nhiều acceptor mang điện tích âm và trở thành **vùng nghèo** lỗ trống. Độ rộng của vùng nghèo là:

$$W = \frac{Q}{eAN_a}$$

Mặc dù $p \ll N_a$, nhưng khi $p > n$ thì vùng đó vẫn mang đặc tính của bán dẫn loại p , với lỗ trống là hạt tải đa số.

Hiệu ứng trường và sự đảo nồng độ hạt tải

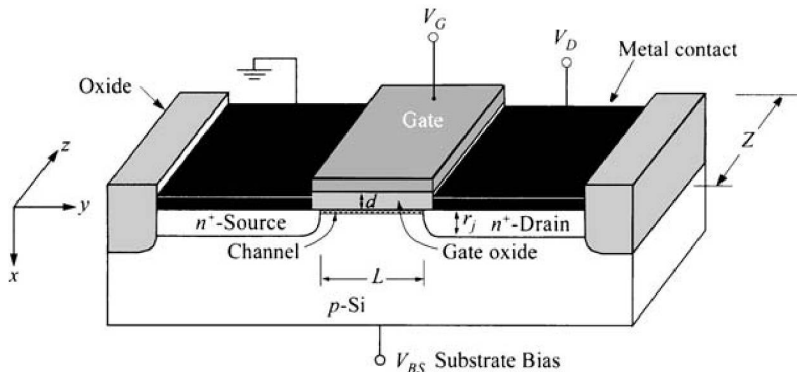
- (a) Trong tụ điện kim loại-không khí-kim loại, tất cả điện tích đều nằm trên bề mặt.
- (b) Mô tả sự xâm nhập của điện trường vào trong bán dẫn loại p .
- (c) Khi điện trường tiếp tục tăng (điện thế V vượt điện thế ngưỡng V_{th}), một lớp đảo nồng độ được hình thành gần bề mặt tại đó có các điện tử dẫn.



Hiệu ứng trường và sự đảo nồng độ hạt tải

- Nếu hiệu điện thế tiếp tục tăng, $-Q$ tăng về độ lớn, trong khi điện trường mạnh lên và xâm nhập sâu hơn vào bán dẫn. Tuy nhiên khó có thể tạo thành điện tích $-Q$ chỉ đơn giản bằng cách mở rộng độ rộng vùng nghèo vào sâu trong bán dẫn. Sẽ dễ dàng hơn khi hút các điện tử dẫn vào vùng nghèo, và tạo thành một lớp điện tử mỏng có độ dày W_n ở gần bề mặt. Khi này điện tích $-Q$ được tạo thành từ các acceptor mang điện tích âm trong độ dày W_a và điện tử dẫn trong độ dày W_n . Các điện tử này có nguồn gốc từ:
 - 1 Một phần nhỏ từ bên trong bán dẫn, nơi chúng là hạt tải thiểu số.
 - 2 Phần lớn còn lại được nhiệt sinh ra từ việc bẻ gãy các liên kết Si-Si trong lớp nghèo. Các cặp điện tử-lỗ trống nhiệt sinh đó được tách nhau ra bằng điện trường: lỗ trống đi sâu vào bán dẫn, và điện tử về phía bề mặt. Xác suất tái hợp của điện tử và lỗ trống là nhỏ do nồng độ hạt tải thấp. Vì nồng độ điện tử lớn hơn nồng độ lỗ trống trong lớp điện tử này, và lớp này nằm bên trong một bán dẫn loại p , nên lớp này được gọi là **lớp đảo nồng độ (inversion layer)**.
- Khi tăng điện trường trong linh kiện MOS, một lớp nghèo được tạo ra đầu tiên, sau đó là lớp đảo nồng độ tại bề mặt khi điện thế vượt quá một giá trị ngưỡng $V > V_{th}$ nào đó. Khi $V > V_{th}$, bất kỳ sự tăng nào của điện trường (và $|-Q|$) đều dẫn đến sự tăng của nồng độ điện tử trong lớp đảo nồng độ, trong khi đó độ rộng vùng nghèo W_a và số lượng điện tích âm cố định là không đổi.
- Thay vì không khí, SiO_2 thường được dùng làm lớp điện môi trong nhiều linh kiện.

Cấu trúc của MOSFET



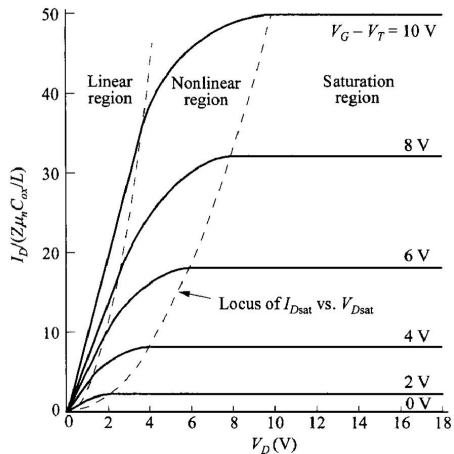
Sơ đồ cấu trúc của MOSFET. Điện thế đặt vào cực cổng G điều khiển dòng I_D chạy giữa cực nguồn S và cực máng D.

Source: Cực nguồn.

Gate: Cực cổng.

Drain: Cực máng.

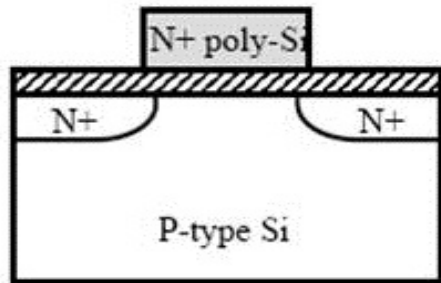
Đặc trưng dòng-thế I_D vs. V_D lý tưởng



Đường đặc trưng dòng-thế I_D vs. V_D lý tưởng tại các giá trị điện thế V_G đặt vào cực cổng khác nhau. Các đường đứt nét dùng để phân chia vùng tuyến tính, vùng không tuyến tính, và vùng bão hòa.

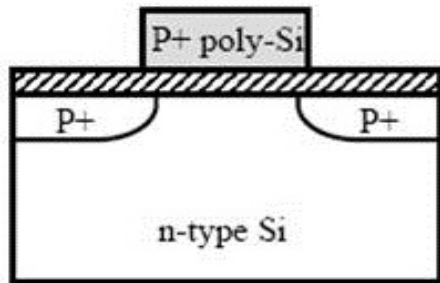
Phân loại MOSFET

NMOS



- Kênh dẫn là kênh n , tạo thành bởi điện tử.
- Dòng I_D xuất hiện khi $V_G > V_T$.
- Chế độ tăng cường: $V_T > 0$.
- Chế độ nghèo hạt tải: $V_T < 0$.

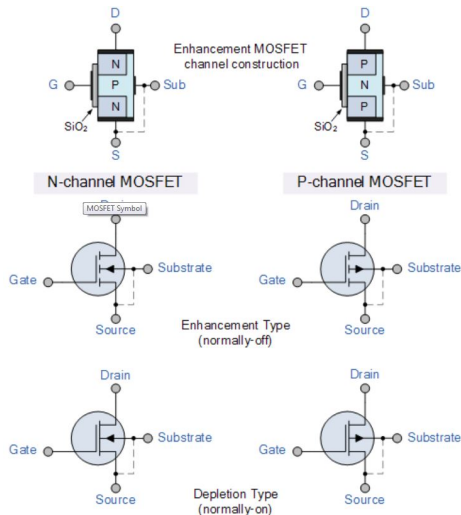
PMOS



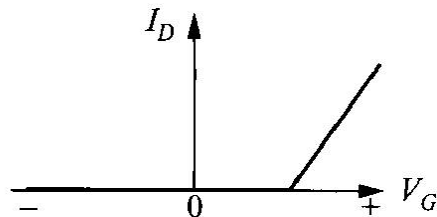
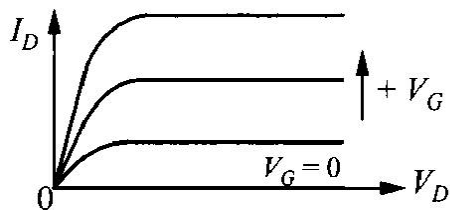
- Kênh dẫn là kênh p , tạo thành bởi lỗ trống.
- Dòng I_D xuất hiện khi $V_G < V_T$.
- Chế độ tăng cường: $V_T < 0$.
- Chế độ nghèo hạt tải: $V_T > 0$.

Phân loại MOSFET

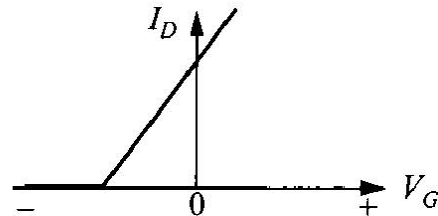
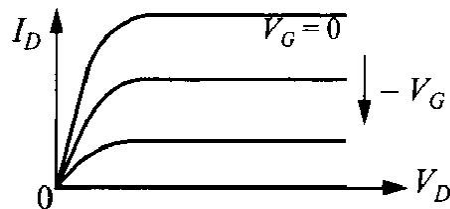
- MOSFET loại tăng cường (enhancement-mode):
 - Kênh pha tạp nhẹ, hoặc không pha tạp và không dẫn (OFF) ở trạng thái bình thường, $V_G = 0$.
 - Khi đặt thế $V_G \neq 0$, kênh được làm tăng lượng hạt tải thông qua sự đảo nồng độ và dần trở thành dẫn (ON) khi $V_G > V_T > 0$ đối với kênh dẫn loại n và $V_G < V_T < 0$ đối với kênh dẫn loại p .
- MOSFET loại nghèo hạt tải (depletion-mode):
 - Ở trạng thái bình thường, $V_G = 0$, kênh dẫn điện (ON).
 - Khi đặt thế $V_G \neq 0$, kênh bị làm nghèo hạt tải và dần trở thành không dẫn (OFF) khi $V_G < V_T < 0$ đối với kênh dẫn loại n và $V_G > V_T > 0$ đối với kênh dẫn loại p .



Phân loại MOSFET

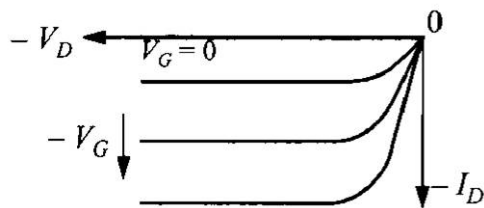


MOSFET kênh n , ở chế độ tăng cường (enhancement-mode, đóng khi $V_G = 0$).

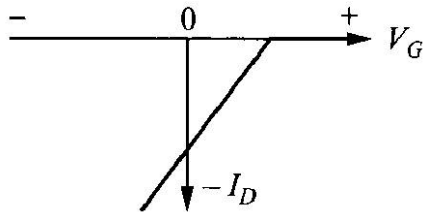
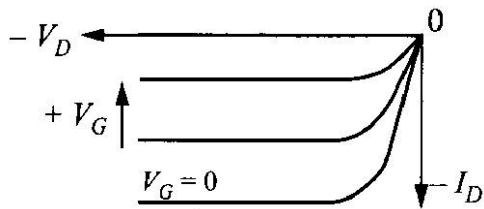
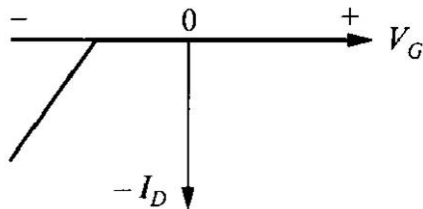


MOSFET kênh n , ở chế độ nghèo hạt tải (depletion-mode, mở khi $V_G = 0$).

Phân loại MOSFET

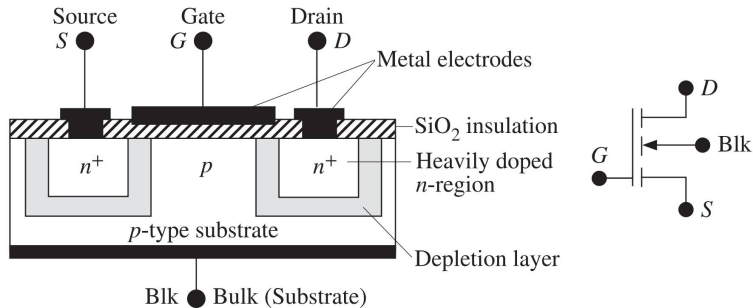


MOSFET kênh p , ở chế độ tăng cường (enhancement-mode, đóng khi $V_G = 0$).



MOSFET kênh p , ở chế độ nghèo hạt tải (depletion-mode, mở khi $V_G = 0$).

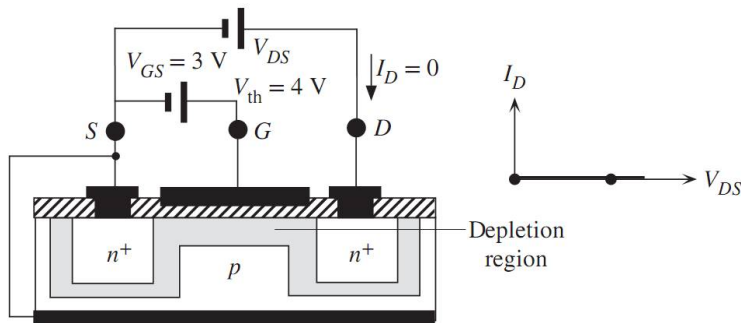
MOSFET tăng cường (enhancement MOSFET)



Cấu trúc cơ bản của MOSFET tăng cường và ký hiệu của nó trong mạch điện.

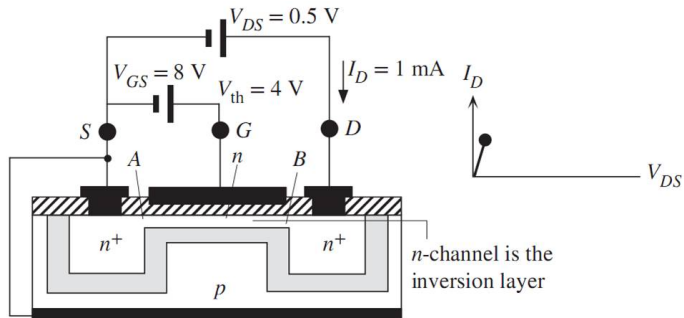
- Khi không áp thế vào cực cổng (gate) G , kênh từ cực nguồn (source) S tới cực máng (drain) D là một cấu trúc n^+pn^+ luôn luôn được áp thế ngược, bất kể chiều của hiệu điện thế đặt giữa hai cực S và D .
- Tuy nhiên, nếu đế (bán dẫn khối) được nối với cực nguồn S , một hiệu điện thế âm V_{DS} sẽ phân cực thuận chuyển tiếp n^+p giữa cực máng D và đế.

MOSFET tăng cường (enhancement MOSFET)



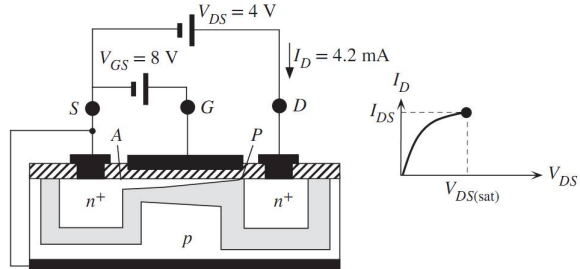
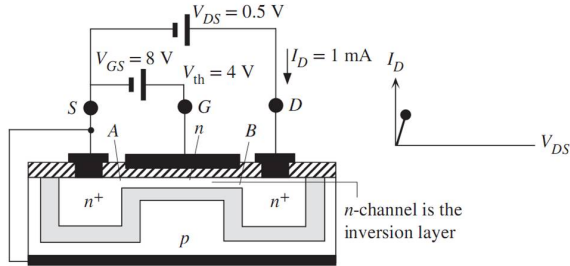
- Khi một hiệu điện thế dương nhỏ hơn V_{th} được đặt vào cực cổng, $V_{GS} < V_{th}$, trong bán dẫn loại p bên dưới cực cổng sẽ hình thành một lớp nghèo do kết quả của sự đẩy lỗ trống vào bên trong bán dẫn. Do cực S và cực D được cách ly bởi vùng có pha tạp loại p có độ dẫn thấp, có lớp nghèo chạy từ S sang D , nên không có dòng điện chạy qua với bất kỳ giá trị V_{DS} dương nào.

MOSFET tăng cường (enhancement MOSFET)



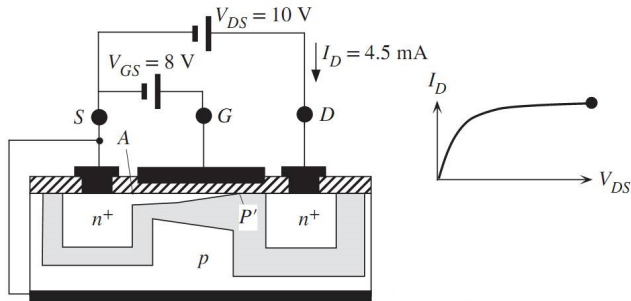
- Với $V_{DS} = 0$, ngay khi V_{GS} tăng qua giá trị ngưỡng V_{th} , một lớp đảo mật độ kênh n được hình thành bên trong lớp nghèo bên dưới cực cổng, và ngay dưới bề mặt. Kênh n này nối hai vùng n^+ của cực nguồn và cực máng. Khi đó chúng ta có một vật liệu loại n liên tục với điện tử là hạt tải linh động giữa cực nguồn và cực máng. Khi áp thế V_{DS} nhỏ, một dòng điện máng $I_D = V_{DS}/R_{n\text{-ch}}$ chạy qua, được giới hạn bởi điện trở $R_{n\text{-ch}}$ của kênh n . Như vậy ban đầu I_D tăng gần như tuyến tính với V_{DS} .

MOSFET tăng cường (enhancement MOSFET)



- Điện thế thay đổi dọc theo kênh từ giá trị $= 0$ tại A (phía cực nguồn) đến giá trị V_{DS} tại B (phía cực máng). Hiệu điện thế giữa cổng và kênh n là V_{GS} tại A và $V_{GD} = V_{GS} - V_{DS}$ tại B. Khi V_{DS} tăng, điện thế tại B (V_{GD}) giảm, khiến sự đảo nồng độ cũng giảm. Kênh hẹp dần từ A tới B và điện trở của nó tăng cùng V_{DS} . Độ dốc của đồ thị $I_D - V_{DS}$ nhỏ dần và đồ thị cong dần về phía trục hoành. Cuối cùng, khi hiệu điện thế giữa cực cổng và kênh n tại B giảm đến giá trị ngay dưới V_{th} , lớp đảo nồng độ tại B biến mất và lộ ra lớp nghèo. Kênh n bị chặn lại tại điểm P. Điều này xảy ra khi V_{DS} đạt giá trị bão hòa $V_{DS(sat)}$, với: $V_{GD} = V_{GS} - V_{DS(sat)} = V_{th}$. Dòng điện bị giới hạn bởi nguồn cung điện tử từ kênh n đến lớp nghèo tại P (điện trở hiệu dụng của kênh n giữa A và P).

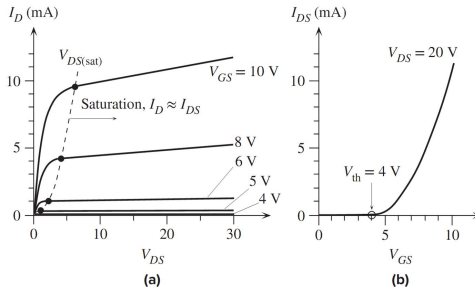
MOSFET tăng cường (enhancement MOSFET)



- Khi $V_{DS} > V_{DS(\text{sat})}$, V_{DS} rơi chủ yếu vào vùng nghèo có điện trở lớn tại P , được mở rộng một chút đến P' về phía A . Sự mở rộng của vùng nghèo (từ B đến P') là không đáng kể so với độ dài kênh AB , vì vậy điện trở của kênh từ A đến P' thay đổi không đáng kể khi V_{DS} tăng, nghĩa là dòng máng I_D gần như bão hòa tại I_{DS} :

$$I_D \approx I_{DS} \approx \frac{V_{DS(\text{sat})}}{R_{AP'n-\text{ch}}} \text{ với } V_{DS} > V_{DS(\text{sat})}$$

MOSFET tăng cường (enhancement MOSFET)



- Cả I_{DS} và $V_{DS(sat)}$ đều phụ thuộc vào V_{GS} . Khi $V_{DS} > V_{DS(sat)}$, dòng máng bão hòa I_{DS} trong mạch nguồn-máng (tín hiệu ra) được điều khiển hoàn toàn bởi điện thế cổng V_{GS} trong mạch nguồn-cổng (tín hiệu vào). Sự thay đổi của V_{GS} dẫn đến sự thay đổi của I_{DS} , là cơ sở của mạch khuếch đại sử dụng MOSFET. Thuật ngữ **tăng cường (enhancement)** được dùng để nhấn mạnh rằng cần một điện thế vượt quá V_{th} để tăng cường độ dẫn của kênh nằm giữa cực nguồn và cực máng. Điều này ngược với JFET, khi điện thế cổng làm nghèo hạt tải trong kênh và giảm dòng máng.

MOSFET tăng cường (enhancement MOSFET)

- Hệ thức thực nghiệm giữa I_{DS} và V_{GS} (khi $V_{DS} > V_{DS(sat)}$):

$$I_{DS} = K(V_{GS} - V_{th})^2$$

trong đó K là hằng số. Đối với MOSFET lý tưởng:

$$K = \frac{Z\mu_e\epsilon_0\epsilon_r}{2Lt_{ox}}$$

với μ_e là độ linh động trôi của điện tử trong kênh, L và Z là độ dài và chiều rộng của cổng điều khiển kênh, còn ϵ_r và t_{ox} là hằng số điện môi và chiều dày của lớp điện môi ô-xít bên dưới cực cổng.

- Chính xác hơn:

$$I_{DS} = K(V_{GS} - V_{th})^2(1 + \lambda V_{DS})$$

với λ là một hằng số, có giá trị khoảng 0.01 V^{-1} .

- μ_e không có cùng giá trị với độ linh động trôi trong vật liệu khối Si loại p , mà phụ thuộc vào cường độ của điện trường xâm nhập vào kênh, các khuyết tật và tạp chất trong vùng đó, đặc biệt là gần bề mặt bán dẫn-ô xít. Vì vậy μ_e được gọi là độ linh động hiệu ứng trường, và cần được coi là **độ linh động hiệu dụng trong kênh**.

Ví dụ 1

Một transistor NMOS loại tăng cường có cực cổng với bề rộng $Z = 50 \mu\text{m}$, độ dài $L = 10 \mu\text{m}$, và độ dày của lớp SiO_2 là 450 \AA . Hằng số điện môi ϵ_r của SiO_2 là 3.9. Để loại p được pha tạp bởi acceptor với nồng độ 10^{16} cm^{-3} . Cho điện thế ngưỡng là 4 V. Hãy ước lượng dòng máng khi $V_{GS} = 8 \text{ V}$ và $V_{DS} = 20 \text{ V}$, cho $\lambda = 0.01$. Do sự tán xạ mạnh của điện tử gần bề mặt tinh thể, giả sử rằng độ linh động trôi μ_e của điện tử trong kênh chỉ bằng một nửa độ linh động trôi trong bán dẫn khối.

Lời giải

Do $V_{DS} > V_{th}$, nên có thể coi dòng máng đã bão hòa và chúng ta có thể sử dụng hệ thức giữa I_{DS} và V_{GS} :

$$I_{DS} = K(V_{GS} - V_{th})^2(1 + \lambda V_{DS}), \text{ trong đó: } K = \frac{Z\mu_e\epsilon_0\epsilon_r}{2Lt_{ox}}$$

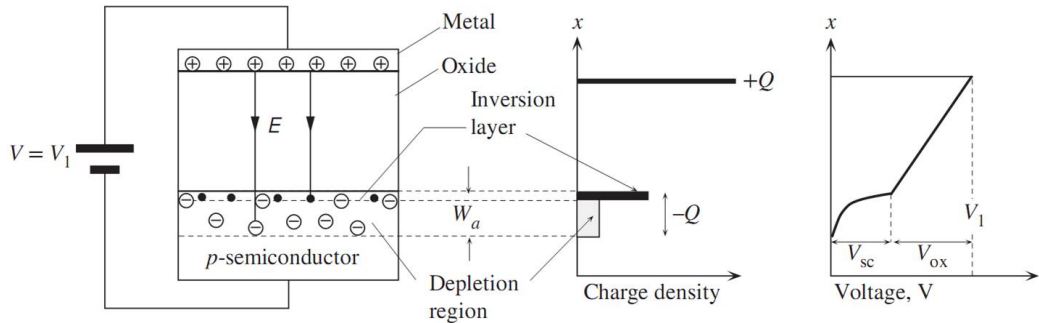
Độ linh động của điện tử trong bán dẫn khối khi $N_a = 10^{16} \text{ cm}^{-3}$ là $1300 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$. Do đó:

$$K = \frac{Z\mu_e\epsilon_0\epsilon_r}{2Lt_{ox}} = \frac{(50 \times 10^{-6})(\frac{1}{2} \times 1300 \times 10^{-4})(3.9 \times 8.85 \times 10^{-12})}{2(10 \times 10^{-6})(450 \times 10^{-10})} = 0.000125$$

Khi $V_{GS} = 8 \text{ V}$ và $V_{DS} = 20 \text{ V}$, với $\lambda = 0.01$, ta có:

$$I_{DS} = 0.000125(8 - 4)^2[1 + (0.01)(20)] = 0.0024 \text{ A hay } 2.4 \text{ mA}$$

Điện thế ngưỡng



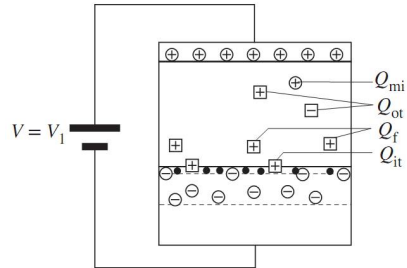
- Điện thế ngưỡng V_{th} là một thông số quan trọng trong MOSFET, và cần được kiểm soát tốt trong quá trình chế tạo linh kiện. Trong MOSFET lý tưởng, hiệu điện thế đặt lên cấu trúc MOS là:

$$V_1 = V_{sc} + V_{ox}$$

Điện trường E_{ox} trong ô-xít là đều, còn điện trường E_{sc} trong bán dẫn thì không đều. Điện thế thực tế đặt lên bán dẫn sẽ xác định điều kiện cho sự đảo nồng độ.

Điện thế ngưỡng

- Trong thực tế, cần tính đến một số hiệu ứng quan trọng trong việc đánh giá điện thế ngưỡng: điện tích cả bên trong lớp ôxít, và tại mặt tiếp xúc ôxít-bán dẫn có thể ảnh hưởng đến điện trường xâm nhập vào trong bán dẫn, và do đó ảnh hưởng đến điện thế cần thiết tại cực cổng để gây ra sự đảo nồng độ.



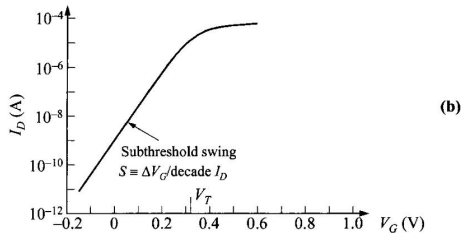
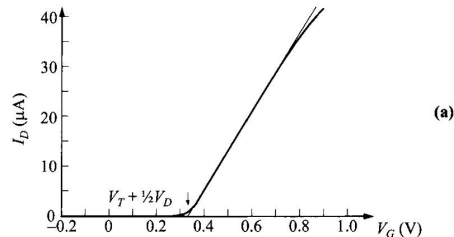
- Điện tích Q_{mi} của ion linh động trong SiO_2 , ví dụ như ion kim loại kiềm (Na^+ , (K^+)). Những ion này xuất hiện trong các quá trình làm sạch và ăn mòn.
- Điện tích Q_{ot} do các điện tích bị giam giữ (không linh động) bên trong lớp ôxít do các khuyết tật trong cấu trúc, ví dụ Si^+ . Các điện tích bị giam giữ này sinh ra do sự hư hỏng do chiếu xạ (bằng tia X hoặc các chùm tia năng lượng cao khác). Có thể giảm bớt chúng bằng cách ủ linh kiện ở nhiệt độ cao.
- Một lượng đáng kể điện tích dương cố định (Q_f tồn tại trong vùng ôxít gần mặt tiếp xúc, sinh ra do sự bất đẳng hướng của ôxít gần mặt tiếp xúc ôxít-bán dẫn).
- Điện tích Q_{it} bị giam giữ tại mặt tiếp xúc ôxít-bán dẫn, phụ thuộc không chỉ vào định hướng của tinh thể, mà còn thành phần hóa học của mặt tiếp xúc.

Điện thế ngưỡng

- Điện thế ngưỡng:

$$V_{th} = V_{FB} + 2\psi_B + \frac{\sqrt{2\epsilon_0\epsilon_{rs}qN_A(2\psi_B)}}{C_{ox}}$$
$$= \left(\phi_{ms} - \frac{Q_f}{C_{ox}}\right) + 2\psi_B + \frac{\sqrt{4\epsilon_0\epsilon_{rs}qN_A\psi_B}}{C_{ox}}$$

- Để đo V_{th} , chúng ta sử dụng vùng tuyến tính bằng việc đặt một điện áp nhỏ vào cực máng ($V_D \ll V_G$), và vẽ đồ thị I_D theo V_G . Đường tuyến tính cắt trục hoành tại $V_{th} + 1/2V_D$.



Vùng dưới ngưỡng

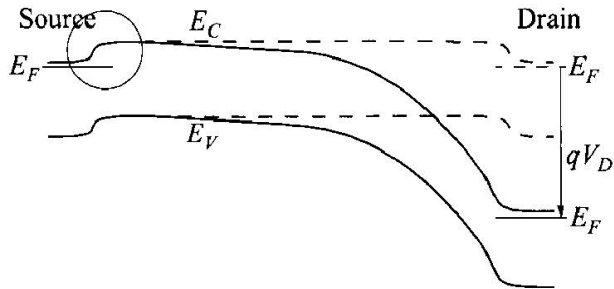
- Khi thể cực cổng dưới giá trị ngưỡng và bề mặt bán dẫn ở trạng thái đảo nồng độ hoặc nghèo hạt tải với mức độ yếu, dòng I_D được gọi là dòng dưới ngưỡng. Vùng này cho chúng ta biết I_D thay đổi như nào theo V_G và đặc biệt quan trọng cho các ứng dụng điện thể thấp, công suất thấp khi được sử dụng như một khóa đóng mở trong mạch logic và bộ nhớ.

$$I_D = -ZqD_n \frac{dN'(y)}{dy} \approx ZqD_n \frac{N'(0) - N'(L)}{dL}$$

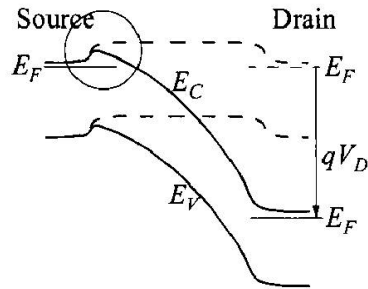
- Độ dốc dưới ngưỡng (subthreshold swing):

$$\begin{aligned} S &= (\ln 10) \frac{dV_G}{d(\ln I_D)} = (\ln 10) \frac{dV_G}{d(\beta \Psi_s)} \\ &= (\ln 10) \left(\frac{kT}{q} \right) \left(\frac{C_{ox} + C_D}{C_{ox}} \right) \end{aligned}$$

So sánh kênh dẫn ngắn và dài



(a)



(b)

- Đối với kênh dẫn ngắn, khi cực D nằm gần cực S, điện thế tại cực D có thể hạ thấp hàng rào thế tại cực S, dẫn đến nồng độ hạt tải tại đó không còn cố định. Hiệu ứng này được gọi là **DIBL (drain-induced barrier lowering, sự hạ thấp hàng rào thế gây ra do cực máng)**.
- Hàng rào thế được hạ thấp dẫn đến hạt tải được tiêm vào nhiều hơn và dòng điện trong kênh dẫn tăng lên, ở cả chế độ dưới ngưỡng và trên ngưỡng.

So sánh kênh dẫn ngắn và dài

Kênh dẫn dài

- Vùng tuyến tính:

$$I_{DS} = \frac{\frac{W}{L} C_{ox} \mu_{eff} (V_{GS} - V_{th} - \frac{m}{2} V_{DS}) V_{DS}}{1 + \frac{V_{DS}}{E_{sat} L}}$$

với $E_{sat} = 2v_{sat} / \mu_{eff}$

$v_{sat} = 8 \times 10^6$ cm/s đối với điện tử

$v_{sat} = 6 \times 10^6$ cm/s đối với lỗ trống.

- Vùng bão hòa:

$$I_{DS} = I_{DS-sat} = \frac{\frac{W}{2mL} C_{ox} \mu_{eff} (V_{GS} - V_{th})^2}{1 + \frac{V_{GS} - V_{th}}{E_{sat} L}}$$

Kênh dẫn ngắn

- Nếu $E_{sat} L \ll V_{GS} - V_{th}$:

$$V_{D-sat} \approx E_{sat} L < \frac{V_{GS} - V_{th}}{m}$$

$$\begin{aligned} I_{D-sat} &= \frac{W}{2m} C_{ox} \mu_{eff} E_{sat} (V_{GS} - V_{th}) \\ &= \frac{W}{m} C_{ox} v_{sat} (V_{GS} - V_{th}) \end{aligned}$$

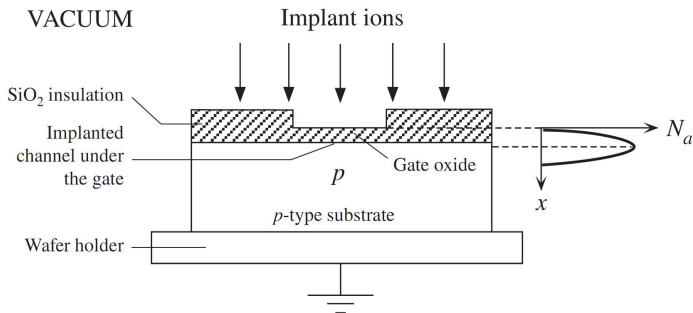
$\rightarrow I_{D-sat}$ không phụ thuộc vào L .

- Để tăng I_{D-sat} (tăng tốc độ hoạt động của mạch), cần tăng $C_{ox}(V_{GS} - V_{th})$:
 - Do $C_{ox} = \kappa \epsilon_0 A / t_{ox} \rightarrow$ nên cần tăng hằng số điện môi κ (**high κ**) hoặc giảm độ dày của lớp điện môi t_{ox} .
 - Giảm điện thế ngưỡng V_{th} .

MOS transistor chế tạo bằng phương pháp cấy ion và sử dụng cổng Si đa tinh thể

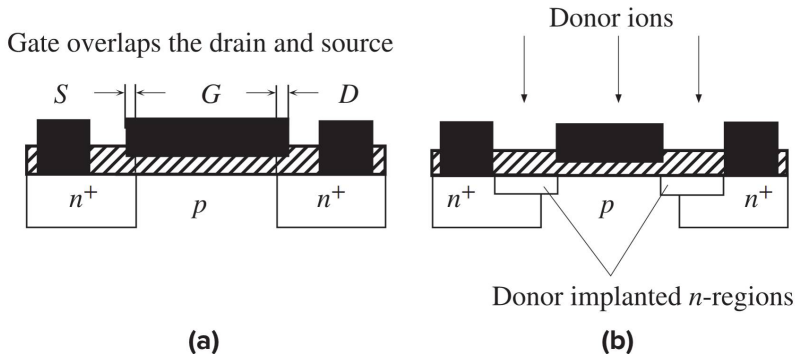
- Phương pháp chính xác nhất để kiểm soát được điện thế ngưỡng là sử dụng phương pháp cấy ion, trong đó số lượng ion và vị trí của chúng trong linh kiện được kiểm soát nghiêm ngặt. Ngoài ra, sự cấy ion có thể mang lại sự tự định hướng các mép tiếp xúc của cực cổng với các vùng nguồn và máng. Trong trường hợp của MOSFET tăng cường kênh n , nói chung cần giữ mức độ pha tạp loại p là thấp trong bán dẫn khối để tránh giá trị nhỏ của V_{DS} dẫn đến sự đánh thủng ngược giữa cực máng và bán dẫn khối. Cần phải cấy vùng bề mặt bên dưới cổng với acceptor B (Bo) để loại bỏ điện tử và khôi phục đặc tính loại p của vùng này.
- Quá trình cấy ion được thực hiện trong chân không trong đó các ion tinh khiết được tạo ra và gia tốc về phía linh kiện. Năng lượng của ion và mức độ xâm nhập của chúng vào linh kiện được kiểm soát chặt chẽ.

MOS transistor chế tạo bằng phương pháp cấy ion và sử dụng cổng Si đa tinh thể



Sơ đồ mô tả quá trình cấy ion để kiểm soát V_{th} và sự phân bố của acceptor được cấy theo chiều sâu vào linh kiện. Vị trí đỉnh phân bố phụ thuộc vào năng lượng của ion và điện thế gia tốc. Đỉnh nồng độ của acceptor được cấy được điều chỉnh sao cho nó xảy ra tại ngay bên dưới bề mặt của bán dẫn.

MOS transistor chế tạo bằng phương pháp cấy ion và sử dụng cổng Si đa tinh thể



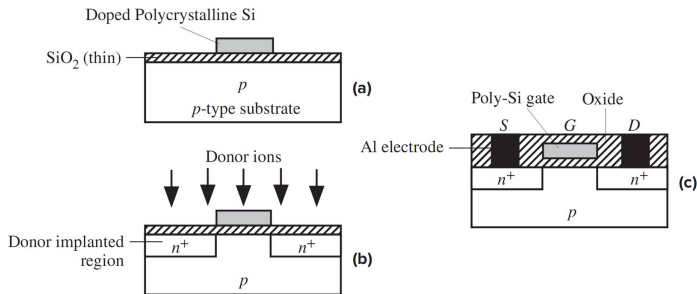
(a) Có sự chồng lấn giữa cực cổng với các vùng nguồn và máng, dẫn đến sự hình thành của điện dung bổ sung giữa cực cổng và máng.

(b) Sự cấy ion loại n^+ mở rộng cực máng và cực nguồn để thẳng hàng với cực cổng.

MOS transistor chế tạo bằng phương pháp cấy ion và sử dụng cổng Si đa tinh thể

- Một phương pháp khác để kiểm soát V_{th} là sử dụng Si thay vì kim loại để chế tạo cực cổng. Công nghệ này được gọi là **công nghệ cổng Si**. Cực cổng Si được lắng đọng trong chân không (ví dụ dùng phương pháp lắng đọng pha hơi hóa học sử dụng khí SiH_4). Do oxit là vô định hình, nên cổng Si là đa tinh thể (thay vì đơn tinh thể), do đó được gọi là cổng Si đa tinh thể. Thông thường nó được pha tạp mạnh để đảm bảo rằng nó có điện trở đủ nhỏ để tránh được sự giới hạn của hằng số RC trong quá trình nạp và xả của điện dung cổng trong các ứng dụng xử lý tín hiệu xoay chiều. Ưu điểm của cổng Si đa tinh thể là công thoát của nó phụ thuộc vào nồng độ và loại pha tạp, và có thể được kiểm soát, dẫn đến V_{FB} và V_{th} cũng có thể được kiểm soát. Ngoài ra còn có những lợi thế khác trong việc sử dụng cổng poly-Si. Ví dụ, nó có thể được nâng lên đến nhiệt độ cao trong thời gian chế tạo trong khi một kim loại như Al sẽ nóng chảy ở 660°C . Nó có thể được sử dụng như một mặt nạ trên khu vực cực cổng của bán dẫn trong quá trình tạo thành vùng cực nguồn và cực máng. Nếu phương pháp cấy ion được sử dụng để đưa donor vào chất bán dẫn, thì các vùng nguồn và máng n^+ được tự định hướng với cực cổng Si đa tinh thể.

MOS transistor chế tạo bằng phương pháp cấy ion và sử dụng cổng Si đa tinh thể

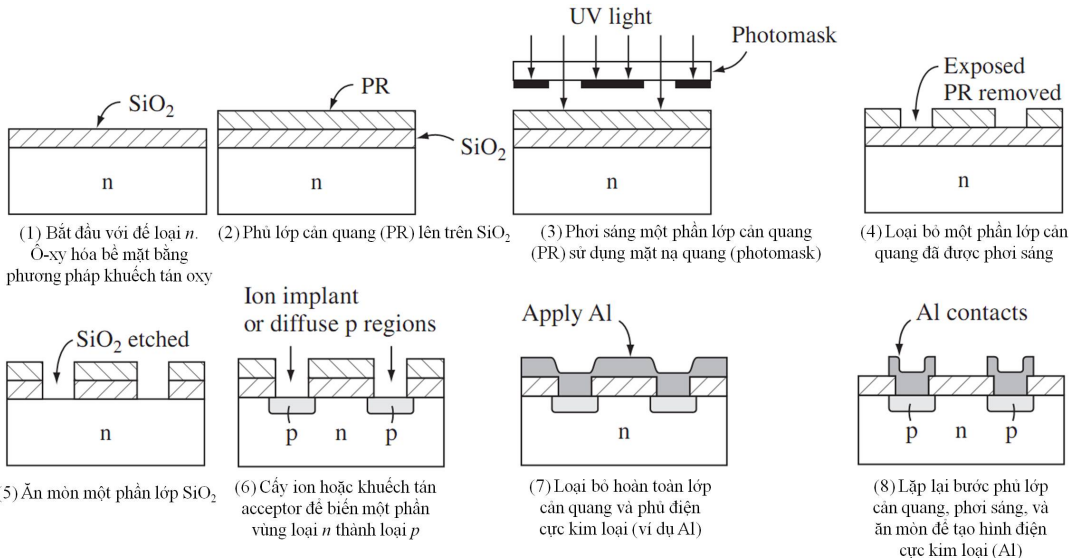


(a) Si đa tinh thể được lắng đọng lên trên lớp ô-xít, và vùng bên ngoài kích thước thiết kế của cực cổng được ăn mòn.

(b) Cực cổng Si đa tinh thể đóng vai trò là mặt nạ trong quá trình cấy ion của donor để hình thành các vùng nguồn và máng n^+ .

(c) Sơ đồ nguyên lý đơn giản của MOS transistor hoàn thiện sử dụng cổng Si đa tinh thể.

Quy trình chế tạo các chuyển tiếp trong MOS transistor



The End