

特点

- 400 MSPS内部时钟速度
- 集成14位DAC
- 可编程相幅抖动
- 32位频率调谐精度
- 14位相位调谐精度
- 相位噪声优于-120dBc/Hz
- 优秀的动态性能
 - >80 dB窄带SFDR
- 串行输入输出控制
- 超高速模拟比较器
- 自动线性和非线性扫频
- 4个频率/相位偏移曲线
- 1.8 V电源
- 软硬件控制断电
- 48引脚TQFP
- 集成的1024字的×32位RAM
- 支持在大多数数字输入上的5V输入级别
- 基于PLL的REFCLK乘法器
- 内部振荡器，可以由一个单晶驱动
- 相位调制能力
- 多片同步

应用程序

- 敏捷LO频率合成
- 可编程时钟发生器
- 用于雷达和扫描系统的调频啁啾源
- 汽车雷达
- 测试和测量设备
- 声光装置驱动器

一般描述

AD9954是一种直接数字合成器（DDS），使用先进的技术，加上内部高速、高性能的DAC，形成一个完整的、数字可编程的高频合成器，能够产生高达160 MHz的频率敏捷模拟输出正弦波形。AD9954支持快速跳频，并对频率（0.01 Hz或更高）和相位（0.022° 粒度）进行微调。

AD9954通过高速串行I/O端口进行编程。该设备包括静态RAM，以支持在多种模式下的灵活的频率扫描能力，加上用户定义的线性扫描操作模式。还包括一个片上高速比较器的应用程序需要一个方波输出。一个片上振荡器和PLL电路为用户提供了多种方法来产生设备的系统时钟。

AD9954被指定为在扩展的工业温度范围内运行（见表2）。

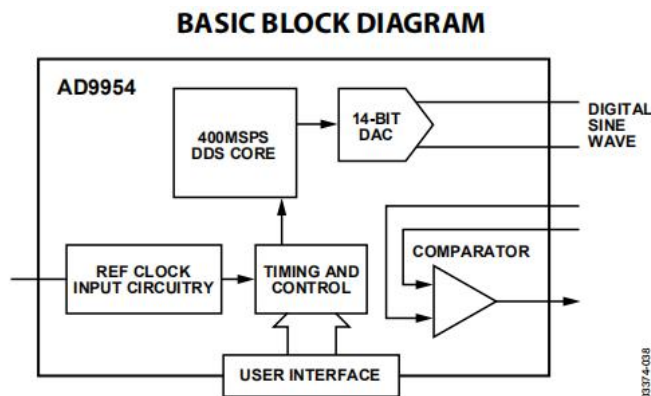


Figure 1.

发动机的旋转B

由模拟设备提供的信息被认为是准确和可靠的。然而，模拟设备不承担其使用的责任，也不承担任何可能侵犯第三方的专利或其他权利的责任。技术规格如需更改，恕不另行通知。未经许可是通过暗示或以其他方式根据模拟设备的任何专利或专利权授予的。

Trademarks and registered trademarks are the property of their respective owners.

一种技术方式，P. O. 美国马萨诸塞州诺伍德市9106号信箱02062-9106。
S. A.

电话： 781.329.4700 [www. 类似物.com](http://www.analog.com)

传真： 781.461.3113 ©2003-2009模拟设备，股份有限公司。保留所有权利。

内容表

特点..... 1

应用程序..... 1

一般说明..... 1

基本方框图..... 1

修订历史记录..... 2

功能框图..... 3

电气规范..... 4

绝对最大评级..... 7

 测试级别说明..... 7

 ESD警告..... 7

引脚配置和功能说明..... 8

典型的性能特征..... 10

操作理论..... 13

 组件块..... 13

 操作模式..... 16

 同步-注册更新 (I/O更新) 21

 串行端口操作..... 23

修订历史

5/09—Rev. A到牧师。B

对图29和图30的更改..... 24

表12的变化..... 26

图34的变化..... 35

更新的轮廓尺寸..... 39

订购指南的更改..... 39

1/07—Rev. 0到牧师。A

布局的更改..... 普遍的

对特性、一般描述和图1的更改..... 1

图2的变化..... 3

表1的更改..... 4

表4的变化..... 8

从图5到图10的更改..... 10

图12的变化..... 11

从图17到图18的标题的更改..... 12

已删除的图19；按顺序重新编号..... 12

增加了表5，按顺序重新编号..... 13

对组件块部分的更改和表6..... 13

图20的变化..... 15

操作模式变更和表8..... 16

表9的更改..... 17

对同步操作的更改；注册更新 (I/O更新)

截面图24..... 21

对串口操作部分的更改..... 23

串行接口端口销说明..... 24

MSB/LSB传输..... 24

RAM I/O..... 24

指令字节..... 25

注册地图和描述..... 25

控制寄存器位说明..... 29

其他注册描述..... 31

布局注意事项..... 32

详细的编程示例..... 33

 单音模式..... 33

 线性扫描模式..... 33

 RAM模式..... 33

建议的应用电路..... 35

评估委员会示意图..... 36

外形尺寸..... 39

 订购指南..... 39

对串行接口端口销描述部分的更改，
MSB/LSB传输段，并通过串口进行RAM I/O传输
部分..... 24

插入图29和图30；按顺序重新编号..... 24

更改指令字节部分，注册映射和
描述部分，和表12..... 25

表13的变化..... 26

表14的变化..... 28

增加了单音调模式部分，线性扫描模式部分，
表15，和RAM模式部分..... 33

添加，表16..... 34

插入图35..... 36

插入图36..... 37

插入图37..... 38

更新的轮廓尺寸..... 39

订购指南的更改..... 39

1003年10日-修订版本0：初始版本

功能框图

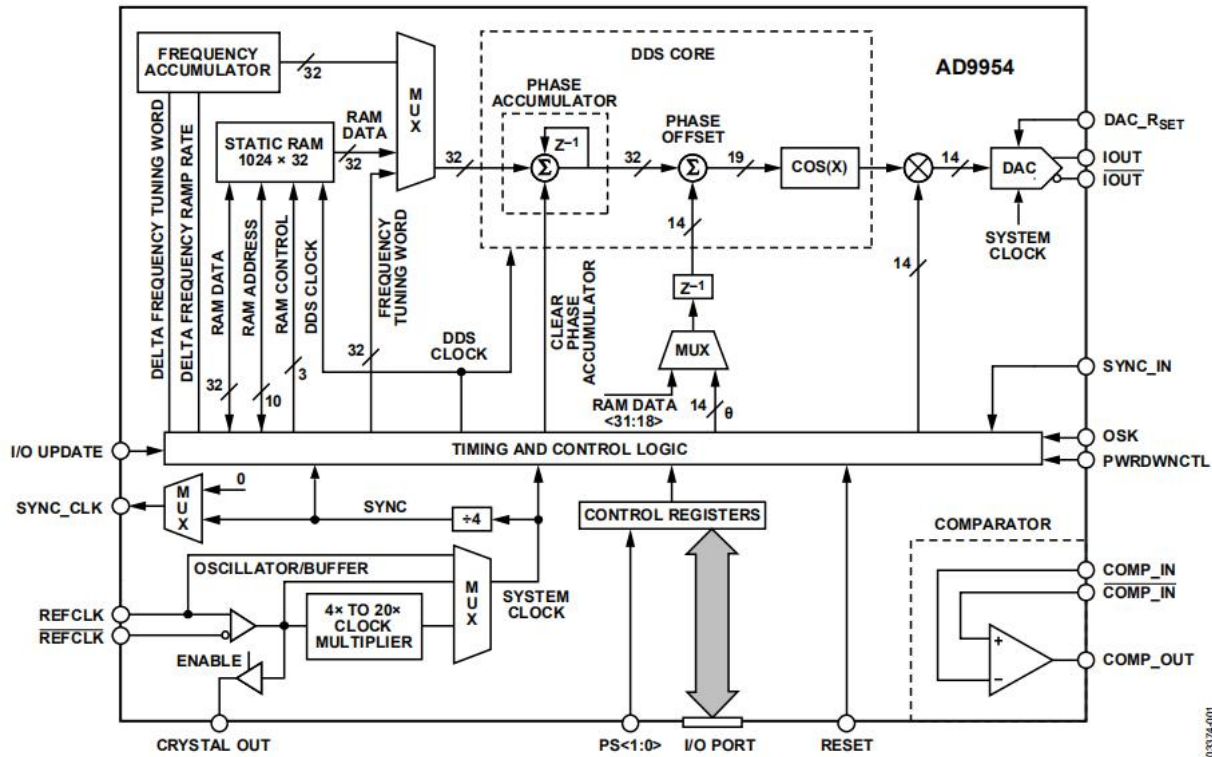


Figure 2.

03374-001

电气规范

除非另有说明，AVDD，DVDD = 1.8 V ± 5%，DVDD_I/O = 3.3 V ± 5%，RSET = 3.92 kΩ，外部参考时钟频率= 400 MHz。DAC输出必须引用到AVDD，而不是AGND。

表1。

参数	临时雇 员	试验 水平	最小	型式	最高的	单元
参考时钟输入特性						
频率范围						
REFCLK乘数禁用	全部	六	1		400	兆赫
在4×时启用了REFCLK倍增器	全部	六	20		100	兆赫
在20×时启用了REFCLK倍增器	全部	六	4		20	兆赫
晶体振荡器的工作频率	全部	增值	20		30	兆赫
输入电容	25° C	V		3		pF
输入阻抗	25° C	V		1.5		kΩ
占空比	25° C	V		50		%
启用REFCLK倍增器的占空比	25° C	V	35		65	%
REFCLK输入电压波动	全部	增值	100		1000	mV p-p
DAC输出特性						
全量程输出电流	25° C		5	10	15	mA
增益错误	25° C	I	- 10		+10	%FS
输出偏移	25° C	I			0.6	μ A
微分非线性	25° C	V		1		最低效 位元
积分非线性	25° C	V		2		最低效 位元
输出电容	25° C	V		5		pF
剩余相位噪声@1 kHz偏移量，40 MHz AOUT						
在20×时启用REFCLK倍增器	25° C	V		- 105		dBc/Hz
已启用REFCLK倍增器@4×	25° C	V		- 115		dBc/Hz
REFCLK乘数禁用	25° C	V		- 132		dBc/Hz
电压符合性范围	25° C	I	AVDD - 0.5		AVDD + 0.5	V
宽带SFDR						
1 MHz到10 MHz的模拟输出	25° C	V		73		dBc
10 MHz到40 MHz的模拟输出	25° C	V		67		dBc
40 MHz到80 MHz的模拟输出	25° C	V		62		dBc
80 MHz到120 MHz的模拟输出	25° C	V		58		dBc
120 MHz到160 MHz的模拟输出	25° C	V		52		dBc
窄带SFDR						
40 MHz模拟输出 (±1 MHz)	25° C	V		87		dBc
40 MHz模拟输出 (±250 kHz)	25° C	V		89		dBc
40 MHz模拟输出 (±50 kHz)	25° C	V		91		dBc
40 MHz模拟输出 (±10 kHz)	25° C	V		93		dBc
80 MHz模拟输出 (±1 MHz)	25° C	V		85		dBc
80 MHz模拟输出 (±250 kHz)	25° C	V		87		dBc
80 MHz模拟输出 (±50 kHz)	25° C	V		89		dBc
80 MHz模拟输出 (±10 kHz)	25° C	V		91		dBc
120 MHz模拟输出 (±1 MHz)	25° C	V		83		dBc
120 MHz模拟输出 (±250 kHz)	25° C	V		85		dBc

120 MHz模拟输出 (±50 kHz)	25° C	V	87	dBc
120 MHz模拟输出 (±10 kHz)	25° C	V	89	dBc
160 MHz模拟输出 (±1 MHz)	25° C	V	81	dBc
160 MHz模拟输出 (±250 kHz)	25° C	V	83	dBc
160 MHz模拟输出 (±50 kHz)	25° C	V	85	dBc
160 MHz模拟输出 (±10 kHz)	25° C	V	87	dBc

参数	临时雇 员	试验 水平	最小	型式	最高的	单元
比较器输入特性						
输入电容	25° C	V		3		pF
输入电阻	25° C	增值		500		k Ω
输入电流	25° C	I		± 1		μ A
迟滞	25° C	增值	30	2	45	mV
比较器的输出特性						
逻辑1电压，高Z负载	全部	六	1. 6			V
逻辑0电压，高Z负载	全部	六			0. 4	V
传播延迟	25° C	增值		3		ns
输出占空比误差	25° C	增值		± 5		%
升降时间，5 pF负荷	25° C	增值			1	ns
切换速率，高Z负载	25° C	增值	200			兆赫
输出喷射器 ¹	25° C	增值			1	ps rms
比较器窄带						
10 MHz至160 MHz FOUT						
测量了一个超过1 MHz的体重	25° C	V		80		dBc
测量值超过250 kHz的体重	25° C	V		85		dBc
测量值超过50 kHz的体重	25° C	V		90		dBc
测量频率超过10赫兹的体重	25° C	V		95		dBc
定时特性						
串行控制总线						
最大频率	全部	增值		25		麦布斯
最小时钟脉冲宽度较低	全部	增值	7			ns
最小时钟脉冲宽度较高	全部	增值	7			ns
最大时钟上升/下降时间	全部	增值		2		ns
最小数据设置时间DVDD_I/O = 3. 3 V	全部	增值	3			ns
最小数据设置时间DVDD_I/O = 1. 8 V	全部	增值	5			ns
最小数据保持时间	全部	增值	0			ns
最大数据有效时间	全部	增值		25		ns
唤醒时间 ²	全部	增值		1		ms
最小复位脉冲宽度较高	全部	增值	5			赛斯克 尔克 周期 ³
I/O更新，PS0，PS1到SYNC_CLK安装时间，DVDD_I/O = 3. 3 V	全部	I	4			ns
I/O更新，PS0，PS1到SYNC_CLK安装时间，DVDD_I/O = 1. 8 V	全部	I	6			ns
I/O更新，PS0，PS1到SYNC_CLK的保持时间	全部	I	0			ns
潜伏期						
I/O更新到频率变更道具延迟	25° C	增值	24			赛斯克 尔克 周期
I/O更新到阶段偏移更改道具延迟	25° C	增值	24			赛斯克 尔克 周期
振幅变化时的输入/0更新道具延迟	25° C	增值	16			赛斯克 尔克 周期
PS0、PS1到RAM驱动的频率变化道具延迟	25° C	增值	28			赛斯克 尔克 周期
PS0、PS1到RAM驱动的相变道具延迟	25° C	增值	28			赛斯克 尔克 周期

PS0到线性频率扫描支柱延迟	25° C	增值	28	赛斯克 尔克 周期
----------------	-------	----	----	-----------------

参数	临时雇 员	试验 水平	最小	型式	最高的	单元
CMOS逻辑输入						
逻辑1电压@DVDD_I/O（引脚43） = 1.8 V	25° C	I	1.25			V
逻辑0电压@DVDD_I/O（引脚43） = 1.8 V	25° C	I			0.6	V
逻辑1电压@DVDD_I/O（引脚43） = 3.3 V	25° C	I	2.2			V
逻辑0电压@DVDD_I/O（引脚43） = 3.3 V	25° C	I			0.8	V
逻辑1电流	25° C	V		3	12	μ A
逻辑0电流	25° C	V			12	μ A
输入电容	25° C	V		2		pF
CMOS逻辑输出（1 mA负载） DVDD_I/O=1.8V						
逻辑1电压	25° C	I	1.35			V
逻辑0电压	25° C	I			0.4	V
CMOS逻辑输出（1 mA负载） DVDD_I/O=3.3V						
逻辑1电压	25° C	I	2.8			V
逻辑0电压	25° C	I			0.4	V
功耗（AVDD = DVDD = 1.8 V）						
单音模式（比较器关闭）	25° C	I		162	171	mW
如果启用了RAM或线性扫描	25° C	I		175	190	mW
启用比较器	25° C	I		180	190	mW
如果已启用了RAM和比较器	25° C	I		198	220	mW
快速断电模式	25° C	I		150	160	mW
全睡眠模式	25° C	I		20	27	mW
同步函数 ⁴						
最大同步时钟速率（DVDD_I/O = 1.8 V）	25° C	六	62.5			兆赫
最大同步时钟速率（DVDD_I/O = 3.3 V）	25° C	六	100			兆赫
SYNC_CLK对齐分辨率 ⁵	25° C	V		± 1		赛斯克 尔克 周期

¹ 表示仅来自比较器的周期到周期的剩余抖动。

² 唤醒时间指从模拟断电模式恢复（见操作断电模式）。主要的限制因素是参考电路中PLL乘法器的沉降时间。唤醒时间假设在DAC BP上没有电容器，并使用推荐的PLL回路滤波器值。

³ SYSCLK周期是指使用在芯片上驱动DDS芯的时钟频率。这等于参考源的频率乘以基于PLL的参考时钟乘法器的值。

⁴ SYNC_CLK =%SYSCLK率。确保高速同步启用位CFR2<11>的编程正确。

⁵ 该参数表示数字同步功能不能补偿系统时钟上升边缘之间的相位延迟（时间倾斜）。如果系统时钟边缘对齐，同步功能不应该增加两条边之间的倾斜。

绝对最高额定值

表2。

参数	评级
最大结温度	150° C
DVDD_I/O (销43)	4 V
AVDD, DVDD	2 V
数字输入电压 (DVDD_I/O = 3.3 V)	-0.7V至+5.25 V
数字输入电压 (DVDD_I/O = 1.8 V)	-0.7V至+2.2 V
数字输出电流	5 mA
储存温度范围	-65° C至+150° C
工作温度范围	-40° C至+105° C
引线温度(10秒焊接) θ JA	300° C
θ JC	38° C/W
	15° C/W

高于绝对最大额定值下的应力可能会对设备造成永久性损坏。这仅是一个应力等级；不暗示设备在本规范操作部分中提到的上述或任何其他条件下的功能操作。较长时间暴露于绝对最大额定值条件下可能会影响设备的可靠性。

测试水平说明

我有100%的生产测试。
II 100%产量在25° C下测试，样品在指定温度。
仅测试样品。
四、参数由设计和表征来保证测试
V参数只是一个典型的值。
VI设备是100%的生产测试在25° C和由工业运行温度范围的设计和表征测试来保证。
。

ESD警告



~~ESD (electrostatic discharge) sensitive device.~~
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

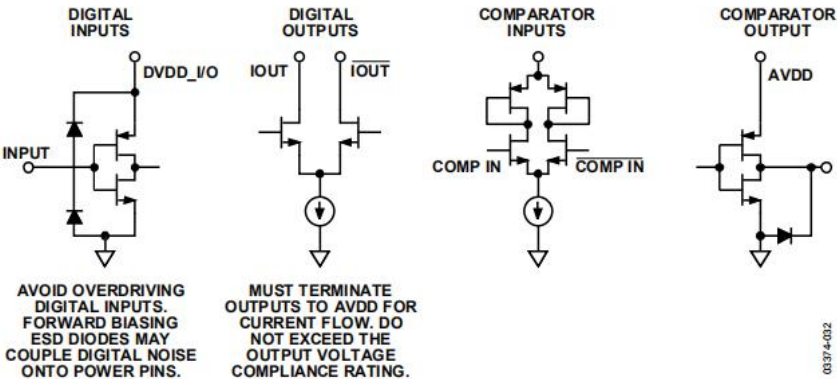


图3。等效的输入和输出电路

PIN的配置和功能说明

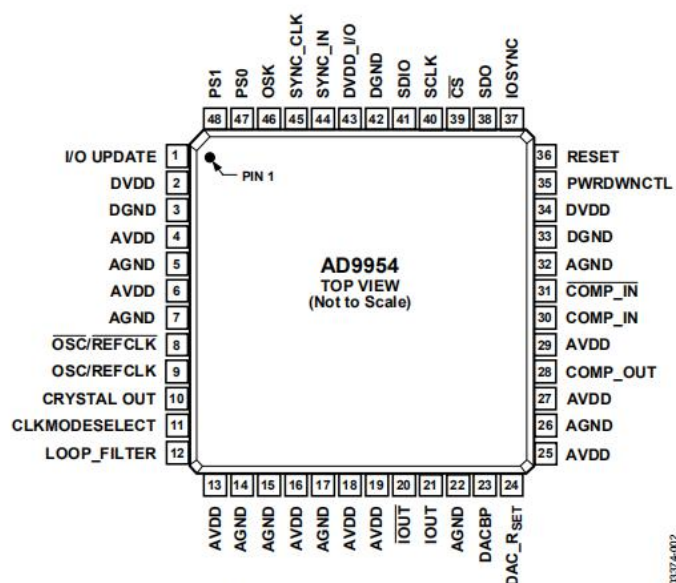


Figure 4. Pin Configuration

请注意，包装底部暴露的浆形成DAC的电气连接，必须连接到模拟地面上。请注意，引脚43，DVDD_I/O，可以供电到1.8 V或3.3 V。DVDD引脚（引脚2和引脚34）必须供电至1.8 V。

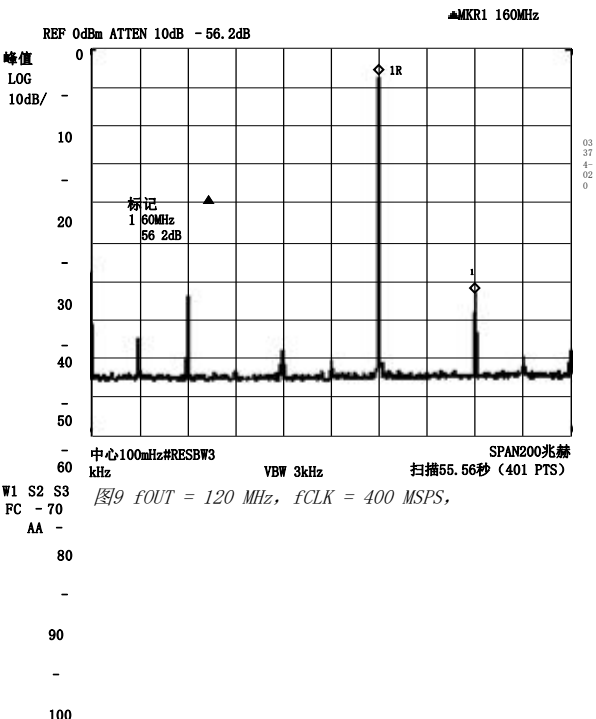
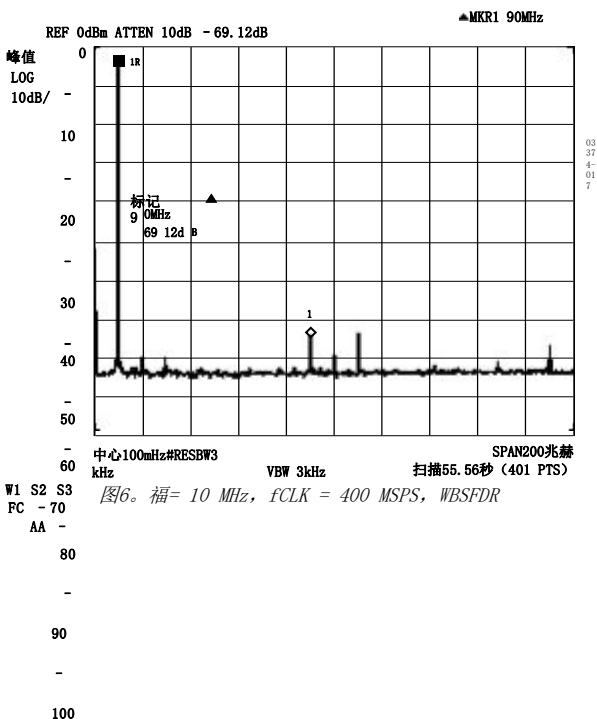
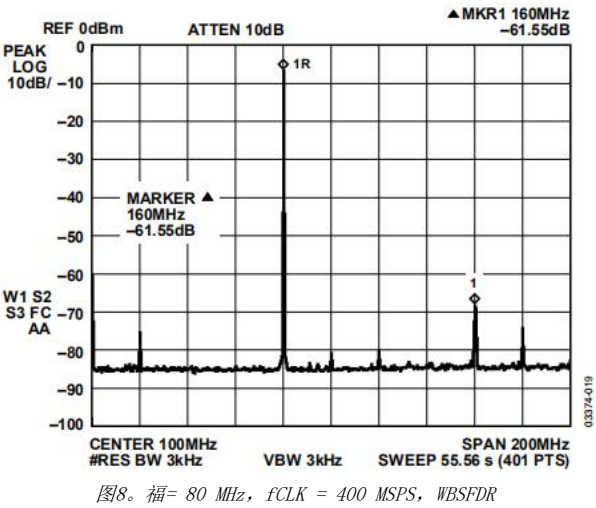
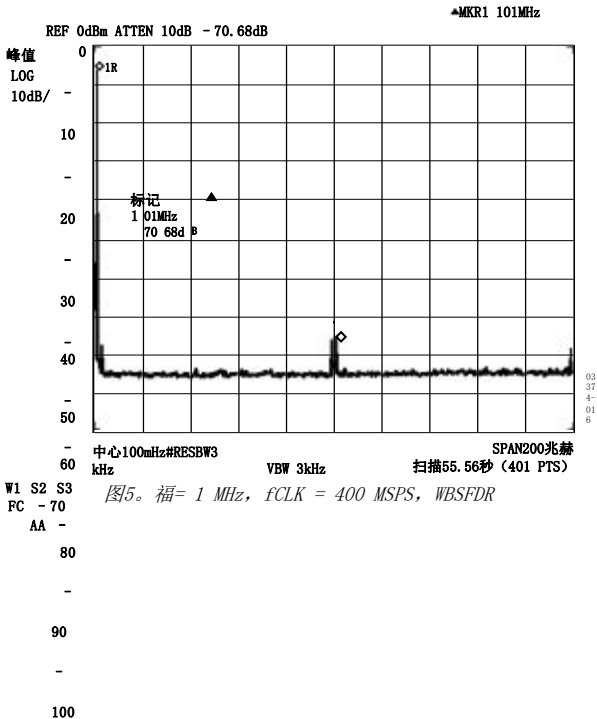
表3. 引脚功能说明

引脚No.	助记符	I/O	描述
1	输入输出更新	I	上升边将内部缓冲区内内存的内容传输到I/O寄存器。有关详细信息，请参见同步-注册更新(I/O更新)部分。
2, 34	DVDD	I	数字电源销(1.8 V)。
3, 33, 42	数字接地	I	数字电源接地引脚。
4, 6, 13, 16, 18, 19, 25, 27, 29	阿夫德	I	模拟电源插销(1.8 V)。
5, 7, 14, 15, 17, 22, 26, 32	模拟接地	I	模拟电源接地引脚。
8	osc/重新计算	I	振荡器输入/补充参考时钟。当REFCLK端口以单端模式运行时，REFCLK应该用一个0.1 μ F的电容器解耦到AVDD。振荡器输入/参考时钟。关于OSC/REFCLK操作情况详见表5。振荡器部分的输出。
9	重新选，，的选	I	振荡器部分的控制销(仅限1.8V逻辑)。详细说明请参见REFCLK输入部分。
10	循环滤波器	I	该引脚为REFCLK乘法器的PLL环路滤波器的外部零补偿网络提供了连接。网络根据PLL循环中的乘法值而变化。详见表4。
11	<u>iut</u>	I	补充DAC输出。应该通过一个电阻器偏置到AVDD，而不是AGND。DAC输出。应该通过一个电阻器偏置到AVDD，而不是AGND。
12	iut	0	DAC带隙解耦销。建议使用0.1 μ F的电容至AGND。
20	达克布	0	从AGND到DAC_RSET的电阻(标称3.92 k Ω)为DAC建立参考电流。请参见DAC输出部分中的公式。
21	DAC_RSET	I	比较器输出。
23	补偿器输出	I	比较器输入。
24	可供选择的	0	
		I	

28			
30			

引脚No.	助记符	I/O	描述
31	可供选择的	I	比较器补充输入。
35	PWRDNCTL	I	输入销用作外部断电控制装置（详见表9）。
36	复位	I	主动高硬件重置引脚。重置引脚的断言会迫使AD9954进入默认状态，如表12的右列所述，这是I/O端口寄存器映射。串口控制器的异步主动高复位。当高时，当前I/O操作立即终止，使新的I/O操作开始一次
37	离子同步的	I	IOSYNC返回低。如果未使用，请接地该销，不要让该销浮动。
38	合成干性油	0	有关详细信息，请参见串行接口端口引脚描述部分。
39	CS	I	有关详细信息，请参见串行接口端口引脚描述部分。
40	串行时钟	I	有关详细信息，请参见串行接口端口引脚描述部分。
41	串行数字输入输出	I/O	有关详细信息，请参见串行接口端口引脚描述部分。
43	DVDD_I/O	I	数字电源。这个引脚仅适用于I/O电池，3.3 V。
44	同步输入	I	用于同步多个AD9954s的输入信号。该输入被连接到主AD9954的SYNC_CLK输出。
45	sync_clk	0	作为外部硬件同步器的时钟输出销。
46	奥克	I	输入销在编程操作时控制形状开关键控功能的方向。OSK与SYNC_CLK引脚同步。当OSK被禁用时，该引脚应该被绑定到DGND上。
47, 48	PS0, PS1	I	用于选择内部相位/频率配置文件之一的输入销。PS1和PS0与SYNC_CLK引脚同步。这些引脚上的更改将触发将所选内部缓冲区内存的内容转移到I/O寄存器（发送内部I/O更新）。
<49>	模拟接地	I	。包装底部暴露的桨。它是DAC的接地连接，必须在任何电路板布局中连接到AGND。

典型的性能特征



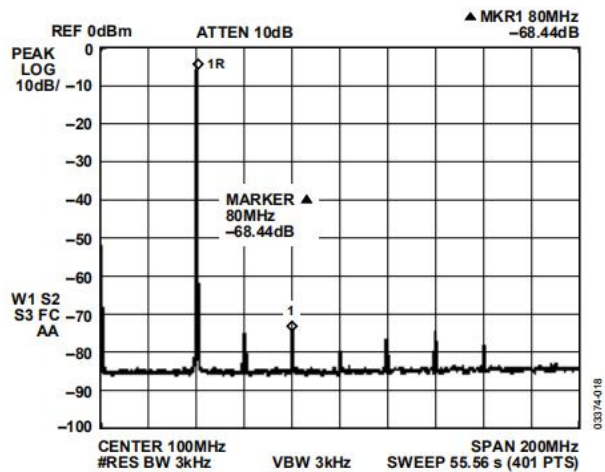


Figure 7. $f_{OUT} = 40$ MHz, $f_{CLK} = 400$ MSPS, WBSFDR

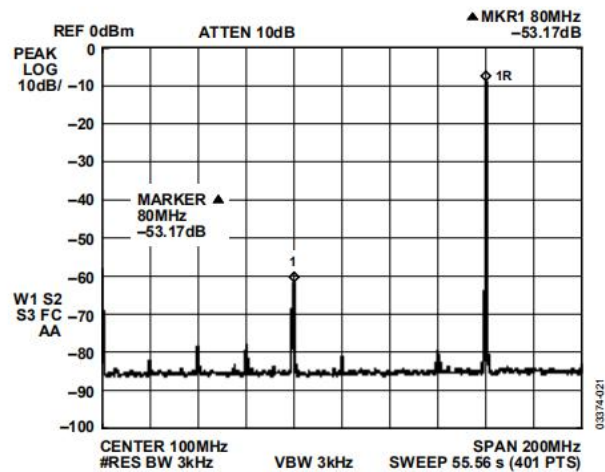


Figure 10. $f_{OUT} = 160$ MHz, $f_{CLK} = 400$ MSPS, WBSFDR

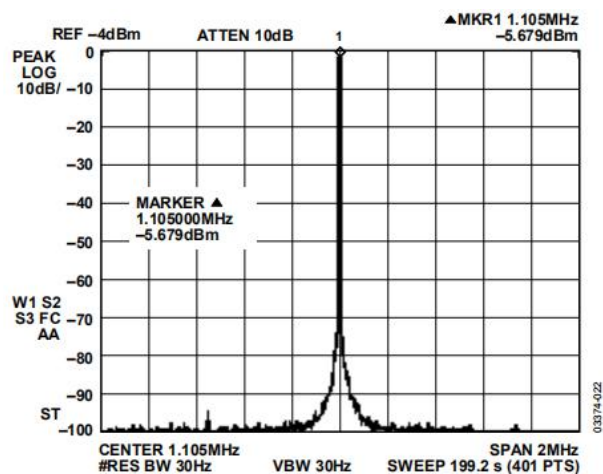


图11. 输出 = 1.1 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

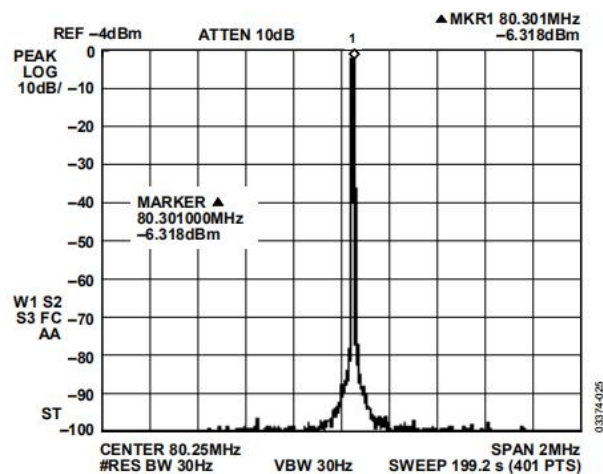


图14. 输出 = 80.3 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

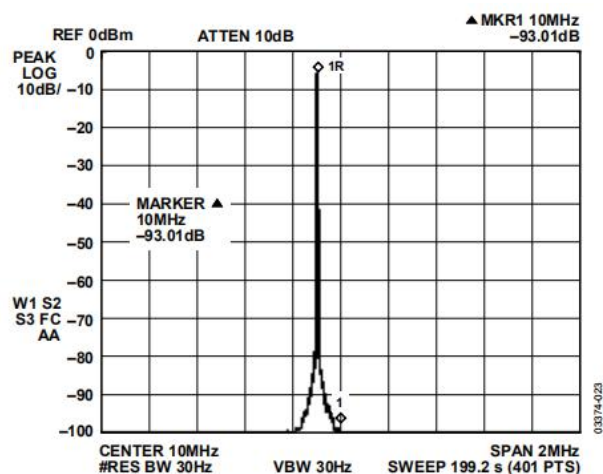


图12. 输出 = 9.5 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

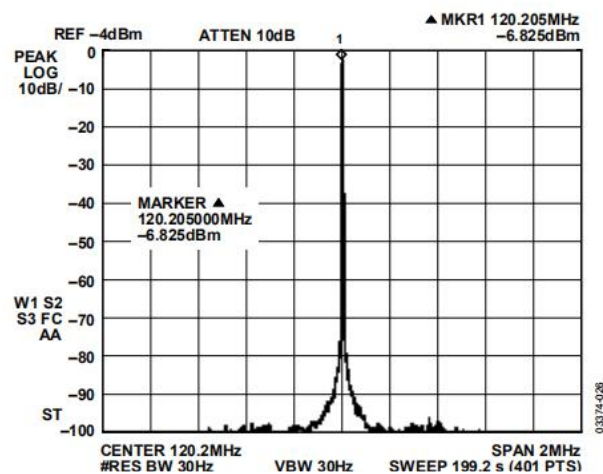


图15. 输出 = 120.2 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

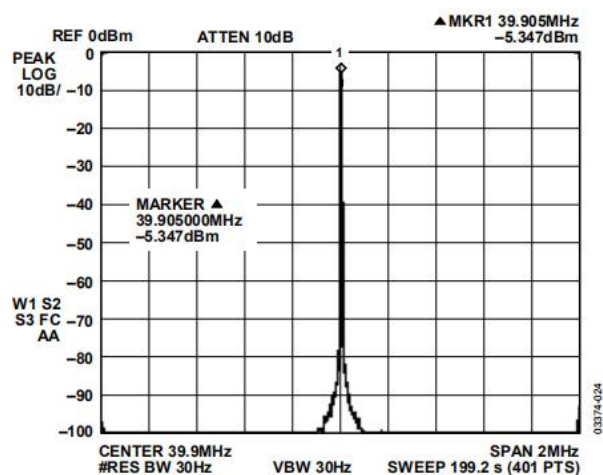


图13. 输出 = 39.9 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

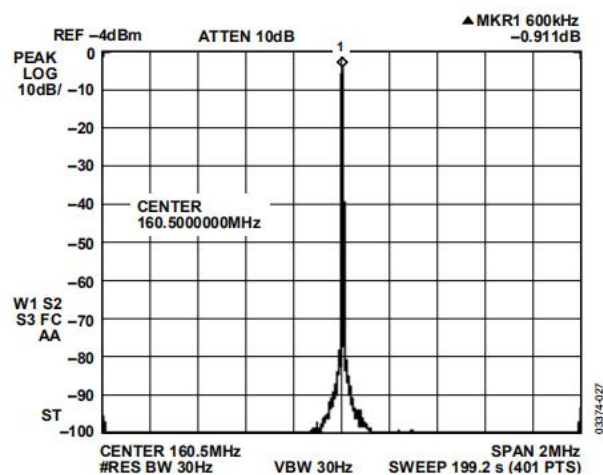


图16. 输出 = 160 MHz, $f_{CLK} = 400$ MSPS, NBSFDR, ± 1 MHz

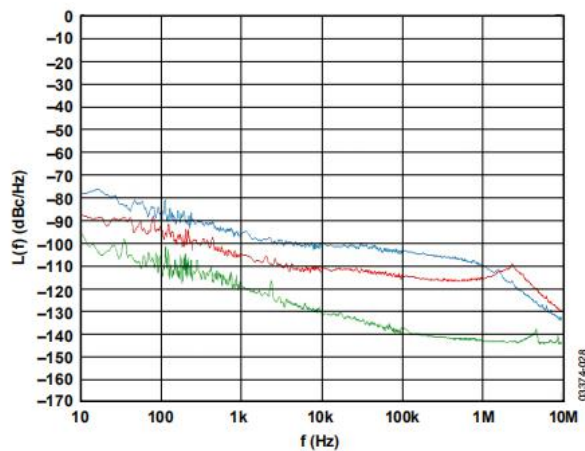


图17。剩余相位噪声，频率为= 159.5 MHz， $f_{CLK} = 400$ MSPS；PLL绕过（绿色），PLL设置为4×（红色），和

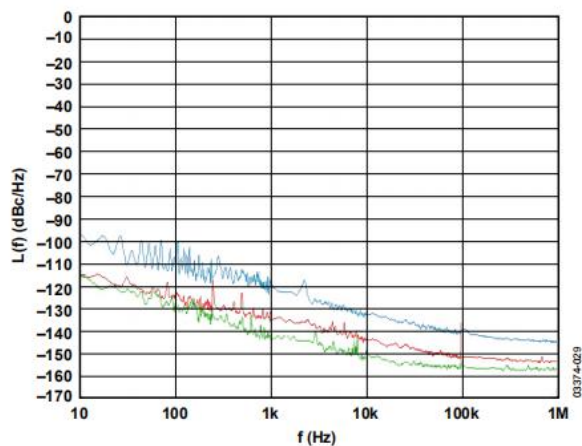


图18。剩余相位噪声与 $f_{OUT} = 9.5$ MHz， $f_{CLK} = 400$ MSPS；PLL绕过（绿色），PLL设置为4×（红色），PLL设置为20×（蓝色）

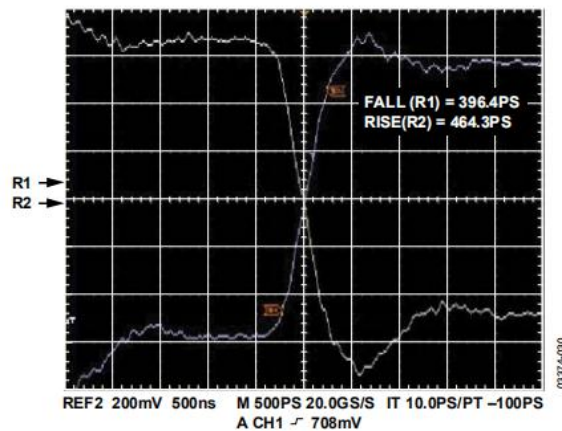


图19。160 MHz的升降时间

操作理论

组件块

REFCLK输入

AD9954支持几种生成内部系统时钟的方法。片上振荡器电路可用于通过连接晶体到时钟输入引脚来启动低频参考信号。系统时钟可以使用内部的、基于PLL的参考时钟乘法器生成，允许部件使用低频时钟源工作，同时仍然为DDS和DAC提供高采样率。为了获得最佳的相位噪声性能，应该使用一个干净、稳定的高旋转率时钟来驱动REFCLK引脚并绕过乘法器。

可用模式使用克隆取消选择引脚、CFR1<4>和CFR2<7: 3>进行配置。请注意，克隆式取消选择引脚仅为1.8 V逻辑，并不适用于3.3 V逻辑。拉高使片上晶体振荡器电路。由于启用了片上振荡器，用户的_AD9954将一个外部晶体连接到REFCLK和REFCLK输入端，以产生一个低频参考时钟（所支持的晶体频率范围见表1）。由振荡器产生的信号被缓冲，然后传递到芯片的其余部分。这个缓冲信号被提供在晶体输出引脚上。

当内部振荡器被禁用时，_外部振荡器必须提供REFCLK和/或REFCLK信号。对于差分操作，这些引脚由互补信号驱动。对于单端操作，在未使用的引脚和模拟电源之间应连接一个0.1 μF的电容器。电容器到位后，时钟输入引脚偏置电压为1.35 V。表5总结了时钟的运行模式。注意，PLL乘法器是通过CFR2<7: 3>位来控制的，独立于CFR1<4>位。

时钟乘数

车载PLL允许REFCLK频率。使用CFR2<7: 3>设置乘法系数。当编程时的值范围为0x04到0x14（十进制4到20）时，PLL将REFCLK输入频率乘以编程的值。用户在编程时必须考虑为PLL指定的最大频率。如果乘法改改变了因子，用户必须分配时间来允许PLL锁定（大约1 ms）。

表5. 操作过程中的时钟输入模式

1<4>	克隆方式选择	CFR2<7: 3>	是否启用振荡器?	系统时钟	频率范围 (MHz)
低	高	$4 \leq M \leq 20$	是	$f_{CLK} = f_{OSC} \times M$	$80 < f_{CLK} < 400$
低	高	$M < 4 \text{ or } M > 20$	是	$f_{CLK} = f_{OSC}$	$20 < f_{CLK} < 30$
低	低	$4 \leq M \leq 20$	不	$f_{CLK} = f_{OSC} \times M$	$80 < f_{CLK} < 400$
低	低	$M < 4 \text{ or } M > 20$	不	$f_{CLK} = f_{OSC}$	$10 < f_{CLK} < 400$
高	X	X	不	$f_{CLK} = 0$	N/A

通过编程超出4到20（十进制）的值，绕过PLL。当绕过时，关闭PLL以节省电源。

PLL中的VCO具有一个可选择的频率范围。使用VCO范围位（CFR2<2>）来设置适当的范围。

时钟乘法器中的PLL具有由片上组件和外部组件组成的环路滤波器。外部电阻/电容器的推荐值见表4。

表4. 时钟倍增器的外部环路滤波器组件

乘值	电阻器值	电容器值 (μF)
4×	0 Ω	0.1
10×	1 kΩ	0.1
20×	243 Ω	0.01

DAC输出

与许多DAC不同，AD9954上的DAC输出引用的是AVDD，而不是AGND。

两个互补的输出提供了一个组合的全尺度输出电流（IOUT）。差分输出减少了在DAC输出中可能存在的共模噪声的量，从而产生更好的信噪比。全尺寸电流通过连接在DAC_RSET引脚和DAC接地引脚（引脚49，暴露的浆）之间的外部电阻（RSET）来控制。全尺度电流与电阻值成正比

$R_{设置} = (39.19 / I_{out}) \Omega$

组合DAC输出的最大全刻度输出电流为15 mA。将输出限制为10 mA可提供最佳的无杂散动态范围（SFDR）性能。DAC输出符合性范围为AVDD + 0.5 V到AVDD-0.5 V。超过这个范围的电压会导致过大的DAC失真，并可能会损坏DAC输出电路。应适当注意负载终端，以使输出电压保持在此符合性范围内。

比较器

一些应用程序（例如，时钟）更喜欢方波信号，而不是正弦波。为了支持这种应用，AD9954包括一个片上比较器。该比较器的带宽大于200 MHz，共模输入范围为1.3V~1.8V。使用比较器断电位CFR1<6>，可以关闭比较器以降低功耗。

频率累加器

此块用于线性扫描模式；从起始频率（F0）到终端频率（F1）的转换不是瞬时的，而是以扫频或倾斜的方式实现。这个频率上升是通过在f0和f1之间的中频来完成的。

线性扫描块使用下降和上升的频率调谐字、下降和上升的频率斜坡率，以及频率累加器。线性扫描启用位CFR1<21>启用线性扫描块。线性扫描无停留位建立了在扫描中达到终端频率时要执行的动作。详情请参见操作模式部分。

DDS核心

DDS的输出频率（f0）是系统时钟频率（SYSCLK）、频率调谐字（FTW）的值和相位累加器（2的容量的函数³²）既然这样确切的关系如下，并定义为SYSCLK的频率。

$$f_o = (FTW)(f_s)/2^{32} \text{ with } 0 \leq FTW \leq 2^{31}$$

$$f_o = f_s \times (1 - (FTW/2^{32})) \text{ with } 2^{31} < FTW < 2^{32} - 1$$

每个系统时钟周期，FTW被添加到相位累加器中的值。然后，将相位累加器输出处的值用用户定义的14位相位偏移值（POW）进行求和。然后，其中最重要的19位通过cos（x）函数块转换为一个振幅值。截断1sb，以降低DDS核心的功耗。这种截断并不会降低频率分辨率。

在某些应用中，我们希望能迫使输出信号降到零相位。简单地将FTW设置为0并不能实现这一点；它只在当前阶段值。提供一个控制位，以迫使相位蓄能器输出为零。

在通电时，清除相位累加器位被设置为逻辑1，但该位的缓冲区内内存被清除（逻辑0）。因此，在通电时，相位蓄能器将保持清晰，直到第一次I/O更新发出。I/O更新将数据从输入缓冲区传输到活动控制寄存器。有关更多详细信息，请参阅SYNC_CLK和I/O更新部分。

频率调谐Word Mux

如图2所示，FTW有三个源作为相位累加器的种子值馈送给DDS核心：一个频率累加器、静态RAM和控制逻辑的寄存器。

对于静态输出频率或超过四个预定义输出频率需要在某种可变或未定义顺序之间切换的应用，设置FTW的主要方法是通过将所需的值编程到FTW0寄存器。

对于最多需要4套特定的FTW或预定义的FTW系列的应用程序，机载RAM可以使用所需的FTW进行编程，并且配置文件引脚可用于在这些集合/系列之间切换。

对于需要稳定的频率扫频的应用，提供了第二频率累加器。频率累加器的种子值和最小/最大数字是用户可编程的，尽管必须遵循某些规则，以避免该累加器溢出。

相位偏移Word Mux

如图2所示，POW有两个源，它们作为相位累加器的输出的加法器：静态RAM和控制逻辑的寄存器。使用此特性可以使DDS输出与其他系统信号同步以及相位调制。

对于一个静态输出阶段或超过四个预定义的输出阶段需要在某些变量或未定义的顺序之间切换的应用程序，设置POW的主要方法是通过将所需的值编程为POW0寄存器。

对于最多需要四组特定战俘或预定义系列的应用程序，机载RAM可以用所需的战俘进行编程，并且轮廓引脚可用于在这些组/系列之间切换。

相位偏移公式为

$$C = \left(\frac{POW}{2^{14}} \right) \mid \text{人} 3600$$

相位偏移编程路径中存在数字延迟块，以确保与频率调谐字的变化匹配延迟。这使得用户可以轻松地设备编程，从一个组合相位/频率组合切换到另一个无缝组合。

连续和清释放频率和相位

蓄能器清除功能

AD9954允许对频率扫描逻辑和相位累加器进行连续调零，以及清除和释放或自动调零功能。自动清除位为CFR1<14：13>。连续清除位元为CFR1<11：10>。

清除和释放功能

当设置为自动清除时，相应的累加器将被清除，然后在收到其中一个配置文件大头针上的I/O更新或更改后再次开始累积。每次后续I/O更新或配置文件大头针上的更改都重复此操作，直到清除适当的自动清除控制位。将一个累加器设置为自动清除，将另一个设置为连续清除是完全有效的。

振幅控制选项

形状开关键控

使用OSK启用位（CFR1<25>）启用/禁用形状的开关键控功能。该功能允许用户在打开或关闭DAC时控制上升和下降时间。该功能主要用于数字数据的突发传输，以减少短的、突然的突发数据的不利频谱影响。

同时支持自动和手动形状的开关键控模式。CFR1<24>用于在自动和手动开关键控模式之间进行选择。图20显示了OSK电路的方框图。

自动成形的开关键控模式操作

当启用自动形状的开关键控模式时，将在内部生成一个单尺度因子，并应用于乘法器输入，用于缩放DDS核心块的输出（参见图20）。比例因子是一个14位计数器的输出，该计数器以由8位输出斜坡速率寄存器的内容决定的速率递增/递减。如果OSK引脚高，比例因子增加，如果OSK引脚低，比例因子减少。比例因子是一个无符号值；所有0将DDS核心输出乘以0（十进制），0x3FFF将DDS核心输出乘以16,383（十进制）。

表6详细说明了表中的增量/递减步长
内部生成的比例因子每ASF<15: 14>位。

请注意，允许的最大振幅受到振幅比例因子寄存器内容的限制，允许用户斜坡到小于全比例的值。

表6. 自动比例系数内部步长

ASF<15: 14>（二进制）	增加/减少大小
00	1
01	2
10	4
11	8

OSK斜坡率计时器

OSK斜坡率计时器是一个可加载的向下计数器，它产生时钟信号到14位计数器，产生内部比例因子。每次计数器达到1（十进制）时，斜坡率计时器将加载自动比例因子寄存器（ASFR）的值。只要启用了计时器，这个加载和倒计时操作就会持续下去，除非计时器在达到计数为1之前被强制加载。

如果设置了负载ARR控制位（CFR1<26>），则在I/O更新、配置文件输入发生变化或达到值1时加载渐变速率计时器。斜坡计时器可以在通过三种方法达到计数1之前加载。

第一种方法是通过切换OSK引脚或发送一个上升的边到I/O更新引脚（或改变一个轮廓引脚的状态）。对于这种方法，ASFR值被加载到斜坡速率计时器中，然后继续正常计数。

第二种方法是是否设置了负载ARR控制位（CFR1<26>），并发出了I/O更新（或配置文件中的更改）。

最后一种方法是通过设置扫描启用位。这将从非活动的自动开关键控模式切换到活动的自动开关键控模式。

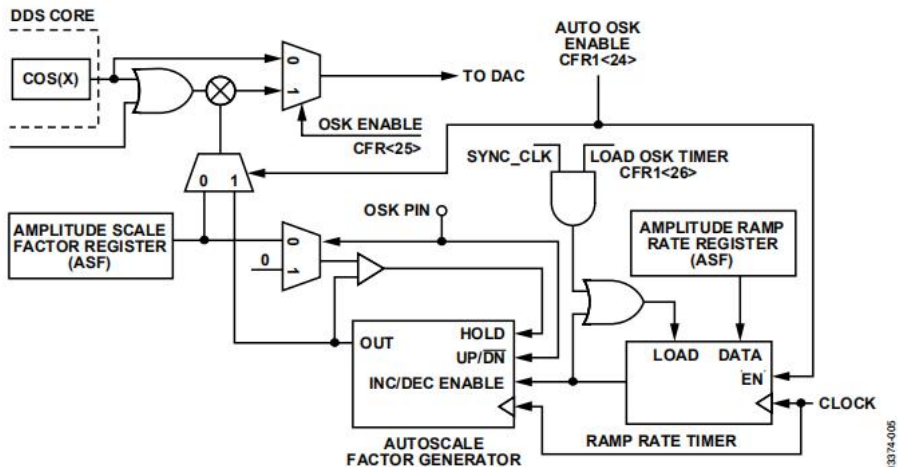


图20. 开关变形键控，方框图

手动形状的开关键控模式操作

当配置为手动形状的开关键控时，ASFR的内容将设置数据路径的比例因子。

操作方式

单音模式

在单音模式下，DDS核心使用一个静态调音字。在FTW0中存储的任何值都将提供给相位蓄能器。此值只能通过向FTW0写入一个新值，然后通过发出I/O更新来手动更改。使用相位偏移寄存器进行相位调整。

ram-控制的操作模式

有三个要点适用于ram控制的模式：

- 用户必须确保起始地址低于最终地址。
- 除非另有说明，否则更改配置文件或发出I/O更新会自动终止当前扫描并启动下一次扫描。
- 将RAM目标位设置为真，使RAM输出驱动相位偏移加法器有效。虽然下面的部分描述了频率扫描，但相位扫描操作也是可用的。RAM目标位（CFR1<30>）控制RAM输出是驱动相位累加器（频率）还是相位偏移加法器（相位）。

AD9954提供了五种由ram控制的操作模式（见表7）。

表7. RAM操作模式

RSCW<7: 5>（二进制）	模式	记下
000	直接开关	没有扫描，配置文件有效，没有停留忽略扫描，配置文件有效，没有停留有效扫描，PS0是一个方向控制销，不停留忽略扫描，配置文件有效，不停留忽略
001	拉起	
010	双向斜坡	
011	连续双向斜坡连续再循环	扫描，配置文件有效，无停留忽略默认的直接切换
100	无效的模式	
101, 110, 111		

直接开关模式

直接开关模式支持频移键控（FSK）或相移键控（PSK）调制。AD9954被编程为使用RAM启用位（CFR1<31>）直接切换，并将每个所需配置文件的RAM段模式控制位编程为000(b)。此模式只是读取当前配置文件的RAM段起始地址处的RAM内容。在此模式下，不会发生地址提升。

为了执行4音调移位键控，用户编程的每个RAM段控制字的直接切换模式和一个唯一的起始地址值。对RAM启用和RAM目标位（CFR1<31: 30>）进行编程，使RAM启用，并将RAM输出引导为FTW（FSK）或POW（PSK）。PS1和PS0的输入是4个音调的FSK/PSK数据输入。当轮廓被更改时，存储在新轮廓中的数据将被加载到相位累加器（FSK）或相位偏移加法器（PSK）中。当设置为PSK时，当设置RAM目标位时，RAM输出的位<17: 0>未使用。双音移位键控只使用一个轮廓引脚。

缓存模式

上升模式，结合分段RAM能力，允许最多四种不同的扫描配置文件被编程到AD9954。通过使用RAM启用位启用RAM（CFR1<31>），并将每个配置文件的RAM模式控制位编程为要用于001(b)，该AD9954被编程为加速模式

当启动扫描时（通过I/O更新或改变轮廓位），RAM地址生成器加载当前RSCW的RAM段开始地址位，驱动该地址的RAM输出，斜坡速率计时器加载RAM段地址斜坡速率位。当渐变速率计时器完成一个周期时，RAM地址生成器将增加到下一个地址，计时器将重新加载渐变速率位，并开始一个新的倒计时周期。此序列一直持续到RAM地址生成器增加到等于当前RSCW的RAM段最终地址位的地址。此时，下一个状态取决于无停留模式是否处于活动状态。请参见寄存器图中的无驻留位（CFR1<2>）（请参见表12和表13）。

在这种模式下，可以通过配置两段的RAM，并使用PS0引脚作为数据输入来实现非对称的FSK调制。

双向斜坡模式

双向斜坡模式允许AD9954使用PS0信号作为控制输入，在两个频率之间提供对称扫描。AD9954使用RAM启用位（CFR1<31>）编程为双向斜坡模式，并将每个期望轮廓的RAM段模式控制位编程为010(b)。PS1输入被忽略，PS0输入为斜坡方向指示器。内存没有被分割，只使用一个开始地址和一个最终地址。用于控制RAM的地址寄存器位于与配置文件0关联的RAM段控制字（RSCW）中。

在进入此模式（通过I/O更新或更改PS0引脚）时，RAM地址生成器加载RSCW0的RAM段起始地址位，斜坡速率计时器加载RAM段地址斜坡速率位。RAM从起始地址驱动数据，斜坡率计时器开始计数到1。当计时器达到零时，如果PS0高，RAM地址增加，如果PS0低，RAM地址减少。切换PS0引脚不会导致设备产生内部I/O更新；从I/O缓冲区到内部寄存器的数据传输仅由I/O更新引脚上的上升边缘启动。

RAM地址控制现在是PS0输入的一个函数。当PS0位的极性被改变时，RAM地址生成器将增加/减少到下一个地址，并重新加载斜坡率计时器。在提升模式中，只要PS0输入保持高/低，这个序列就会一直持续到RAM地址生成器增加/减少到等于最终/开始地址的地址。一旦达到最终/开始地址，扫描将停止，直到PS0上的极性发生改变。

将忽略与配置1、配置2和配置3相关联的RAM段控制字中的所有数据。只有配置文件0的RAM段控制字中的信息才用于控制RAM。

连续双向斜坡模式

连续双向斜坡模式允许AD9954提供两个频率之间的自动对称扫描。AD9954使用RAM启用位（CFR1<31>）编程为连续双向斜坡模式，并将每个期望轮廓的RAM段模式控制位编程为011(b)。一般情况下，该模式在控制上与双向斜坡模式是相同的，除了升降模式是自动的（没有通过PS0输入的外部控制），并且切换轮廓是有效的。这种模式允许产生一个自动的锯齿清扫特性。

在进入此模式后（通过I/O更新或更改PS1或PS0引脚），RAM地址生成器加载当前RSCW的RAM段开始地址位，斜坡速率计时器加载RAM段地址斜坡速率位。RAM从起始地址驱动数据，斜坡率计时器开始计数到1。当渐变速率计时器完成倒计时时，RAM地址生成器将增加到下一个地址，计时器将重新加载渐变速率位并继续计数。这将持续到RAM地址生成器增加到等于当前RSCW的RAM段最终地址位的地址为止。在到达这个最终地址后，每次斜坡速率计时器完成一个倒计时周期时，RAM地址生成器开始递减，直到它到达RAM段开始地址。在到达开始地址后，整个序列重复，直到选择一个新的模式。

连续循环模式

连续再循环模式允许AD9954在两个频率之间提供自动、连续的单向扫描。AD9954使用RAM启用位（CFR1<31>）被编程为连续再循环模式，并将每个所需轮廓的RAM段模式控制位编程为100(b)。

在进入此模式时（通过I/O更新或更改Pin PS1或Pin PS0），RAM地址生成器加载当前RSCW的RAM段开始地址位，斜坡速率计时器加载RAM段地址斜坡速率位。RAM从起始地址驱动数据，斜坡率计时器开始倒数到1。当渐变速率计时器完成一个周期时，RAM地址生成器增加到下一个地址，计时器重新加载渐变速率位并继续计数。此序列一直持续到RAM地址生成器增加到等于当前RSCW的RAM段最终地址位的地址。在到达该终端地址后，RAM地址生成器重新加载RAM段开始地址位，序列重复，直到选择一个新的模式。

内部配置文件控制

AD9954提供了一种模式，其中一个复合频率扫描可以建立与软件可编程的定时控制。内部轮廓控制能力脱离PS1脚和PS0脚，使AD9954能够控制轮廓之间的切换。定义的模式允许三个组合的连续或单脉冲轮廓开关（见表8）。根据表8，使用位CFR1<29:27>采用内部轮廓控制模式。内部配置文件控制仅在设备以RAM模式运行时有效。线性扫描操作没有内部轮廓控制。

当采用内部配置文件控制模式时，将忽略RAM段模式控制位；设备在提升模式下操作所有配置文件。当RAM地址生成器耗尽当前配置文件的内存内容时，会在配置文件之间切换。

表8. 内部配置文件控制

CFR1<29: 27> (二进制)	模式描述
000	内部控制不活动
001	内部控制激活, 单突发, 激活配置文件0, 然后配置文件1, 然后停止
010	内部控制激活, 单突发, 激活配置文件0, 然后配置文件1, 然后配置文件2, 然后停止
011	内部控制活动, 单突发, 激活配置文件0, 然后配置文件1, 然后配置文件2, 然后配置文件3, 然后停止
100	内部控制激活, 连续, 激活配置文件0, 然后是配置文件1, 然后是循环启动0
101	内部控制激活, 连续, 激活配置文件0, 然后是配置文件1, 然后是配置文件2, 然后是循环启动0
110	内部控制激活, 连续, 激活配置0, 然后是配置1, 然后是配置2, 然后是配置3, 然后是循环启动0
111	无效

单突发模式是指执行一次复合扫描的模式。例如, 假设设备被编程为加速模式, 并且CFR1<29: 27>位被写入Logic 010 (b). 在接收到I/O更新后, 内部控制逻辑向设备发出信号, 以开始执行配置文件0的上升模式序列。在到达配置文件0的RAM段最终地址值后, 设备将跳转到配置文件1的起始地址, 并开始执行该提升序列。在到达配置文件1的RAM段最终地址值后, 设备将跳转到配置文件2的起始地址, 并开始执行该提升序列。当达到配置文件2的RAM段最终地址值时, 序列已经结束, 复合扫描已经完成。发出另一个I/O更新将重新启动突发进程。

连续内部轮廓控制模式是指在设备被编程到该模式时连续执行复合扫描的模式。使用前面的示例, 除了将CFR1<29: 27>位编程到Logic 101 (b)之外, 该操作将是相同的, 直到达到配置文件2的RAM段最终地址值。此时, 设备不是停止序列, 而是跳回配置文件0的开始地址并继续扫描。

线性扫描模式

AD9954被放置在线性扫描模式下, 使用线性扫描启用位CRI<21>。PS1必须绑低。当处于线性扫描模式时, AD9954输出频率从由FTW0编程的起始频率上升到结束频率FTW1, 或从FTW1下降到FTW0。delta频率调谐词和斜坡速率字决定了这个斜坡的速率。线性扫描无停留位CFR1<2>控制设备在达到最终频率时的行为。

当PS0较高时, 32位上升的增量频率调谐字 (RDFTW) 是频率累加器的种子值

从FTW0到FTW1的斜坡, 和RSRR寄存器被加载到扫描速率计时器中。当计时器倒数到1时, 频率累加器循环一次, 由种子值增加。RDFTW以斜坡速率 (RSRR) 给出的速率的累积继续持续, 直到频率加法器的输出等于FTW1寄存器值, 或者PS0被拉低。

当PS0较低时, 32位下降的增量频率调谐字 (FDFTW) 是频率累加器的种子值, 它从FTW1下降到FTW0, FSRR寄存器被加载到扫描速率计时器中。当计时器倒数到1时, 频率累加器循环一次, 随着种子值的减少。FDFTW以斜坡速率 (FSRR) 给出的速率继续累积, 直到频率加法器的输出等于FTW0寄存器值, 或者PS0被拉高。

引脚PS0控制扫描的方向, 上升到FTW1或下降到FTW0。在到达目标频率时, AD9954线性扫描函数要么保持在目标频率, 直到PS0上的状态发生改变, 要么立即返回到初始频率FTW0, 这取决于线性扫描无驻留位CFR1<02>的状态。在线性扫描模式下操作时, 切换PS0不会导致设备生成内部I/O更新。当PS0作为扫描方向指示器时, 任何从I/O缓冲区到内部寄存器的数据传输都只能由I/O更新引脚上的上升边启动。

AD9954的线性扫描函数要求将最低频率加载到FTW0寄存器, 并将最高频率加载到FTW1寄存器。对于分段的非线性频率转换, 需要在频率转换过程中对寄存器进行重编程。

复位后, 设备最初处于单音模式。在线性扫描模式下运行的编程步骤有:

- 0) PS1:0 = 00.
- 1) 设置线性扫描启用位 (CFR1<21>), 并根据需要设置或清除线性扫描无停留位 (CFR1<2>)。
- 2) 程序的上升和下降的增量频率调音字和斜坡速率值。
- 3) 将较低和较高的输出频率分别编程到FTW0和FTW1寄存器中。
- 4) 应用I/O更新以将此数据移到寄存器中 (瞬时输出频率为FTW0)。
- 5) 根据需要改变PS0输入, 在低到高频率之间扫描。

图21描述了一个典型的频率上升操作。该设备最初在单音模式下启动。配置文件输入较低, 将FTW0设置为相位累加器的种子值。然后, 用户通过串口写入线性扫描启用位、上升和下降的增量频率调谐字, 以及斜坡速率 (图21中的点A。在本例中, 线性扫描无停留位被清除 (CFR1<2>)。

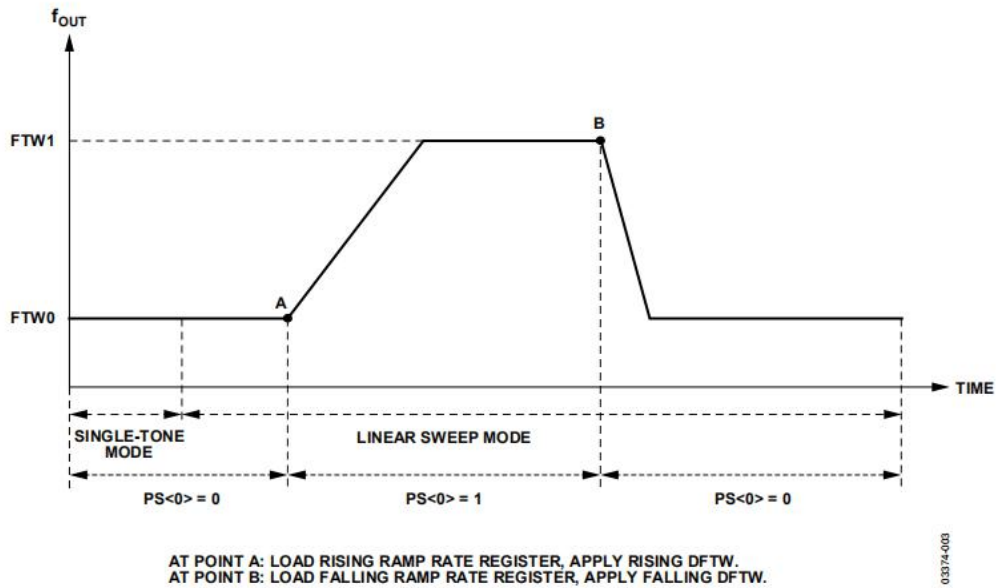


Figure 21. Linear Sweep Frequency Plan

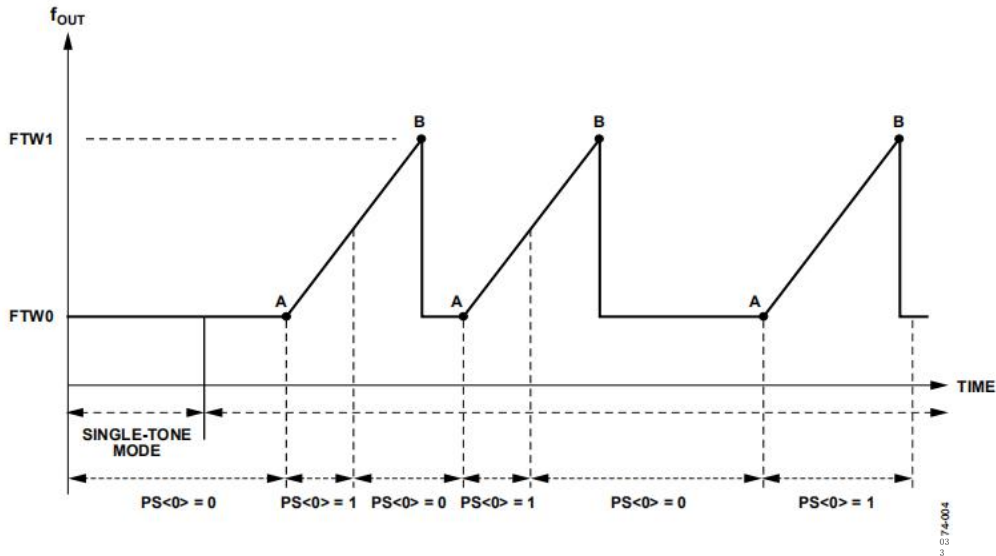


图22。使用无停留频率计划的线性扫描

线性扫描无停留功能

关于无停留模式的一般细节，请参见寄存器图（见表12和表13）中的CFR1<2>。图22描述了在设置线性扫描无停留位时的线性扫描模式操作。标签A点表示在PS0上检测到上升边缘的位置；标签B点表示AD9954确定f_{OUT}到达终端频率并自动返回起始频率。注意，在这种模式下，只支持使用正线性扫描控制字从FTW0到FTW1的扫描。当无停留位设置为1时，将PS0切换到0既不会启动下降扫描，也不会中断已经正在进行的正扫描。

重置斜坡速率计时器

斜坡计时器可以在通过三种方法达到1之前重置。

方法一种是通过改变PS0输入引脚。当PS0输入引脚从0切换到1时，RSRRW值被加载到斜坡速率计时器中，然后继续正常进行倒计时。当PS0输入引脚从0切换到1时，下降的扫描斜坡速率字（FSRRW）值被加载到斜坡速率计时器中，然后该计时器正常进行倒数。

第二种方法使用LOAD SRR @ I/O UD位（CFR1<15>），详见表12。

扫描斜坡速率计时器可以进行重置的最后一种方法是使用线性扫描启用位（CFR1<21>）从非活动线性扫描模式更改为活动线性扫描模式。

对于方法2和方法3，斜坡速率计时器加载一个由PS0状态决定的值（0 = FSRRW，1 = RSRRW）的值。

AD9954的降功耗功能

AD9954支持外部控制（或硬件）断电功能，以及软件可编程的断电位，能够单独关闭特定的未使用的电路块。

软件控制的断电使DAC、比较器、PLL、输入时钟电路和数字逻辑（CFR1<7: 4>）能够单独断电。除了CFR1<6>外，当外部控制的断电销（PWRDWNCTL）较高时，这些位元将被取代。通过PWRDWNCTL输入引脚，在AD9954上支持外部断电控制。当PWRDWNCTL输入引脚过高时，AD9954进入基于CFR1<3>位的断电模式。当PWRDWNCTL输入引脚过低时，它工作正常。详见表12中的CFR1<3>。

表9详细说明了将AD9954核心逻辑驱动到模拟部分和芯片的数字时钟生成部分的每个断电位的逻辑级别。

表9。断电控制功能

统治	模式激活	描述
= 0，CFR1<3>不在乎	软件控制	数字断电= CFR1<7> 比较器断电= CFR1<6> DAC断电= CFR1<5> 时钟输入断电= CFR1<4>
PWRDWNCTL = 1，CFR1<3> = 0	外部控制，快速恢复 省电模式	数字断电= 1 ‘b1 比较器断电= 1 ‘b0或CFR1<6> DAC断电= 1 ‘b0 时钟输入下电= 1 ‘b0
PWRDWNCTL = 1，CFR1<3> = 1	外部控制，全断电模式	数字断电= 1 ‘b1 比较器断电= 1 ‘b1 DAC断电= 1 ‘b1 时钟输入下电= 1 ‘b1

同步-寄存器更新
更新)

SYNC_CLK和I/O更新的功能

进入AD9954的数据与SYNC_CLK信号同步（在SYNC_CLK引脚上从外部提供给用户）。I/O更新引脚采样在上升边缘 sync_clk .

在内部，SYSCLK被馈送给一个除以四的分频器，以产生 SYNC_CLK信号。SYNC_CLK信号通过SYNC_CLK引脚提供给系统。这使得外部硬件能够与设备的内部时钟进行同步。这是通过提供SYNC_CLK信号作为输出来实现的，然后外部硬件可以使用它来进行同步。

结合SYNC_CLK的I/O更新信号用于将内部缓冲区内容传输到控制寄存器中。SYNC_CLK引脚和I/O更新引脚的组合为用户提供了相对于SYSCLK的恒定延迟，并确保在确定新的调谐字或相位偏移值时，模拟输出信号的相位连续性。

图23和图24演示了一个I/O更新定时周期和同步。

同步逻辑注意事项包括：

- I/O更新信号被边缘检测到，以产生驱动寄存器组故障的单周期时钟信号。输入/输出更新信号对占空比没有限制。I/O更新的最小低时间是一个SYNC_CLK时钟周期。
- I/O更新引脚被设置并保持在SYNC_CLK的上升边缘周围。设置和保持时间的规格见表2。

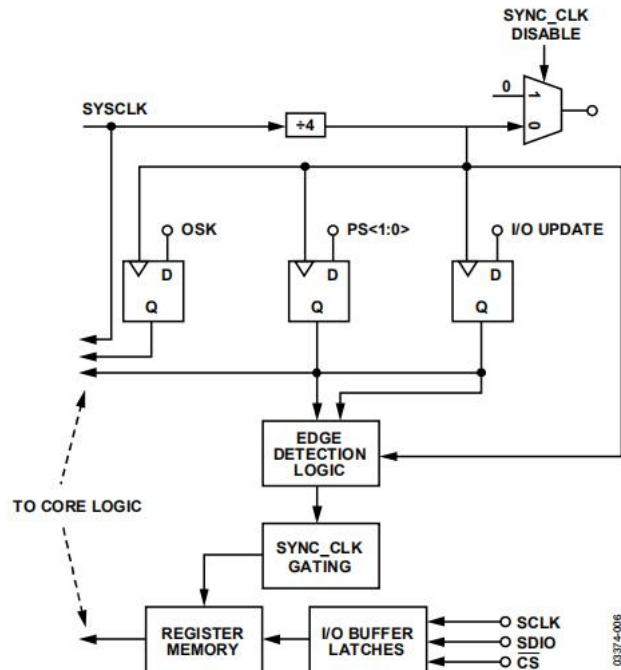
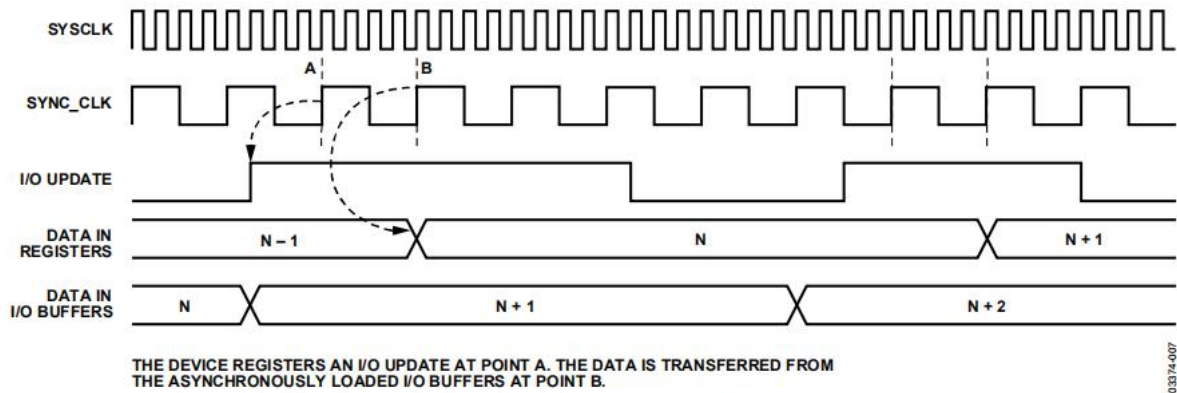


Figure 23. I/O Synchronization Block Diagram



THE DEVICE REGISTERS AN I/O UPDATE AT POINT A. THE DATA IS TRANSFERRED FROM THE ASYNCHRONOUSLY LOADED I/O BUFFERS AT POINT B.

Figure 24. I/O Synchronization Timing Diagram

同步多个AD9954

用户有三种同步模式：自动同步模式、软件控制的手动同步模式和硬件控制的手动同步模式。以下要求适用于所有模式。首先，所有单元必须共享一个共同的时钟源。时钟树的轨迹长度和路径阻抗必须设计为保持不同时钟分支的相位延迟尽可能紧密匹配。其次，必须同步地向所有正在同步的设备提供I/O更新信号的上升边缘。最后，对于所有要同步的设备，DVDD_I/O电源应设置为3.3 V。AVDD和DVDD应保持在1.8 V。

在自动同步模式下，一个设备被选为主，另一个设备(s)被选为此主。所有从属服务器都会自动同步其内部时钟到主设备的SYNC_CLK输出信号。使用自动同步位（CFR1<23>）来配置每个从属服务器。将SYNC_IN输入端（s）连接到主SYNC_CLK输出端。从属设备不断地更新其SYNC_CLK的相位关系，直到它与SYNC_IN输入处于相位状态。高速同步增强启用位（CFR2<11>）必须正确编程。

在软件手动同步模式下，用户可以强制设备将SYNC_CLK上升边缘推进一个SYSCLK周期（ $\frac{1}{4}$ SYNC_CLK周期）。使用从属设备的软件手动同步位（CFR1<22>）建立手动同步模式。有关更多信息，请参见表12中的位描述。

在硬件手动同步模式下，SYNC_IN输入引脚被配置为，即现在每次设备检测到SYNC_IN引脚上的上升边时，它都会推进SYNC_CLK信号的上升边。使用硬件手动同步位（CFR2<10>）建立硬件手动同步模式。有关更多信息，请参见表12中的位描述。

使用单晶驱动多个AD9954时钟输入

AD9954晶体振荡器输出信号可在晶体OUT引脚上使用，使一个晶体能够驱动多个AD9954s。为了用一个晶体驱动多个AD9954，使用外部晶体的AD9954的晶体OUT引脚应该连接到另一个AD9954的REFCLK输入端。

晶体针必须使用晶体针主动位CFR2<9>。晶体输出引脚的驱动强度相当低；因此，如果正在驱动多个负载，信号应该被缓冲。

RAM

AD9954包含了一块SRAM。RAM是一个双向的单端口。读取和写操作不能同时发生。对串行I/O端口的写操作优先；因此，如果在读操作期间尝试写入RAM，则读操作将停止。RAM可使用RAM段控制Word<7：5>和控制功能寄存器中的数据进行配置。

使用RAM启用位（CFR1<31>），可以启用RAM输出来驱动输入到相位累加器或相位偏移加法器；RAM目标位（CFR1<30>）设置路由。当RAM输出驱动相位累加器时，相位偏移字（POW，地址0x05）驱动相位偏移加法器。相反，当RAM输出驱动相位偏移加法器时，频率调谐字（FTW，地址0x04）驱动相位累加器。当CFR1<31>禁用RAM时，它是不活动的，除非是通过串口写入的。RAM被映射到由PS1和PS0输入引脚确定的四个轮廓之一。请注意，这些配置文件可能会重叠。例如，配置文件0可以使用RAM地址位置0来地址位置12，而配置文件1可以使用RAM地址位置5来地址位置20，以此类推。

所有进出RAM的RAM写入或读取操作都由PS1和PS0输入引脚和各自的RAM段控制字来控制。要写入RAM，必须在RAM段控制字中定义RAM段。然后必须使用轮廓选择针PS0和PS1选择定义的RAM段。选择正确的RAM段后，应发送0xB0的特殊指令字节。当要写入RAM的指令字节发送到部件时，串口控制器立即轮询相应的RAM段控制字。从这个寄存器中，串口控制器记录下起始地址和停止地址。然后，它计算段中有多少条目，以及期望有多少字节的数据。在……之后发送特殊指令字节0xB0时，用户必须发送零件中当前选定的配置文件的所有RAM条目。

例如，考虑RAM段2从地址21开始，到地址120结束的情况。首先，写入起始地址为21、停止地址为120的RAM段控制Word 2，并指定斜坡速率和操作模式。接下来，将PS1设置为1，PS0设置为0，选择RAM段2，然后发送0xB0的指令字节。该部分现在准备将第一个32位字放入地址21的RAM，期望100个32位字，并将最后一个字存储在地址120。它会自动控制将数据从串口发送到正确的RAM地址。因此，在向零件发送100个32位的数据字之前。在第3200个SCLK周期之后，写入操作完成，所有100个字都存储在RAM中，从地址21到地址120。

串行输入输出端口

AD9954串行端口是一个灵活的、同步的、串行通信端口，易于接口到许多工业标准的微控制器和微处理器。串行I/O端口与大多数同步传输格式兼容，包括摩托罗拉6905/11SPI®和Intel®8051 SSR协议。

该接口可访问配置AD9954的所有寄存器。支持MSB优先和LSB优先的传输格式。此外，AD9954的串行接口端口可以配置为一个单引脚I/O（SDIO），允许一个2线接口，或两个单向引脚用于输入/出（SDIO/SDO），其中启用3线接口。两个可选的引脚，IOSYNC和CS，为AD9954的系统设计提供了进一步的灵活性。

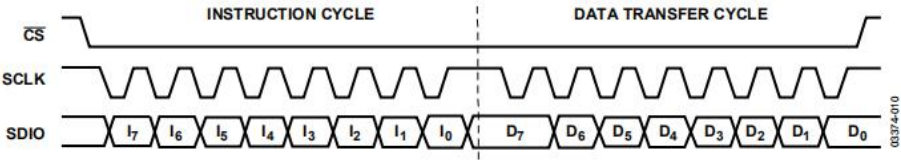
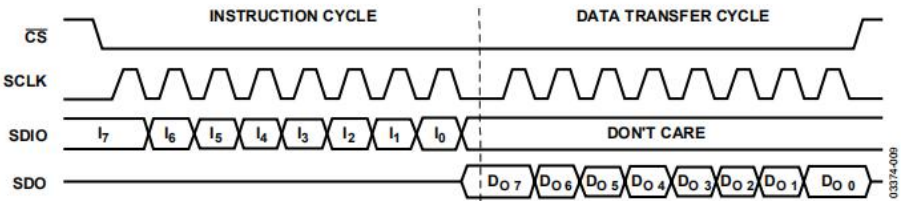
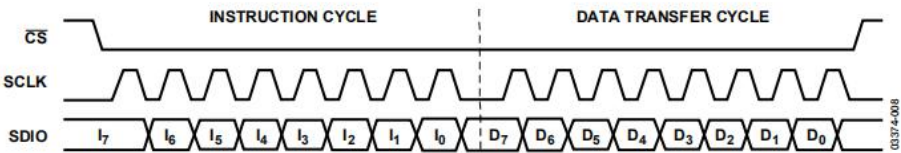
串行端口操作

对于AD9954，指令字节指定读/写操作和寄存器地址。AD9954上的串行操作只发生在寄存器级上，而不是发生在字节级上。对于AD9954，串口控制器识别指令字节寄存器地址，并自动生成正确的寄存器字节地址。此外，控制器期望访问该寄存器的所有字节。要求在串行I/O操作期间访问寄存器的所有字节，只有一个例外；IOSYNC函数可用于中止I/O操作，从而允许访问少于所有字节。

与AD9954的通信周期有两个阶段。阶段1是指令周期，它是将一个指令字节写入AD9954，与前8个SCLK上升边相一致。指令字节向AD9954串口控制器提供有关阶段2，即数据传输周期的信息。指令字节定义了即将到来的数据传输是读的还是写，以及被访问的寄存器的串行地址。

每个通信周期的前八个SCLK上升边用于将指令字节写入AD9954。其余的SCLK边缘用于通信周期的第二阶段。阶段2是AD9954和系统控制器之间的实际数据传输。在通信周期的阶段2中传输的字节数是被访问的寄存器的函数。例如，当访问三个字节宽的控制函数寄存器2时，阶段2要求传输三个字节。如果访问具有4个字节宽的频率调谐字，则必须传输4个字节。在按指令字节传输所有数据字节后，通信周期完成。

在任何通信周期完成时，AD9954串口控制器期望下8个上升的SCLK边成为下一个通信周期的指令字节。所有输入到AD9954的数据都注册在SCLK的上升边上。所有的数据都来自于在SCLK的下降边缘上的AD9954。提供图25到图28可以帮助理解AD9954串口的一般操作。



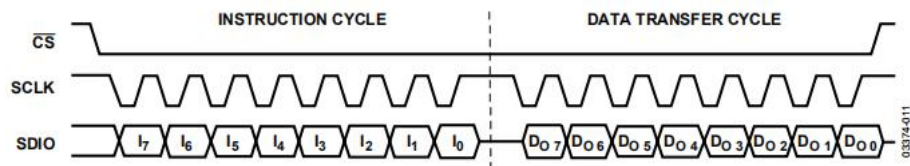


图28。2线串口读取定时-时钟停滞高

串行接口端口PIN说明

SCLK-串行时钟。串行时钟引脚用于同步AD9954之间的数据，并运行内部状态机。SCLK的最大频率为25 MHz。

CS-芯片选择。CS是一个主动的低输入，使共享串行通信线的设备能够被单独编程。当输入值较高时，SDO和SDIO引脚进入高阻抗状态。如果在高通信周期中，该周期被暂停，直到CS是重新激活低。如果不需要，芯片选择可以捆绑较低。

SDIO-串行数据输入/输出。写入到AD9954的数据必须发送到这个引脚。但是，这个引脚可以用作双向数据线。CFR1<9>控制该引脚的配置。

SDO-串行数据输出。对于使用单独的线来传输和接收数据的协议，可以从这个引脚中读取数据。在2线串行编程模式下，此引脚被设置为高阻抗状态。

IOSYNC-同步I/O端口状态机，而不影响可寻址的寄存器内容。IOSYNC引脚上的活动高输入会中断当前的通信周期。在IOSYNC返回低点（逻辑0）之后，可能会开始另一个通信周期，从指令字节写入开始。

MSB/LSB转移

AD9954串口可以支持MSB优先或LSB优先的数据格式。此功能由LSB控制第一位CFR1<8>。

对于MSB的第一个操作，串口控制器首先生成最重要的字节（指定的寄存器）地址，然后生成下一个较少重要的字节地址，直到I/O操作完成。所有写入（读取）AD9954的数据必须是MSB的一阶数据。

如果LSB模式处于活动状态，则串口控制器首先生成最不重要的字节地址，然后生成下一个较大的重要字节地址，直到I/O操作完成。所有写入（读取）AD9954的数据必须是LSB的一阶数据。

示例操作

例如，考虑将振幅比例因子（ASF）寄存器写成0.5全比例的值的情况。首先，计算二进制等价的0.5。由于ASF是16位宽，十六进制的等效值是0x80。接下来，对于MSB的第一格式，传输一个0x02的指令字节（ASF的串行地址为00010(b)）。根据此指令，内部控制器将进行轮询

在这个内存位置的寄存器，并注意到ASF是2个字节宽。串口控制器的状态机设置为16，并等待SCLK上的16条上升边和SDIO线上的16位数据。在SCLK上发送16条上升边，在SDIO线上发送二进制数据10000000000000000000000000000000。

要以LSB第一格式编写振幅比例因子寄存器，其过程与MSB第一格式相同；然而，数据是逐字反转的。指令字节为0x40。ASF的二进制数据是00000000000000000000000000000000。

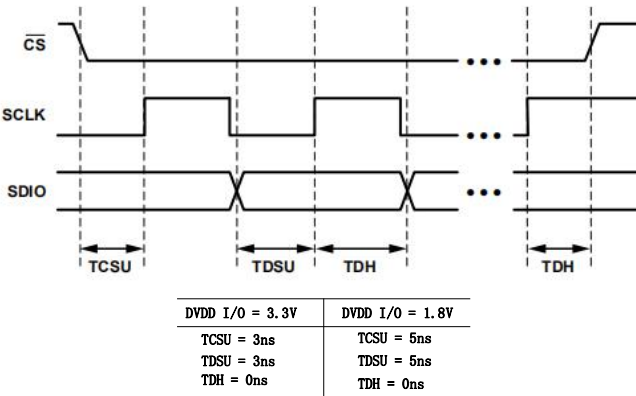


图29。数据写入AD9954的定时图

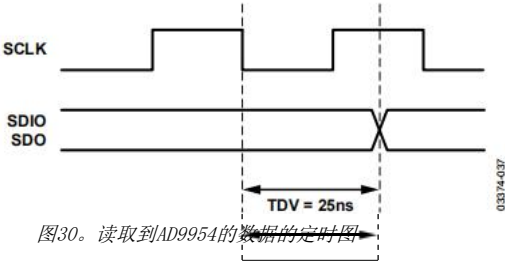


图30。读取到AD9954的数据的定时图

RAM I/O通过A串口

通过串行端口访问RAM与任何其他串行I/O操作相同，除了传输的字节数由当前RAM段控制字（RSCW）中指定的起始地址和最终地址之间的地址空间决定。最终地址描述了所有I/O传输中最重要的单词地址，而开始地址指定了最不重要的地址。

RAM I/O支持MSB/LSB第一次操作，如设置使用LSB第一位CFR1<8>。当处于MSB第一模式时，第一个数据字节是由最终地址描述的内存地址的最重要字节，其余三个字节构成该地址的较小重要字节。其余的字节以最重要到最不重要的顺序排列，分别指向按降序生成的RAM地址

直到最后四个字节被写入指定为起始地址的地址。当处于LSB第一模式时，第一个数据字节是内存中最不重要的字节（由起始地址指定），其余三个字节构成该地址的更大的重要字节。其余的字节从最不重要的到最重要的，分别指向按升序生成的RAM地址，直到最后四个字节被写入最终地址所描述的内存地址。

RAM使用串行地址01011 (b)；因此，在MSB首先表示法中，写入RAM的指令字节为0x0B。如前所述，生成的RAM地址由Pin PS1和Pin PS0当前选择的RSCW的起始地址和最终地址指定。

串口操作说明

- 使用CFR1<9: 8>所做的配置更改将在写入该寄存器后立即实现。对于多字节传输，对该寄存器的写入可能发生在通信周期的中间阶段。必须注意为当前通信周期的剩余时间补偿此新配置。
- 系统必须与AD9954保持同步，否则内部控制逻辑无法识别进一步的指令。例如，如果系统发送一个描述写入2字节寄存器的指令字节，然后脉冲SCLK引脚进行3字节写入（另外24条SCLK上升边），则通信同步就会丢失。在这种情况下，指令循环后的前16个SCLK上升边将前两个数据字节正确地写入AD9954，但是后8个上升的SCLK边被解释为下一个指令字节。在系统和AD9954之间失去同步的情况下，IOSYNC引脚使用户能够重置AD9954串口控制器状态机。在失去同步和IOSYNC引脚断言之前的有效通信周期中，写入到AD9954寄存器的任何信息都保持不变。
- 读取RAM配置文件要求配置文件选择引脚PS1和PS0配置为选择所需的配置文件。当读取位于其中一个配置文件中的寄存器时，寄存器地址作为一个偏移量，在由配置文件定义的寄存器组中选择一个寄存器，而配置文件选择引脚选择适当的寄存器组。

指令字节

该指令字节包含以下信息。

表10。

MSB	D6	D5	D4	D3	D2	D1	最低有效位元
R/ \overline{W}	X	X	A4	A3	A2	A1	A0

R/ \overline{W} —指令字节的位7定义在指令字节写入之后是否发生读取或写入数据传输。逻辑高表示读取操作。逻辑0表示一个写入操作。

X，X—指令字节的6位和5位不在乎。

指令字节的A4、A3、A2、A1、A0、4、3、2、1、0决定在通信周期的数据传输部分访问哪个寄存器。寄存器的地址可以在寄存器映射的第一列中找到（见表12和表13）。

注册地图和描述

寄存器图列于表12和表13中。活动寄存器映射取决于线性扫描启用位的状态；某些寄存器的重新映射取决于部件正在工作的模式。具体来说，寄存器0x07、寄存器0x08、寄存器0x09和寄存器0x0A都会受到影响。因为线性扫描操作优先于RAM操作。建议在使用位CFR1<21>启用线性扫描时，使用位CFR1<31>禁用RAM，以节省电源。与每个寄存器相关联的序列地址号为十六进制格式。角括号<>用于引用特定的位或位的范围。例如，<3>指定3it位，<7: 3>指定从7位到3位的范围，包括。

表11。基于线性扫描启用位的寄存器映射

线性扫描启用位（CFR1<21>）	注册地图
清除（= 0）	RAM段控制字激活线性扫描控制词激活
集（= 1）	

表12. 寄存器映射-当线性扫描启用位为假时（CFR1<21> = 0）

请注意，RAM启用位CFR1<31>只激活RAM本身，而不是RAM段控制字。

注册名称 (串行地址)	比特范围	(MSB) 位7	位6	位5	位4	位3	位2	位1	最低效位 元位0	默认值 或配置 文件
统治功能注册不1 (CFR1) (0x00)	<7:0>	数字的功率-往下	补偿功率-往下	DAC功率-往下	钟输入功率-往下	外部断电模式	线性的扫描无停留时间	SYNC_CLK禁用	不己使用	0x00
	<15:8>	SRR负载启用	自动记录器 弗雷克 阿卡姆	AutoClr阶段计算	正弦余弦选择	清除 弗雷克 阿卡姆	清除 相位 阿卡姆	串行数字输入输出 输入只有	LSB首先	0x00
	<23:16>	自动同步启用	软件手册同步	线性的扫描启用	未使用	不己使用	未使用	未使用	不己使用	0x00
	<31:24>	RAM启用	RAM目标	内部配置文件控制<2: 0>			负载ARR控制	奥克启用	自动奥克启用	0x00
统治功能注册不2 (CFR2) (0x01)	<7:0>	REFCLK乘数					VCO范围	增压泵 当前<1: 0>		0x00
	<15:8>	未使用				高速度同步启用	启用硬件手动同步	XTAL出启用	不己使用	0x00
	<23:16>	未使用								0x18
振幅比例因子 (ASF) (0x02)	<7:0>	振幅比例因子寄存器<7: 0>								0x00
	<15:8>	自动斜坡速率速度控制<1: 0>		振幅比例因子寄存器<13: 8>						0x00
振幅斜坡率 (ARR) (0x03)	<7:0>	振幅斜坡速率寄存器<7: 0>								0x00
频率调谐Word (FTW0) (0x04)	<7:0>	调频Word No. 0<7:0>								0x00
	<15:8>	调频Word No. 0<15:8>								0x00
	<23:16>	调频Word No. 0<23:16>								0x00
	<31:24>	调频Word No. 0<31:24>								0x00
相位偏移量Word (PWO0) (0x05)	<7:0>	相位偏移Word No. 0<7:0>								0x00
	<15:8>	未使用<1: 0>		相位偏移Word No. 0<13:8>						0x00
频率调谐Word (FTW1) (0x06)	<7:0>	调频Word No. 1<7:0>								0x00
	<15:8>	调频Word No. 1<15:8>								0x00
	<23:16>	调频Word No. 1<23:16>								0x00
	<31:24>	调频Word No. 1<31:24>								0x00
配置文件0 RAM节段控制系统 Word No. 0 (RSCW0) (0x07)	<7:0>	RAM段0模式控制<2: 0>			无停留活跃的		RAM段0起始地址<9: 6>			PS0 = 0 PS1 = 0
	<15:8>	RAM段0起始地址<5: 0>						RAM段0最终地址<9: 8>		PS0 = 0 PS1 = 0
	<23:16>	RAM段0最终地址<7: 0>								PS0 = 0 PS1 = 0
	<31:24>	RAM段0地址斜坡率<15: 8>								PS0 = 0 PS1 = 0

<39:32>	RAM段0地址斜坡速率<7: 0>	PS0 = 0 PS1 = 0
---------	-------------------	--------------------

注册名称 (串行地址)	比特范围	(MSB) 位7	位6	位5	位4	位3	位2	位1	最低效位 元位0	默认值 或配置 文件
配置文件1 RAM节段 控制系统 Word No. 1 (RSCW1) (0x08)	<7:0>	RAM段1模式 控制<2: 0>			无停留 活跃的		RAM段1起始地址<9: 6>			PS0 = 1 PS1 = 0
	<15:8>	RAM段1起始地址<5: 0>						RAM段1最终地址 <9: 8>		PS0 = 1 PS1 = 0
	<23:16>	RAM段1最终地址<7: 0>								PS0 = 1 PS1 = 0
	<31:24>	RAM段1地址斜坡率<15: 8>								PS0 = 1 PS1 = 0
	<39:32>	RAM段1地址斜坡率<7: 0>								PS0 = 1 PS1 = 0
配置文件2 RAM节段 控制系统 Word No. 2 (RSCW2) (0x09)	<7:0>	RAM段2模式 控制<2: 0>			无停留 活跃的		RAM段2起始地址<9: 6>			PS0 = 0 PS1 = 1
	<15:8>	RAM段2起始地址<5: 0>						RAM段2最终地址 <9: 8>		PS0 = 0 PS1 = 1
	<23:16>	RAM段2最终地址<7: 0>								PS0 = 0 PS1 = 1
	<31:24>	RAM段2地址斜坡率<15: 8>								PS0 = 0 PS1 = 1
	<39:32>	RAM段2地址斜坡率<7: 0>								PS0 = 0 PS1 = 1
配置文件3 RAM节段 控制系统 Word No. 3 (RSCW3) (0x0A)	<7:0>	RAM段3模式 控制<2: 0>			无停留 活跃的		RAM段3起始地址<9: 6>			PS0 = 1 PS1 = 1
	<15:8>	RAM段3起始地址<5: 0>						RAM段3最终地址<9 : 8>		PS0 = 1 PS1 = 1
	<23:16>	RAM段3最终地址<7: 0>								PS0 = 1 PS1 = 1
	<31:24>	RAM段3地址斜坡率<15: 8>								PS0 = 1 PS1 = 1
	<39:32>	RAM段3地址斜坡率<7: 0>								PS0 = 1 PS1 = 1
内存 (0x0B)		RAM[1023: 0]<31: 0> (读取指令写入RAM签名寄存器数据)								

表13. 寄存器映射-当线性扫描启用位为真时 (CFR1<21> = 1)

请注意，RAM启用位CFR1<31>只激活RAM本身，而不是RAM段控制字。

寄存器名称（ 串行地址）	比特 范围	（MSB） 位7	位6	位5	位4	位3	位2	位1	最低效 位元 位0	默认值 或配置 文件
控制功能寄 存器No. 1 （CFR1） （0x00）	<7:0>	数字的 功率- 往下	补偿 功率- 往下	DAC Power Down	钟 输入 权力 往下	外部断 电模式	线性扫 描不停 留	SYNC_CLK 禁用	不 已使用	0x00
	<15:8>	SRR负载 启用	自动记录器 弗雷克 阿卡姆	AutoCl r阶段 计算	正弦 余弦 选择	清除 弗雷克 阿卡姆	清除 相位 阿卡姆	串行数字 输入输出 输入 只有	最低效 位元 第一	0x00
	<23:16>	自动 同步 启用	软件 手册 同步	线性的 扫描 启用	不 已使用	不 已使用	未使用	未使用	不 已使用	0x00
	<31:24>	RAM 启用	RAM目标	内部配置文件控制<2: 0>			负载ARR 控制	奥克 启用	自动 奥克 启用	0x00
统治 功能 注册 不2（CFR2） （0x01）	<7:0>	REFCLK乘数					VCO 范围	增压泵 当前<1: 0>		0x00
	<15:8>	未使用				高 速度 同步 启用	启用硬 件手动同 步	XTAL 出 启用	不 已使用	0x00
	<23:16>	未使用								0x18
振幅 比例因子 （ASF）（0x02）	<7:0> （0x07）	振幅比例因子寄存器<7: 0>								
	<15:8>	自动斜坡速率速 度控制<1: 0>		振幅比例因子寄存器<13: 8>						
振幅 斜坡率 （ARR）（0x03）	<7:0>	振幅斜坡速率寄存器<7: 0>								
频繁性 调谐 单词 （FTW0） （0x04）	<7:0>	调频Word No. 0<7:0>								0x00
	<15:8>	调频Word No. 0<15:8>								0x00
	<23:16>	调频Word No. 0<23:16>								0x00
	<31:24>	调频Word No. 0<31:24>								0x00
相位偏移 Word（POW0） （0x05）	<7:0>	相位偏移Word No. 0<7:0>								0x00
	<15:8>	打开<1: 0>		相位偏移Word No. 0<13:8>						0x00
频繁性 调谐 Word（FTW1） （0x06）	<7:0>	调频Word No. 1<7:0>								
	<15:8>	调频Word No. 1<15:8>								
	<23:16>	调频Word No. 1<23:16>								
	<31:24>	调频Word No. 1<31:24>								
负 线性的 扫描 统治 Word（NLSCW） （0x07）	<7:0>	下降的三角洲频率调谐词<7: 0>								PS0 = 0
	<15:8>	下降的增量频率调谐字<15: 8>								PS0 = 0
	<23:16>	下降的增量频率调谐字<23: 16>								PS0 = 0
	<31:24>	下降的增量频率调谐字<31: 24>								PS0 = 0
	<39:32>	下降的扫描斜坡率字<7: 0>								PS0 = 0
积极的 线性的 扫描控制Word （PLSCW）	<7:0>	上升增量频率调整Word<7: 0>								PS0 = 1
	<15:8>	上升的增量频率调谐字<15: 8>								PS0 = 1
	<23:16>	上升的增量频率调谐字<23: 16>								PS0 = 1
	<31:24>	上升增量频率调谐Word <31: 24>								PS0 = 1

控制寄存器位描述

控制功能寄存器No. 1 (CFR1)

CFR1用于控制AD9954的各种功能、特性和模式。每个位的功能如下。

CFR1<31>: RAM启用位

CFR1<31>=0 (默认)。RAM已被禁用,无法进行操作。已启用了单音操作模式或线性扫描操作模式。

CFR1<31> = 1. RAM已启用操作。正常操作的访问控制通过当前轮廓的RSCW的模式控制位进行控制。

CFR1<30>: RAM目标位

如果清除了CFR1<31>,则将忽略CFR1<30>。

CFR1<30>=0 (默认)。如果设置了CFR1<31>,则RAM输出驱动相位蓄能器(提供FTW)。CFR1<30> = 1. 如果设置了CFR1<31>,RAM输出驱动相位偏移加法器(POW)。

CFR1<29: 27>: 内部型文件控制位

当使用RAM时,这些位导致轮廓位被忽略,并将AD9954放入自动轮廓循环序列,允许用户实现在没有外部输入的情况下运行的频率/相位复合扫描。有关更多详细信息,请参见内部配置文件控制部分。

CFR1<26>: 载荷振幅斜坡率控制位

CFR1<26>=0 (默认)。振幅斜坡率计时器仅在超时时加载(计时器== 1);由于输入/输出更新输入信号而未加载。

CFR1<26> = 1. 振幅斜坡速率计时器在超时(计时器== 1)或在I/O更新输入信号时加载。

CFR1<25>: 形状开关键控启用位

CFR1<25>=0 (默认)。形状的开关键控被绕过。

CFR1<25> = 1. 启用形状开关键控。另请参见第1版<24>。

CFR1<24>: 自动成形的开关键控启用位

如果清除了CFR1<25>,则将忽略CFR1<24>。

CFR1<24>=0 (默认)。手动成形的开关键控操作。详细信息请参见形状开关键控部分。CFR1<24> = 1. 自动成形的开关键控操作。详细信息请参见形状开关键控部分。

CFR1<23>: 自动同步启用位

CFR1<23>=0 (默认)。多个AD9954的自动同步功能不活动。

CFR1<23> = 1. 多个AD9954s的自动同步功能是活动的。有关详细信息,请参见同步多个AD9954s部分。

CFR1<22>: 软件手动同步的多重系统

AD9954年代

CFR1<22>=0 (默认)。手动同步功能处于非活动状态。

CFR1<22> = 1. 执行了软件控制的手动同步功能。SYNC_CLK上升边提前一个SYNC_CLK周期,该位被自动清除。要推进上升边缘多次,这个位需要为每次推进设置一次。

CFR1<21>: 启用线性频率扫描

CFR1<21>=0 (默认)。AD9954的线性频率扫描能力是不活跃的。

CFR1<21> = 1. 启用了AD9954的线性频率扫描能力。有关详细信息,请参见线性扫描模式部分。

CFR1<20: 16>: 未使用, 请保持清除

CFR1<15>: 线性扫描斜坡率负载控制位

CFR1<15>=0 (默认)。线性扫描斜坡率计时器仅在超时时加载(计时器== 1);由于I/O更新输入信号而未加载。

CFR1<15> = 1. 线性扫描斜坡率计时器在超时(计时器== 1)或在I/O更新输入信号时加载。

CFR1<14>: 自动清除频率蓄能器位

CFR1<14>=0 (默认)。频率累积器的当前状态不受接收到I/O更新信号的影响。

CFR1<14> = 1. 在收到I/O更新信号后,频率累积器将自动同步清除一个周期。

CFR1<13>: 自动清除相位蓄能器钻头

CFR1<13>=0 (默认)。相位蓄能器的当前状态不受接收到I/O更新信号的影响。

CFR1<13> = 1. 在收到I/O更新信号后,相位蓄能器将自动同步清除一个周期。

CFR1<12>: 正弦/余弦选择位

CFR1<12>=0 (默认)。角度-振幅转换逻辑采用余弦函数。

CFR1<12> = 1. 角-振幅转换逻辑采用了一个正弦函数。

CFR1<11>: 清晰的频率蓄能器

CFR1<11>=0 (默认)。频率累加器可以正常工作。

CFR1<11> = 1. 频率累积器存储元件被清除并保持清除,直到清除。

CFR1<10>: 清除相位蓄能器

CFR1<10>=0（默认）。相位蓄能器可以正常工作。

CFR1<10> = 1. 清除相位累加器存储元件并保持清除，直到清除此位。

CFR1<9>: 仅限SDIO输入

CFR1<9>=0（默认）。SDIO引脚为双向的（双线串行编程模式）。

CFR1<9> = 1. SDIO配置为仅输入引脚（三线串行编程模式）。

CFR1<8>: LSB首先

CFR1<8>=0（默认）。MSB第一格式是活动的。

CFR1<8> = 1. LSB第一格式是活动的。

CFR1<7>: 数字断电位

CFR1<7>=0（默认）。所有数字功能和时钟都是活动状态。

CFR1<7> = 1. 所有非I/O数字功能均暂停，显著降低功率。

CFR1<6>: 比较器降电位

CFR1<6>=0（默认）。比较器已启用以进行操作。CFR1<6> = 1. 比较器被禁用，并处于其最低功耗状态。

CFR1<5>: DAC断电位

CFR1<5>=0（默认）。DAC已启用操作。CFR1<5> = 1. DAC被禁用，并处于最低功耗状态。

CFR1<4>: 时钟输入减电位

CFR1<4>=0（默认）。时钟输入电路已启用以工作。

CFR1<4> = 1. 时钟输入电路被禁用，并且设备处于其最低功耗状态。

CFR1<3>: 外部电源下电模式

CFR1<3>=0（默认）。所选择的外部断电模式是快速恢复断电模式。在此模式下，当PWRDWNCTL输入引脚较高时，数字逻辑和DAC数字逻辑将断电。DAC偏置电路、PLL、振荡器和时钟输入电路没有断电。CFR1<6>确定比较器是否断电。

CFR1<7>和CFR1<5: 4>将被忽略。

CFR1<3> = 1. 选择的外部断电模式是全断电模式。在此模式下，当PWRDWNCTL输入引脚较高时，所有功能都被关闭。这包括DAC和PLL，它们需要大量的时间来启动电源。CFR1<7: 4>都被忽略。

CFR1<2>: 线性扫描无驻留位

如果CFR1<21>是清楚的，这一位是不小心（忽略）。

CFR1<2>=0（默认）。线性扫描无停留函数是不活动的。如果在扫描结束时无停留模式处于非活动状态，则在I/O更新或配置文件更改启动另一个扫描之前，扫描不会重新启动。输出频率保持在扫描中的最终值。

CFR1<2> = 1. 线性扫描无停留函数是活动的。如果在扫描结束时激活无停留模式，则会清除相位累加器。相位累加器保持清除，直到另一个扫描通过I/O更新输入或改变轮廓文件启动。

CFR1<1>: SYNC_CLK禁用位

CFR1<1>=0（默认）。SYNC_CLK引脚被激活。

CFR1<1> = 1. SYNC_CLK引脚假定为一个静态的逻辑0状态，以最小化由数字电路产生的噪声。同步电路在内部保持活动状态，以保持正常的设备定时。

CFR1<0>: 未使用，请保持清除

控制功能寄存器No. 2 (CFR2)

CFR2用于控制AD9954的各种功能、特性和模式，主要与芯片的模拟部分有关。

CFR2<23: 12>: 未使用，请保持清除

CFR2<11>: 高速同步启用位

CFR2<11>=0（默认）。高速同步增强功能已关闭。

CFR2<11> = 1. 高速同步增强。当使用SYNC_CLK > 50 MHz（SYSCLK > 200 MSPS）的自动同步功能时，应设置此位。

CFR2<10>: 硬件手动同步启用位

CFR2<10>=0（默认）。硬件手动同步功能已关闭。

CFR2<10> = 1. 已启用了硬件手动同步功能。当设置此位时，SYNC_IN引脚上的上升边会导致设备将SYNC_CLK上升边提前一个REFCLK周期。这一点不自清楚。

CFR2<9>: 晶体输出启用位

CFR2<9>=0（默认）。晶体外的别针是不活跃的。

CFR2<9> = 1. 晶体探出的大头针是有效的。晶体振荡器电路输出驱动晶体输出引脚，它可用作附加器件的参考频率。

CFR2<8>: 未使用，请保持清除

CFR2<7: 3>: 参考时钟倍增器控制位

这个5位字控制时钟倍增器（PLL）块之外的倍增器值。有关更多细节，请参见时钟倍增器部分。

CFR2<2>: VCO范围控制位

CFR2<2>=0（默认值），VCO的工作时间在100 MHz和VCO之间250兆赫。

CFR2<2> = 1, VCO工作在250 MHz和400 MHz之间。

CFR2<1: 0>: 充电泵电流控制位

这些位元用于控制电荷泵上的电流设置。默认设置，CFR2<1: 0>，将电荷泵电流设置为默认值75 μ A。每增加一位，向充电泵电流增加25 μ A电流：

01 = 100 μ A, 10 = 125 μ A, 11 = 150 μ A。

其他寄存器描述**振幅比例因子 (ASF)**

ASF寄存器存储2位自动输出形状键控 (OSK) 操作中使用的速度值和14位振幅比例因子。在auto-OSK操作中，ASF<15: 14>告诉OSK块每个增量或递减需要采取多少振幅步长。ASF<13: 0>设置了OSK内部乘法器可达到的最大值。在手动OSK模式下，ASF<15: 14>没有作用。ASF<13: 0>直接提供输出比例因子。如果使用CFR1<25>禁用了OSK，则此寄存器对设备操作没有影响。

振幅斜坡率 (ARR)

ARR寄存器存储在auto-OSK模式中使用的8位振幅斜坡速率。有关详细信息，请参见振幅控制选项部分。

频率调整Word 0 (FTW0)

频率调谐字是一个32位寄存器，它控制在DDS核心的相位累加器中的积累速率。它的具体角色取决于设备的操作模式。

相位偏移Word (POW)

相位偏移字是一个存储相位偏移值的14位寄存器。有关更多细节，请参见相位偏移Word Mux部分。

频率调谐Word 1 (FTW1)

频率调谐字是一个32位寄存器，它在线性扫描操作中设置上频率。

寄存器0x07和寄存器0x08是多功能寄存器。

负线性扫描控制Word和正线性扫描控制Word (NLSCW和PLSCW)

当启用线性扫描位时，寄存器0x07提供负线性扫描控制字 (NLSCW)，而寄存器0x08提供正线性扫描控制字 (PLSCW)。每个线性扫描控制字都包含一个32位增量频率调谐字 (FDFTW和RDFTW) 和一个8位扫描斜坡率字 (FSRRW和RSRRW)。详情请参见操作模式部分。

RAM段控制词 (RSCW0、RSCW1、RSCW2、和RSCW3)

当禁用线性扫描时，寄存器0x07、寄存器0x08、寄存器0x09和寄存器0x0A作为每个RAM段的RAM段控制字。每个RAM段控制字由RAM段地址斜坡率、最终地址值、起始地址值、RAM段模式控制和无驻留位组成。请注意地址寄存器的不连续性，因为它们可能会使编程更具挑战性。

RAM段地址斜坡率，RSCW<39: 24>

对于逐步通过地址值的RAM模式，如提升，这个16位字定义了RAM控制器居住在每个地址上的SYNC_CLK循环数。值为0时无效。可以使用从1到65,535之间的任何其他值。

内存段最终地址RSCW<9: 8>，RSCW<23: 16>

这个不连续的10位序列定义了给定RAM段的最终地址值。前面列出的位的顺序是MSB优先：RSCW<9>是MSB，而RSCW<16>是最终地址值的LSB。

RAM段起始地址RSCW<3: 0>，RSCW <15: 10>

这个不连续的10位序列定义了给定RAM段的最终地址值。前面列出的位的顺序是MSB优先：RSCW<3>是MSB，而RSCW<10>是最终地址值的LSB。

内存段无驻留位RSCW<4>

这一位设置了扫描配置文件的不停留特性。在从定义的开始到定义的结束扫描的配置文件中，RAM控制器可以停留在最终地址，直到选择下一个配置文件，或者在设置此位时，RAM控制器返回到起始地址并居住在那里，直到选择下一个配置文件。

RAM节段模式控制RSCW<7: 5>

这个3位序列决定了RAM段的操作模式。只有五种可能的RAM模式，所以只有0到4的值是有效的（见表7）。

布局注意事项

为了获得最佳性能，请遵循以下布局指南

应该观察。始终分离模拟电源

（AVDD）和数字电源（DVDD），即使只是

由两个不同的调压器驱动的共同

提供同样地，接地连接（AGND和DGND）

应该尽可能地回到源头

例如，在一个局部板上分离地平面

如果接地连接到系统中的一个公共点）。

旁路电容器应放置在尽可能靠近设备引脚的地方

做得到的通常是一种多层的旁路方案，由a组成

小型高频电容器（100 pF）放置在靠近

电源销和逐渐增大的电容器（0.1 μ F和10 μ F）

进一步回到实际的供应来源，效果最好。

详细的编程示例

单音模式

在这个例子中，部件被编程输出122 MHz单音载波，设备用20 MHz晶体振荡器时钟，时钟乘法器被用于将内部系统时钟推到400 MHz。然后将相位偏移量添加到载波中。

编程步骤包括以下内容：

- 1. 写入控制寄存器1，指示部件在相位偏移字更改并发出I/O更新时自动清除相位累加器。在CFR1寄存器中设置第13位。CFR1的地址为0，因此，发送0x00的指令字节，为数据发送0x00 00 00 20。请注意，用户必须写入寄存器的所有四个字节。
- 2. 写入控制寄存器2，将时钟倍增器值设置为20，将VCO范围位设置为其上值。在CFR2中，第7位到3位控制乘法值。要从5位得到20的乘法值，二进制值为10100。如前所述，也发送Bit 2将VCO放到它的上范围（获得400 MHz）。因此，对于数据，指令字节分别为0x01和0x00 00 A4。
- 3. 计算调音字以从400 MSPS时钟生成122 MHz输出，将其加载到FTW0中，并将写入I/O缓冲区的数据锁存到它们各自的寄存器中。频率调谐字方程变为（122 MHz/ 400 MHz） $\times 2^{32}$ ，它产生0x4E 14 7A E1。发送指令字节0x04和四个数据字节0x4E 14 7A E1字节。发出I/O更新，以将数据传输到部件中。

当需要相位变化时，计算并将相位偏移字写入零件，并发出I/O更新。例如，如果第一个值为45°，则相位偏移字为（45/360） $\times 2^{14}$ ，或十进制，2048。因此，写入一个指令字节0x05和数据字节0x0800。当发出I/O更新时，相位累加器将清除，从而从已知的0°相位启动。它再次以122 MHz的速率积累，除了现在每个样本的相移为45°。

线性扫描模式

在这个例子中，该部件被编程为产生一个从61.53 MHz到62.73 MHz的啁啾。啁啾上升在1.20 μs，啁啾下降在1.8 μs，并且啁啾被尽可能精细地线性化。因此，用户必须进行计算和编程：

- 61.53MHz（启动频率）
- FTW1，频率为62.73MHz（停止频率）
- CFR1，将零件置于线性扫描模式下
- 正线性扫描控制字（PLSCW），使其在1.20 μs内成为线性化的啁啾
- 负的线性扫描控制字（NLSCW），要制作如在1.80 μs内线性化的啁啾

最后一个例子编程时钟倍增器；因此，从400 MSPS时钟开始。FTW0是（61.53/400） $\times 2^{32}$ 或0x27611340，FTW1为（62.73/400） $\times 2^{32}$ 或0x2825AEE6。要打开线性扫描，请设置CFR1<21>。

PLSCW和NLSCW有5个字节宽：一个字节表示渐变速率，4个字节表示增量频率值。首先，计算斜坡率，并覆盖两个扫描上的1.2 MHz。斜坡速率告诉部分在每个增量值处发送多少个SYNC_CLK周期（对于SYSCLK周期）。当在每个增量频率上花费最短的时间时，实现最线性化的扫描；因此，部分在每个增量频率只花费一个SYNC_CLK周期，以确保采取最小的频率步长。对于400 MSPS的SYSCLK，结果是100 MHz SYNC_CLK速率或10 ns SYNC_CLK周期。这意味着在最好的分辨率下，在上升扫描中有120步增量（1.2 μs/10 ns），在下降扫描中有180步（1.8 μs/10 ns）。

对于上升的增量频率，计算出1.2 MHz/120步长，这意味着上升的增量频率约为10 kHz，下降的增量频率约为666.6666 Hz。线性扫描块中的逻辑确保不超过上升扫描上的FTW1或下降扫描上的FTW0。如果没有使用32位分辨率来实现精确的增量调优字，则是向上汇总，而不是向下汇总，以确保在扫描期间覆盖整个范围。要计算上升的增量频率字，只需计算（10 K/400 M） $\times 2^{32}$ = 0x0001A36F。结合上升的斜坡率、第一字节和上升的增量频率，第二个字节到第五个字节产生PLSCW：0x010001A36F。同样地，NLSCW的计算结果为0x0100001BF4。表14是要写入的指令和数据字节的汇总表。

表14. 线性扫描示例写入指令

注册	指令字节	数据字节
CFR1	0x00	0x00200000
流量0	0x04	0x27611340
流量计1	0x06	0x2825AEE6
全国人民代表大 会	0x07	0x0100001BF4
RLSCW	0x08	0x010001A36F

RAM模式

此示例将为RAM进行编程。使用AD9954上的RAM来模拟FSK数据上的高斯滤波器响应的非线性滤波器形状。首先绘制从f0到f1和从f1到f0的滤波器响应。转换时间规范（见表1）说明了从f0到f1以及从f1到f0需要多长时间，要么作为实际时间值，要么作为符号速率的一部分。这两种方法都显示了更改符号需要多长时间，对于这个应用程序，它是100 ns。要对RAM进行编程，请决定要使用多少个RAM段，为每个段编程RAM段控制字，并为每个段加载RAM数据。

因为有一个上升，但没有下降，RAM模式，所以产生两个RAM段：一个用于从F0到F1的过渡，另一个用于从F1到F0的过渡。尽可能快地通过中间频率，因为步数越快，输出频率偏离滤波器的理想频率响应就越小。AD9954最快通过RAM中的值的是SYNC_CLK速率，或SYSCLK速率的%，计算结果为10 ns，假设最大SYSCLK速率为400 MSPS。将总的100 ns的过渡时间除以每个过渡的时间，可以采取100步。中间频率通过每10 ns观察曲线上的瞬时频率并记录该值来求解。这给出了200个频率值，100表示从f0到f1的变化，100表示从f1到f0的变化。这是编程RAM所需的信息。

首先为CFR1编程，设置RAM启用位。计算并编写RSCW0和RSCW1。每个RAM段控制字具有地址斜坡率(16位)、最终地址(10位)、开始地址(10位)、模式控制值(3位)和无停留标志。尽快通过中间频率之前已经讨论过了；因此，每个单词的斜坡率是0x0000。定义RAM段0以占用从地址0到地址99的RAM空间，从而给出100个值。定义RAM段1以占用地址100到地址199（也是100个值）。查看操作选择的模式，并认识到提升模式用于逐步通过每个地址，然后在配置文件中保存最终值。因此，对于每个RSCW，模式控制位是b ‘001。因为建议保持在最后一个值，所以无停留位为0。要形成每个RSCW的数据，请合并这些值。对于RSCW0，它是0x0100630020。对于RSCW1，它是0x0100C79021。因为组成RSCW的单词不是连续的，所以在计算RSCW时必须小心。制作每个子词的图表：地址斜坡率、最终地址、起始地址、模式和无停留。为每个子字写入二进制值，然后，打印出寄存器映射的副本，将每个二进制位写入映射。当完成此操作后，就可以从映射中读取单个字节。例如，表15显示了RSCW1的出现方式。

表15. RAM模式寄存器表设置

RAM 段控制 Word No. 1 (RSCW1) (0x08)	<7:0>	RAM 第1段 模式控制 <2:0> 001	无停 留活 动0	RAM段1 开始 地址<9: 6> 0001
	<15:8>	RAM段1 开始 地址<5: 0> 100100		RAM段1 最终地址<9: 8> 00
	<23:16>	RAM段1最终地址<7: 0> 11000111		
	<31:24>	RAM段1地址斜坡率<15: 8> 00000000		
	<39:32>	RAM段1地址斜坡率<7: 0> 00010000		

在尝试将数据写入RSCW0和RSCW1之前，必须将RSCW0和RSCW1值加载到它们的寄存器中；因此，请发出I/O更新。

下一步是将每个中间频率转换为一个频率调谐字，根据

$$ftw = 2^{\frac{f_i}{SYSCLK}} \times 32$$

在哪里

f_i是所期望的中间频率。

SYSCLK是系统的时钟速率。

一旦完成，每个配置文件的结果应该是一个100个32位字的向量。要写入RAM段0，请选择配置文件0（PS0 = 0，PS1 = 0），然后写入指令字节b ‘00001011，这表示要执行RAM写入操作。串口I/O控制器识别这个并轮询配置文件选择针，从而确定配置文件0是之前输入的RSCW0中的数据的目标存储位置。它现在知道要把第一个单词放在地址0，最后一个单词放在地址99，总共有100个单词。继续将所有100个32位频率字加载到RAM中。完成后，将数据写入RAM段1。首先，更改为配置文件1（PS0 = 1，PS1 = 0），然后再次写入RAM指令字节。该设备现在知道写第一个单词在地址100，最后一个单词在地址199，并且再次知道总共有100个单词。写入RAM段1的所有100个32位单词，并发出I/O更新。每当PS0针被切换（从0到1），零件就会穿过RAM段，这是RAM编程的高斯形模式。

建议的应用电路

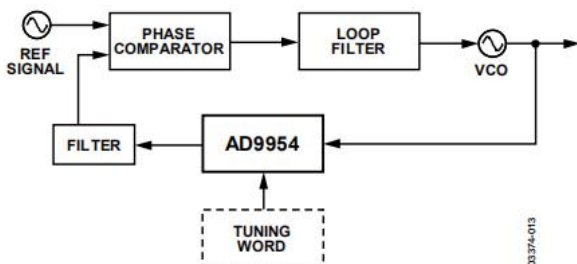
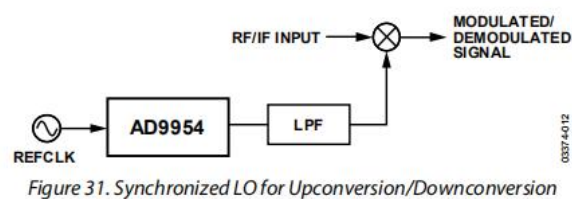


图32。PLL中的数字可编程除以N的函数

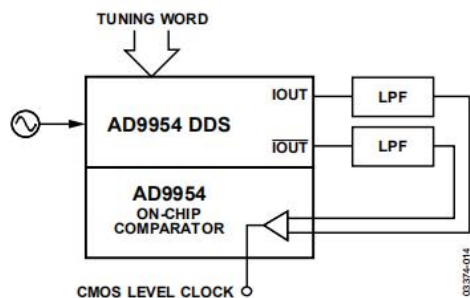


图33。频率敏捷时钟发生器

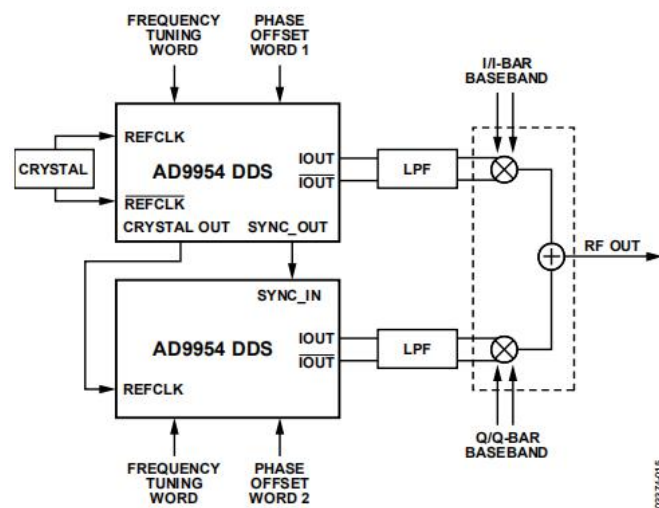


图34。两个ad9954同步为I和Q载波提供独立的相位偏移

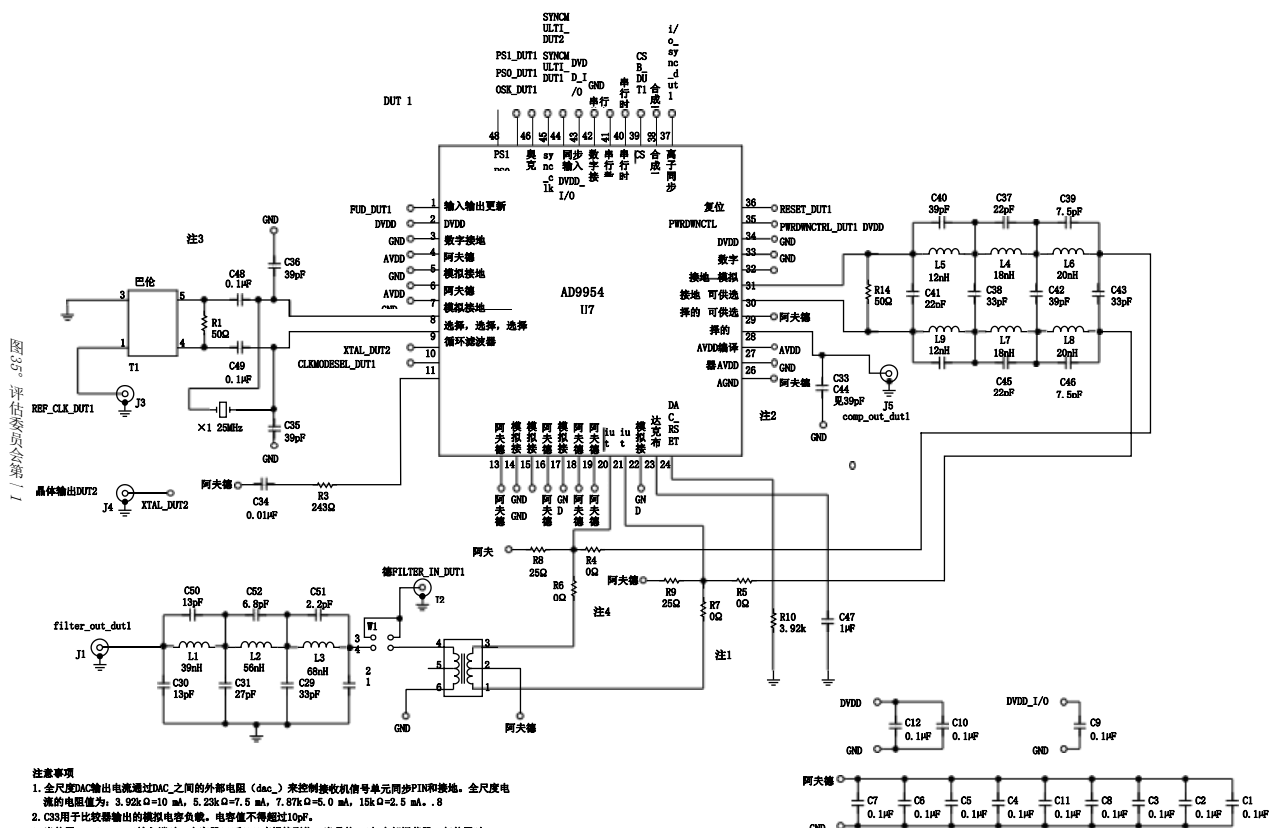
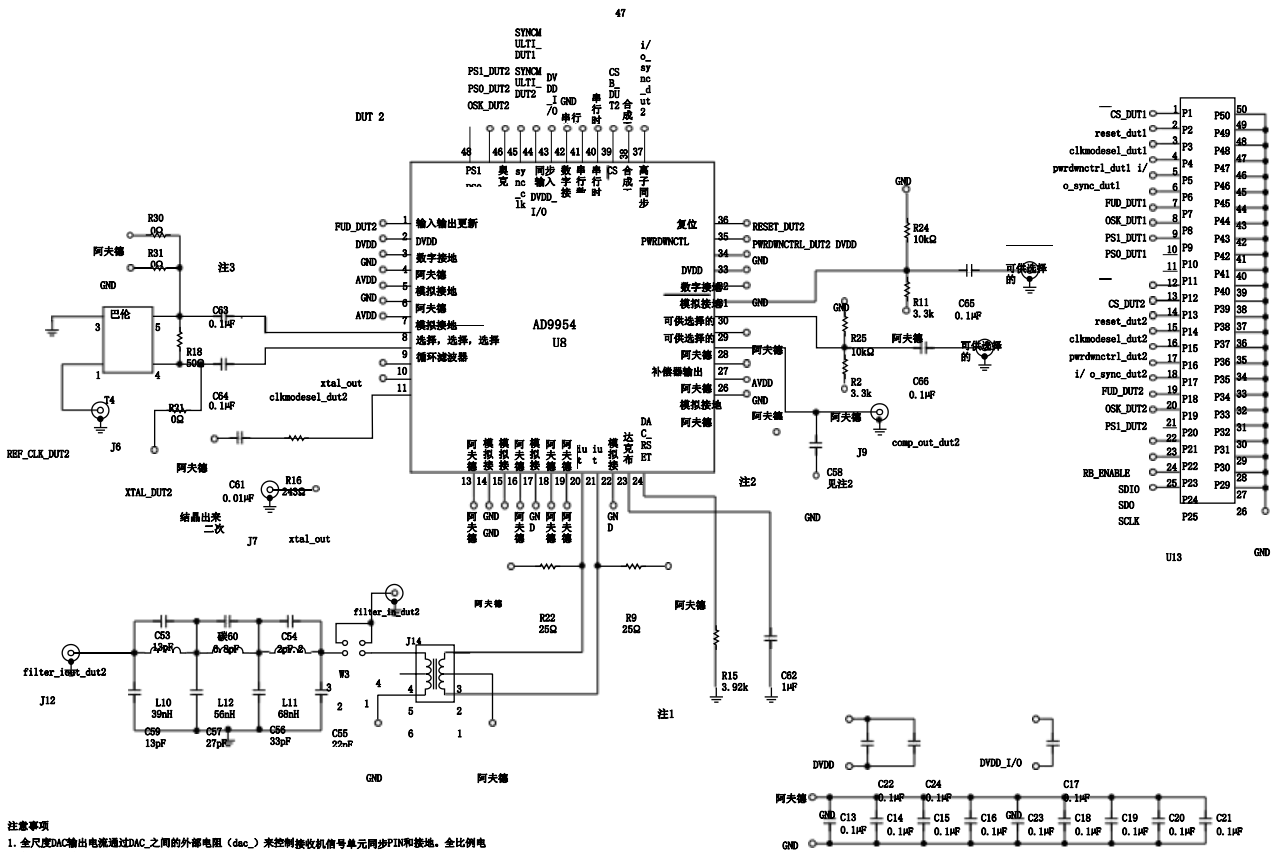


图 35 评估委员会的渠道 2



- 注意事项
1. 全尺度DAC输出电流通过DAC之间的外部电阻 (dec₂) 来控制接收机信号单元同步PIN和接地。全比例电流的电阻值为: 3.92kΩ=10 mA, 5.23kΩ=7.5 mA, 7.87kΩ=6.0 mA, 15.5kΩ=2.5 mA。
 2. C58用于模拟比较器输出的电容负载。电容值不得超过10pF。
 3. 对于晶体输出时钟操作, 删除t4, 将osc/复锁禁止到AVDD (R30) 或GND (R31) 和焊料R21到位。不要同时使用R30或R31。

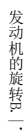


图 37. 评估板接口逻辑

