

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Кафедра электронных вычислительных машин

Дисциплина: Структурная и функциональная организация  
вычислительных машин

Лабораторная работа №1

«Освоение навыков работы в САПР Quartus 7.1»

Выполнил:

Студент группы 150503

Ходосевич М.А.

Проверил:

Воронов А.А.

Минск, 2023

## 1. Цель работы

Освоение навыков работы в САПР Quartus 7.1

## 2. Краткие теоретические сведения

Дешифратор – это комбинационная логическая схема, преобразующая поступающий на ее входы двоичный позиционный код в активный сигнал только на одном из выходов. При подаче на вход устройства двоичного кода на выходе дешифратора появится сигнал на том выходе, номер которого соответствует десятичному эквиваленту двоичного кода.

## 3. Ход работы (Вариант 8)

$$\begin{aligned} f = & (x_1 + x_2 + x_3 + x_4) * (x_1 + x_2 + x_3 + \overline{x_4}) * (x_1 + x_2 + \overline{x_3} + x_4) \\ & * (x_1 + x_2 + \overline{x_3} + \overline{x_4}) * (x_1 + \overline{x_2} + x_3 + x_4) * (x_1 + \overline{x_2} + x_3 + \overline{x_4}) \\ & * (x_1 + \overline{x_2} + \overline{x_3} + x_4) * (x_1 + \overline{x_2} + \overline{x_3} + \overline{x_4}) * (\overline{x_1} + x_2 + x_3 + x_4) \\ & * (\overline{x_1} + x_2 + x_3 + \overline{x_4}) * (\overline{x_1} + x_2 + \overline{x_3} + x_4) * (\overline{x_1} + x_2 + \overline{x_3} + \overline{x_4}) \\ & * (\overline{x_1} + \overline{x_2} + x_3 + x_4) * (\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4}) \\ & * (\overline{x_1} + \overline{x_2} + \overline{x_3} + x_4) * (\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4}) \end{aligned}$$

Схема собранного дешифратора приведена на рисунке 3.1. Результаты моделирования приведены на рисунке 3.2(входные воздействия перебирают все возможные варианты).

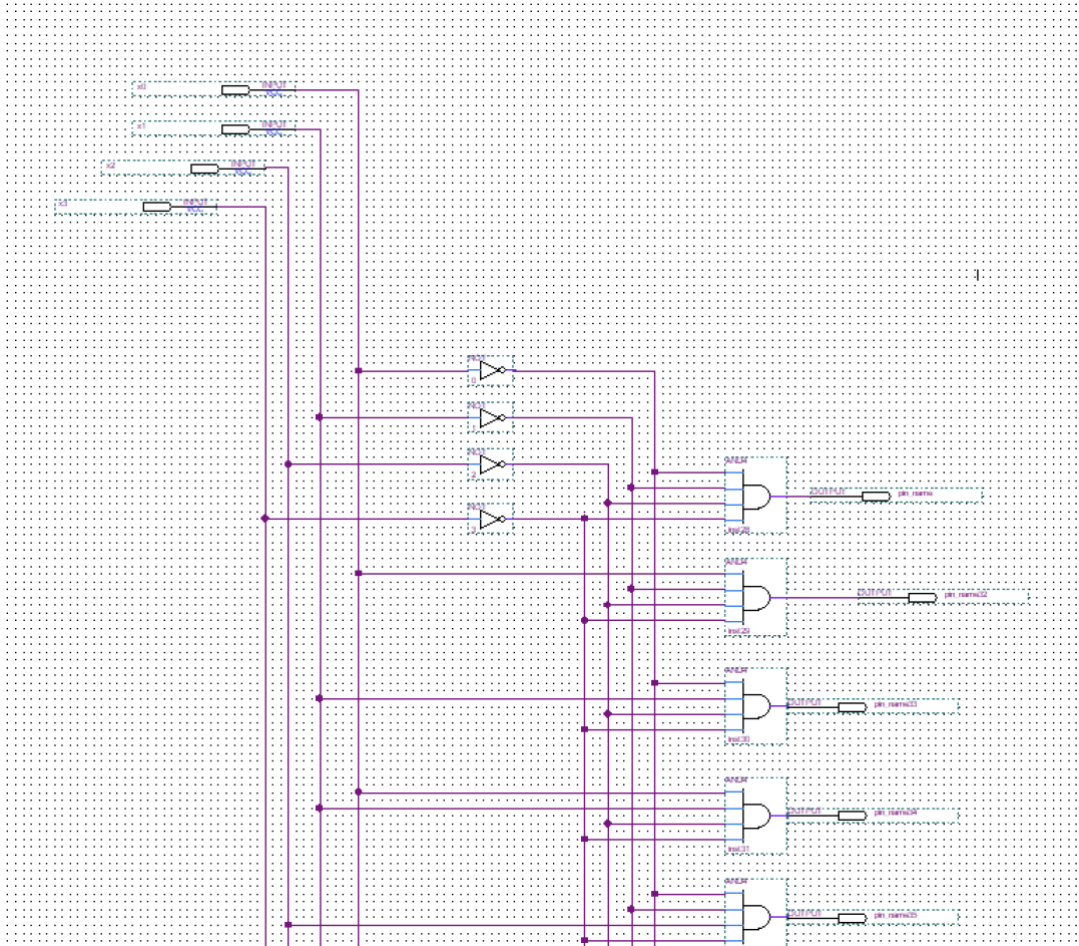


Рисунок 3.1 – Схема дешифратора

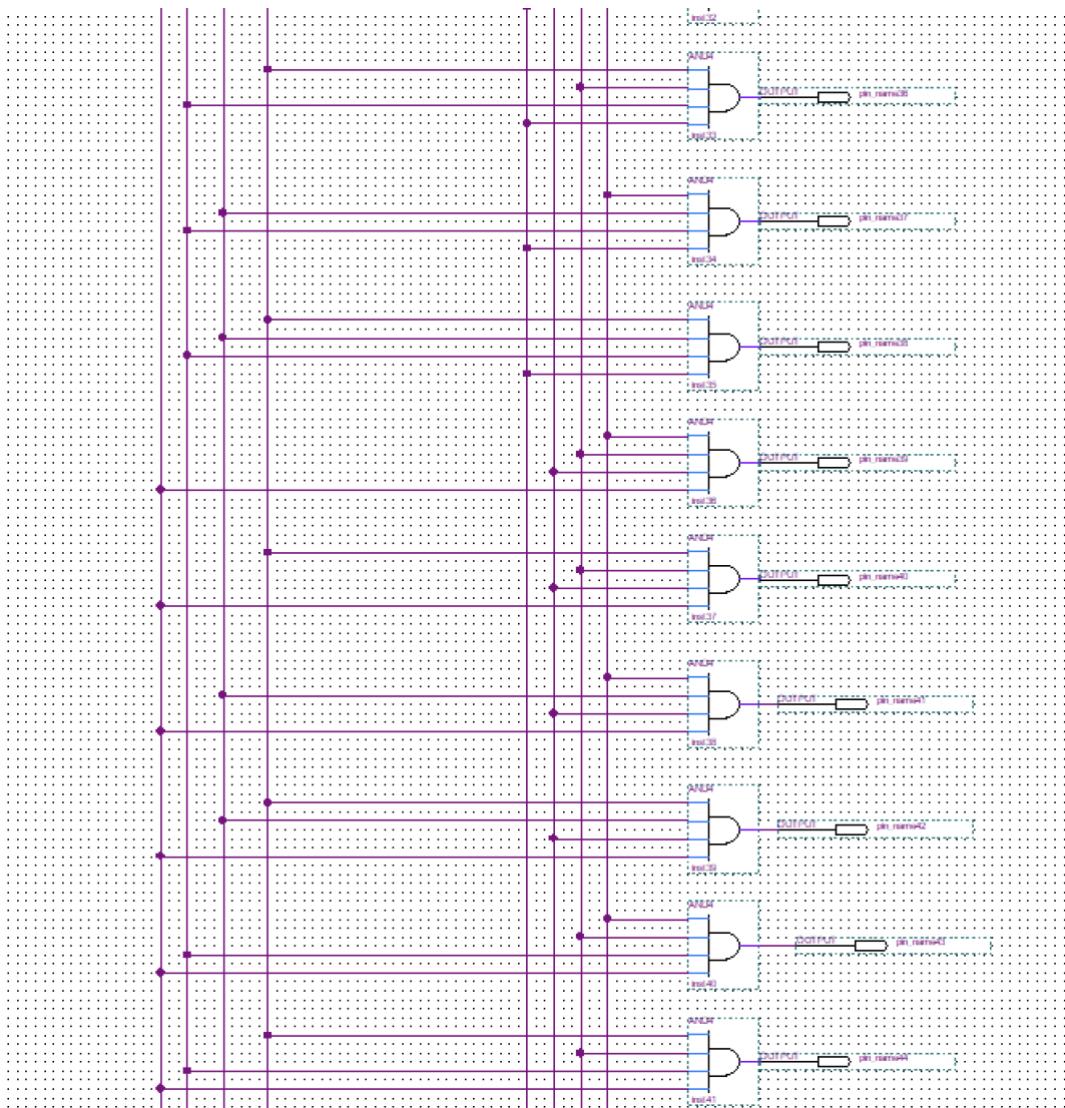


Рисунок 3.1 – Схема дешифратора(продолжение)

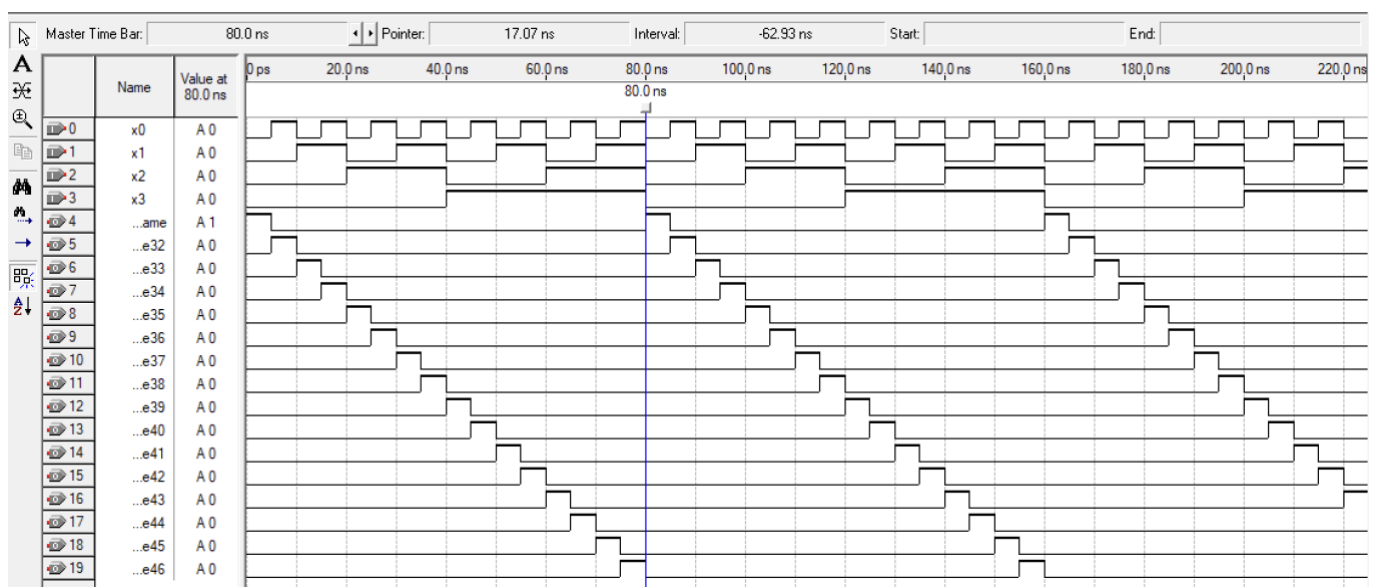


Рисунок 3.2 – Результаты промоделированной схемы

Входы				Выходы															
X1	X2	X3	X4	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

*Рисунок 3.3 – Таблица истинности дешифратора*

Из таблицы истинности (рис. 3.3) дешифратора 4 на 16 и промоделированного собранного блока видно, что схема собрана верно, так как результаты полученной временной диаграммы совпадают с таблицей истинности дешифратора.

#### 4. Вывод

Освоены базовые навыки работы в САПР Quartus 7.1