

Министерство образования Республики Беларусь

Учреждение образования

«Белорусский государственный университет информатики и радиоэлектроники»

Кафедра электронных вычислительных машин

Лабораторная работа №2

«Исследование работы шифратора, дешифратора, мультиплексора, сумматора и компаратора»

Выполнили:

Студенты группы 150503

Семков А.Д.

Ходосевич М.А.

Проверил:

Преподаватель

Тарасюк И.С.

Минск

## 1. Цель работы

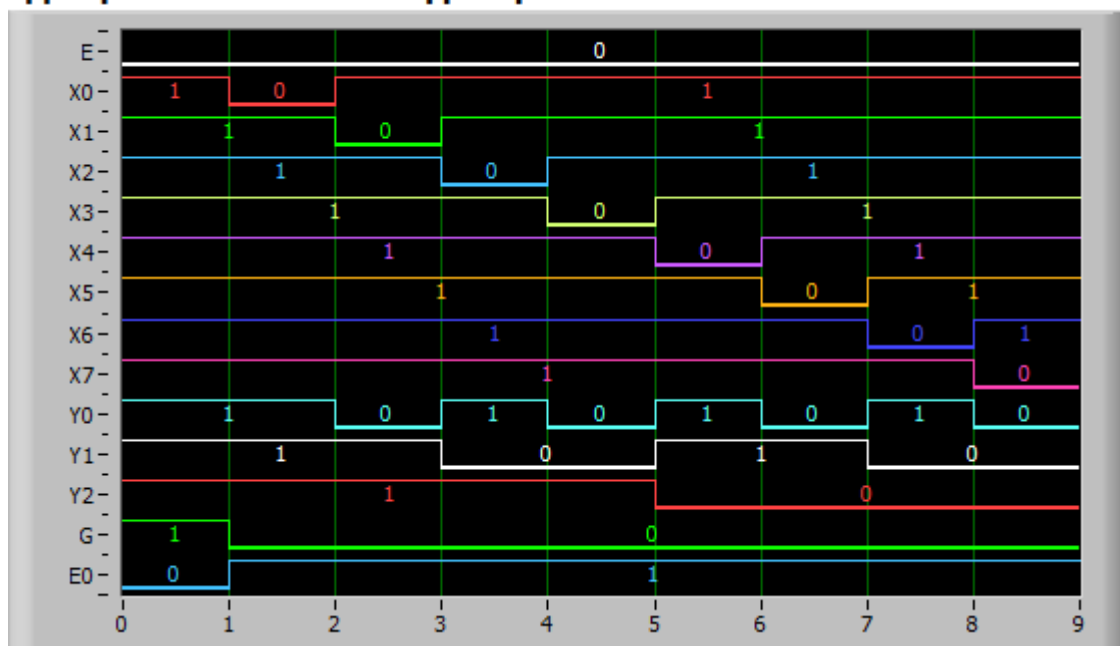
Исследование работы шифратора, дешифратора, мультиплексора, сумматора и компаратора.

## 2. Ход работы

### 1. Исследование работы шифратора

Логические состояния входов и выходов шифратора при “Е” равном нулю.

**Диаграмма состояний шифратора**

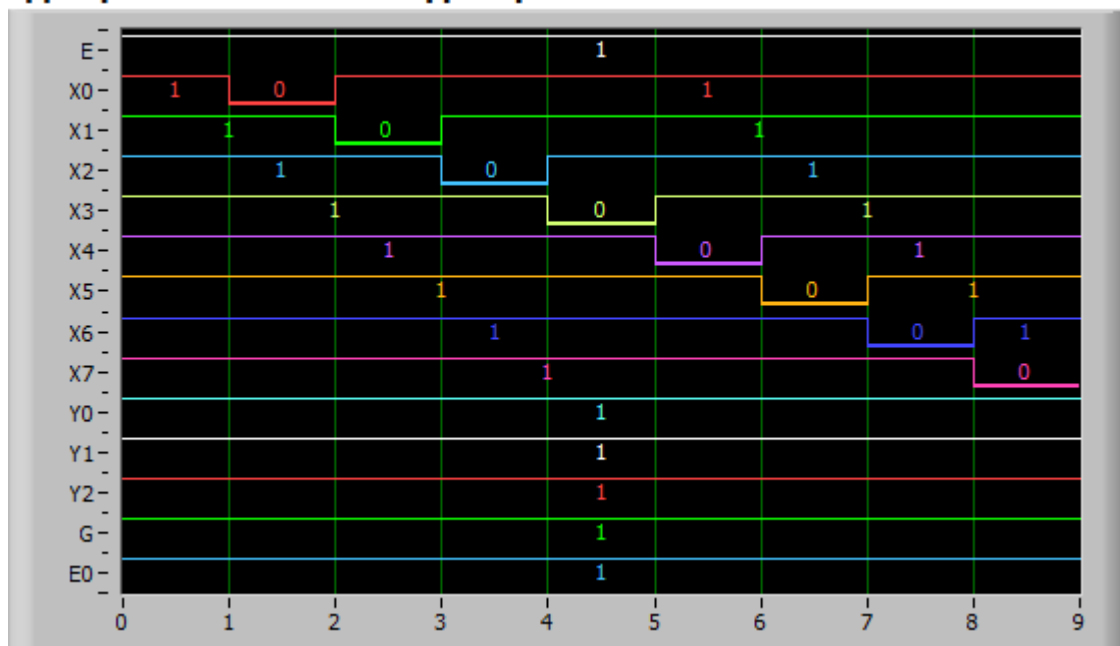


**Таблица истинности шифратора**

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шаг 2	0	1	1	1	1	1	1	1	0	1	1	1	0	1
Шаг 3	0	1	1	1	1	1	1	0	1	1	1	0	0	1
Шаг 4	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шаг 5	0	1	1	1	1	0	1	1	1	1	0	0	0	1
Шаг 6	0	1	1	1	0	1	1	1	1	0	1	1	0	1
Шаг 7	0	1	1	0	1	1	1	1	1	0	1	0	0	1
Шаг 8	0	1	0	1	1	1	1	1	1	0	0	1	0	1
Шаг 9	0	0	1	1	1	1	1	1	1	0	0	0	0	1

Логические состояния входов и выходов шифратора при “Е” равном единице.

**Диаграмма состояний шифратора**



**Таблица истинности шифратора**

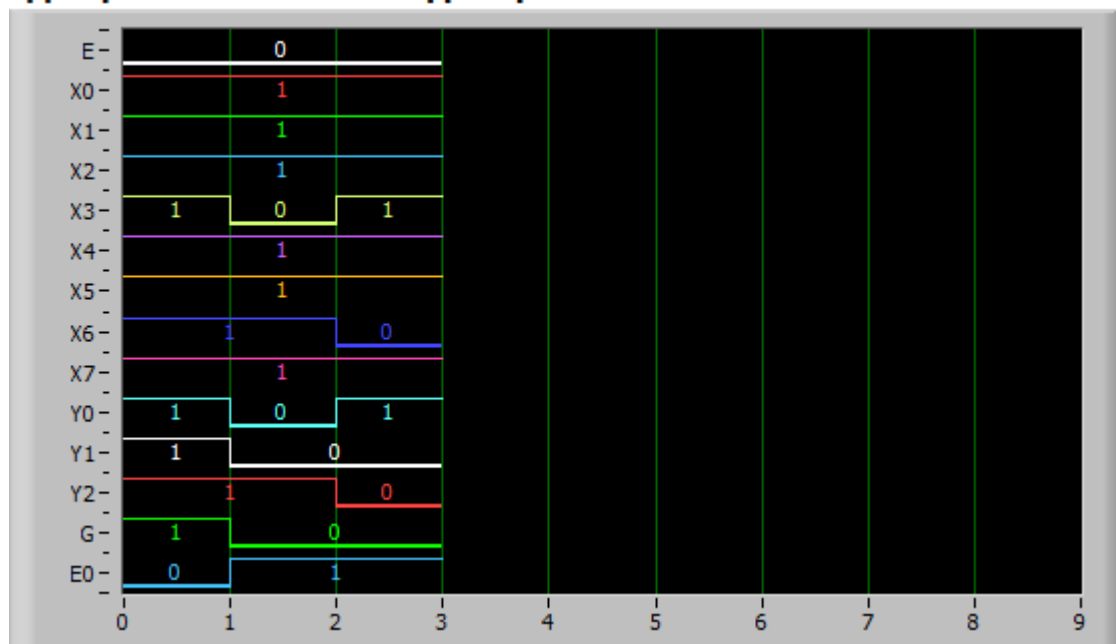
	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шаг 1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
Шаг 2	1	1	1	1	1	1	1	1	0	1	1	1	1	1
Шаг 3	1	1	1	1	1	1	1	0	1	1	1	1	1	1
Шаг 4	1	1	1	1	1	1	0	1	1	1	1	1	1	1
Шаг 5	1	1	1	1	1	0	1	1	1	1	1	1	1	1
Шаг 6	1	1	1	1	0	1	1	1	1	1	1	1	1	1
Шаг 7	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Шаг 8	1	1	0	1	1	1	1	1	1	1	1	1	1	1
Шаг 9	1	0	1	1	1	1	1	1	1	1	1	1	1	1

Т.к. при  $E=1$  на выходах шифратора получаем значение 1 (запрещает работу шифратора), то активным является логический сигнал  $E=0$ .

Активный низкий уровень на выходах  $E0$  появляется при подаче на все входы  $X^*$  логического сигнала 1. Если хотя бы один из входных сигналов  $X^*=0$ , то появляется активный низкий уровень на выходах  $G$ .

Проверка исследуемого шифратора на приоритетность.

**Диаграмма состояний шифратора**



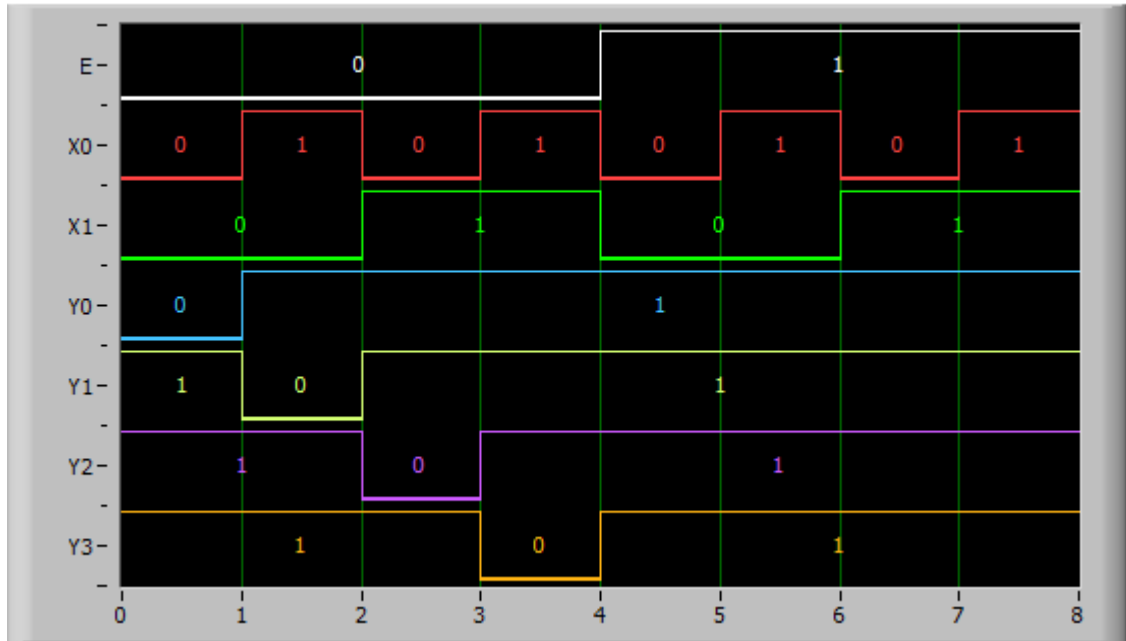
**Таблица истинности шифратора**

	E	X7	X6	X5	X4	X3	X2	X1	X0	Y2	Y1	Y0	G	E0
Шар 1	0	1	1	1	1	1	1	1	1	1	1	1	1	0
Шар 2	0	1	1	1	1	1	0	1	1	1	0	1	0	1
Шар 3	0	0	1	1	1	1	1	1	1	0	0	0	0	1
Шар 4														
Шар 5														
Шар 6														
Шар 7														
Шар 8														
Шар 9														

Работа дешифратора разрешена при подаче нуля на вход разрешения E (enable). При этом на выходах кода Y0, Y1, Y2 формируется инверсный двоичный код номера активной входной линии. При одновременном поступлении нескольких входных сигналов формируется выходной код, соответствующий входу с наибольшим номером, то есть старшие входы имеют приоритет перед младшими. Активные сигналы поданы на входы X3 и X6. Состояние инверсных выходов Y0, Y1, Y2 соответственно равны 0, 0, 1, что соответствует двоичному числу 110 (6), что указывает на то, что вход с большим порядковым номером обладает большим приоритетом. При подаче сигналов X3 и X6 приоритетным будет сигнал X6.

## 2. Исследование работы дешифратора

**Диаграмма состояний дешифратора**



**Таблица истинности дешифратора**

	E	X1	X0	Y3	Y2	Y1	Y0
Шаг 1	0	0	0	1	1	1	0
Шаг 2	0	0	1	1	1	0	1
Шаг 3	0	1	0	1	0	1	1
Шаг 4	0	1	1	0	1	1	1
Шаг 5	1	0	0	1	1	1	1
Шаг 6	1	0	1	1	1	1	1
Шаг 7	1	1	0	1	1	1	1
Шаг 8	1	1	1	1	1	1	1

У дешифраторов с прямым разрешающим входом активным уровнем является уровень логической единицы, у дешифраторов с инверсным входом - уровень логического нуля. Исследуя полученные данные, можно сказать, что активный сигнал на входе “Е” равен 0, вход инверсный.

## 3. Исследование работы мультиплексора

Логические состояния входов и выходов мультиплексора при “Е” равном нулю и единице.

### Диаграмма состояний мультиплексора

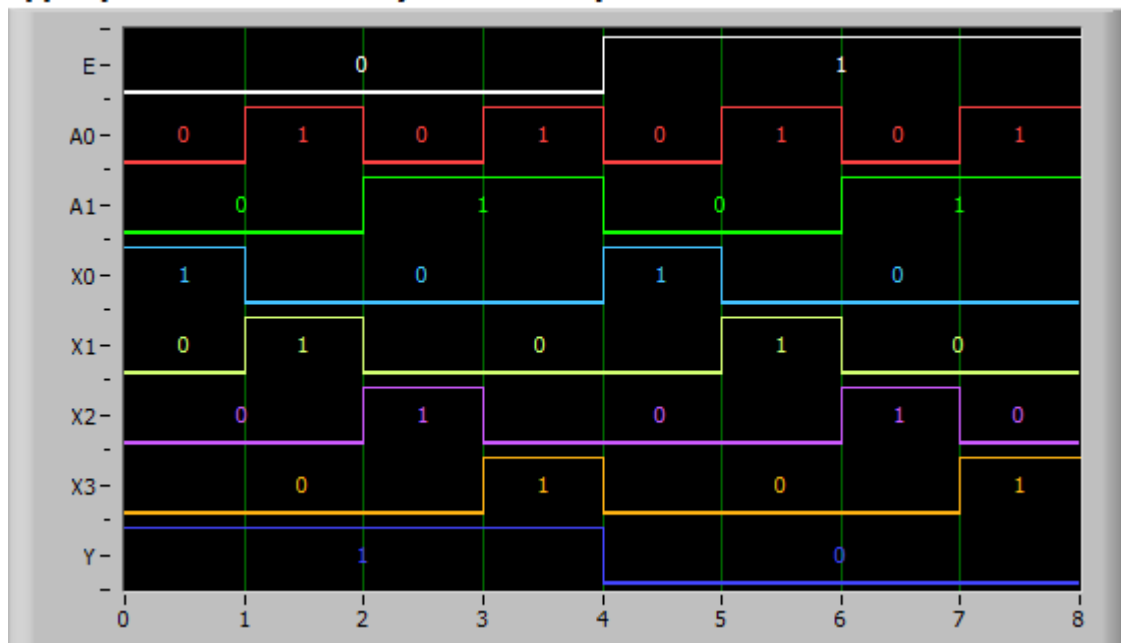


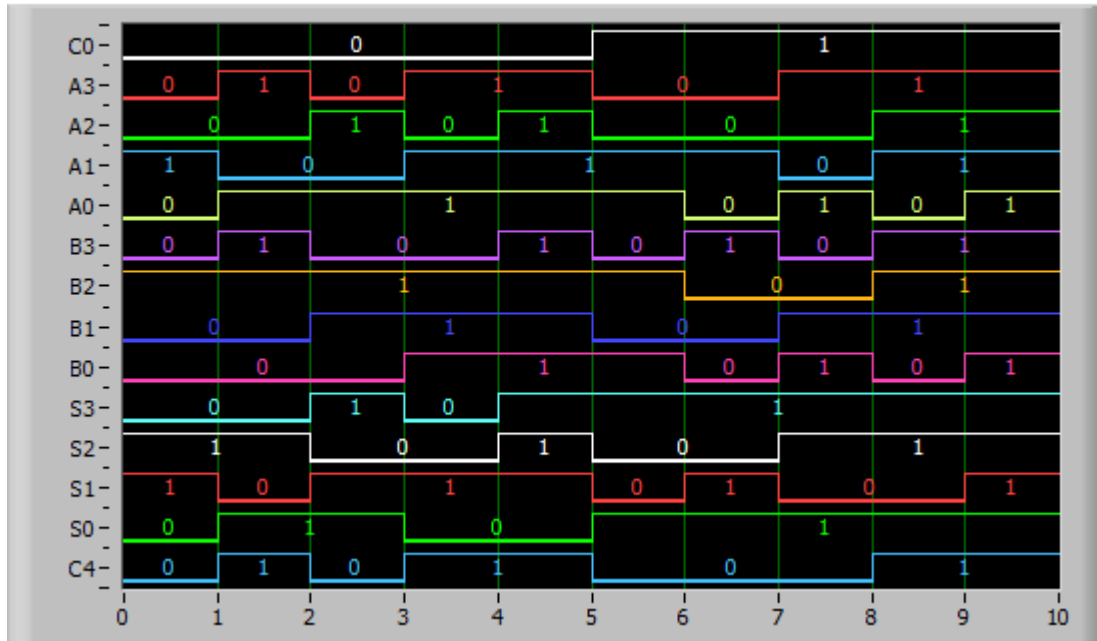
Таблица истинности мультиплексора

	E	A1	A0	X3	X2	X1	X0	Y
Шаг 1	0	0	0	0	0	0	1	= X0
Шаг 2	0	0	1	0	0	1	0	= X1
Шаг 3	0	1	0	0	1	0	0	= X2
Шаг 4	0	1	1	1	0	0	0	= X3
Шаг 5	1	0	0	0	0	0	1	--
Шаг 6	1	0	1	0	0	1	0	--
Шаг 7	1	1	0	0	1	0	0	--
Шаг 8	1	1	1	1	0	0	0	--

Если на вход разрешения подан пассивный уровень, мультиплексор перейдет в пассивное состояние. Т.к. при подаче на вход Е логического сигнала 1, мультиплексор находится в пассивном состоянии, то активным является логический сигнал  $E=0$ .

#### 4. Исследование работы сумматора

**Диаграмма состояний сумматора**



**Таблица истинности сумматора**

	C0	A3	A2	A1	A0	B3	B2	B1	B0	S3	S2	S1	S0	C4
Шар 1	0	0	0	1	0	0	1	0	0	0	1	1	0	0
Шар 2	0	1	0	0	1	1	1	0	0	0	1	0	1	1
Шар 3	0	0	1	0	1	0	1	1	0	1	0	1	1	0
Шар 4	0	1	0	1	1	0	1	1	1	0	0	1	0	1
Шар 5	0	1	1	1	1	1	1	1	1	1	1	1	0	1
Шар 6	1	0	0	1	1	0	1	0	1	1	0	0	1	0
Шар 7	1	0	0	1	0	1	0	0	0	1	0	1	1	0
Шар 8	1	1	0	0	1	0	0	1	1	1	1	0	1	0
Шар 9	1	1	1	1	0	1	1	1	0	1	1	0	1	1
Шар 10	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Полученные данные были проверены с помощью приведённого уравнения:

$$1) 0 + 2^0(0 + 0) + 2^1(1 + 0) + 2^2(0 + 1) + 2^3(0 + 0) = 2^0*0 + 2^1*1 + 2^2*1 + 2^3*0 + 2^4*0 \\ 2+4 = 2+4$$

$$2) 0 + 2^0(1 + 1) + 2^1(0 + 0) + 2^2(0 + 1) + 2^3(1 + 1) = 2^0*0 + 2^1*1 + 2^2*1 + 2^3*0 + 2^4*1 \\ 2+4+16=2+4+16$$

$$3) 0 + 2^0*1 + 2^1*1 + 2^2*2 + 2^3*1 = 2^0*1 + 2^1*1 + 2^2*0 + 2^3*1 + 2^4*0 \\ 1+2+8=1+2+8$$

$$4) 0 + 2^0*2 + 2^1*2 + 2^2*1 + 2^3*1 = 2^0*0 + 2^1*1 + 2^2*0 + 2^3*0 + 2^4*1 \\ 2+4+4+8=2+16$$

$$5) 0 + 2^0*2 + 2^1*2 + 2^2*2 + 2^3*2 = 2^0*0 + 2^1*1 + 2^2*1 + 2^3*1 + 2^4*1 \\ 2+4+8+16=2+4+8+16$$

$$6) 1 + 2^0*2 + 2^1*1 + 2^2*1 + 2^3*0 = 2^0*1 + 2^1*0 + 2^2*0 + 2^3*1 + 2^4*0 \\ 1+2+2+4=1+8$$

$$7) 1 + 2^0*0 + 2^1*1 + 2^2*0 + 2^3*1 = 2^0*1 + 2^1*1 + 2^2*0 + 2^3*1 + 2^4*0 \\ 1+2+8=1+2+8$$

$$8) 1 + 2^0*2 + 2^1*1 + 2^2*0 + 2^3*1 = 2^0*1 + 2^1*0 + 2^2*1 + 2^3*1 + 2^4*0 \\ 1+2+2+8=1+4+8$$

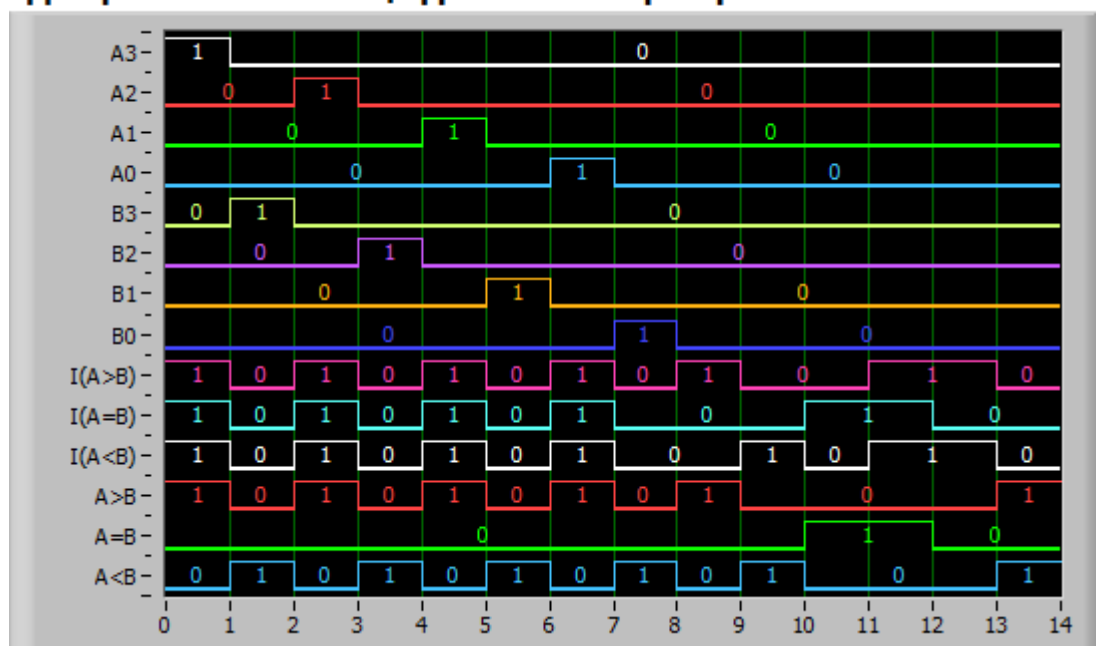
$$9) 1 + 2^0*0 + 2^1*2 + 2^2*2 + 2^3*2 = 2^0*1 + 2^1*0 + 2^2*1 + 2^3*1 + 2^4*1 \\ 1+4+8+16=1+4+8+16$$

$$10) 1 + 2^0*2 + 2^1*2 + 2^2*2 + 2^3*2 = 2^0*1 + 2^1*1 + 2^2*1 + 2^3*1 + 2^4*1 \\ 1+2+4+8+16=1+2+4+8+16$$

Результаты сложения двоичных чисел с помощью уравнения сходятся с результатом работы сумматора.

### 5. Исследование работы компаратора

**Диаграмма состояний цифрового компаратора**





**Таблица истинности цифрового компаратора**

	A3	A2	A1	A0	B3	B2	B1	B0	I(A>B)	I(A=B)	I(A<B)	A>B	A=B	A<B
Шаг 1	1	0	0	0	0	0	0	0	1	1	1	1	0	0
Шаг 2	0	0	0	0	1	0	0	0	0	0	0	0	0	1
Шаг 3	0	1	0	0	0	0	0	0	1	1	1	1	0	0
Шаг 4	0	0	0	0	0	1	0	0	0	0	0	0	0	1
Шаг 5	0	0	1	0	0	0	0	0	1	1	1	1	0	0
Шаг 6	0	0	0	0	0	0	1	0	0	0	0	0	0	1
Шаг 7	0	0	0	1	0	0	0	0	1	1	1	1	0	0
Шаг 8	0	0	0	0	0	0	0	1	0	0	0	0	0	1
Шаг 9	0	0	0	0	0	0	0	0	1	0	0	1	0	0
Шаг 10	0	0	0	0	0	0	0	0	0	0	1	0	0	1
Шаг 11	0	0	0	0	0	0	0	0	0	1	0	0	1	0
Шаг 12	0	0	0	0	0	0	0	0	1	1	1	0	1	0
Шаг 13	0	0	0	0	0	0	0	0	1	0	1	0	0	0
Шаг 14	0	0	0	0	0	0	0	0	0	0	0	1	0	1

На основе таблицы истинности можно определить, что для сравнения пятиразрядных двоичных чисел необходимы старшие 4 разряда подать на входы для сравнения и на управляющие входы подать результат сравнения младшего разряда. Выходы компаратора младших разрядов подключаются к одноимённым входам компаратора старших разрядов сравниваемых чисел. Выходами всего многоразрядного компаратора кодов являются выходы компаратора самых старших сравниваемых разрядов.

### 3. Вывод

В процессе данной работы исследовалась работа цифровых логических элементов на практике, в результате которой были получены таблицы истинности для шифратора, дешифратора, мультиплексора, сумматора, компаратора, а также их диаграммы состояний.