

Московский государственный технический университет им. Н.Э. Баумана
Факультет «Радиоэлектроника и лазерная техника (РЛ)»
Кафедра «Технология приборостроения (РЛ6)»

Домашнее задание №1
по дисциплине «Проектирование радиоэлектронных систем на ПЛИС»

Выполнил ст. группы РЛ6-71
Филимонов С.В.

Преподаватель Бурый Е. В.

Москва, 2023

Условие (Вариант номер 14)

Спроектировать двухразрядную схему сравнения логических кодов на основе элемента 2И-НЕ.

Решение:

Необходимо разработать компаратор 2х2.

Составим таблицу истинности:

b_0	b_1	a_0	a_1	$F_{a < b}$	$F_{a = b}$	$F_{a > b}$
0	0	0	0	0	1	0
0	0	0	1	0	0	1
0	0	1	0	0	0	1
0	0	1	1	0	0	1
0	1	0	0	1	0	0
0	1	0	1	0	1	0
0	1	1	0	0	0	1
0	1	1	1	0	0	1
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	1	0

На основе данной таблицы можно без труда составить логические выражения для каждого выхода и собрать по ним схему на элементах 2И-НЕ:

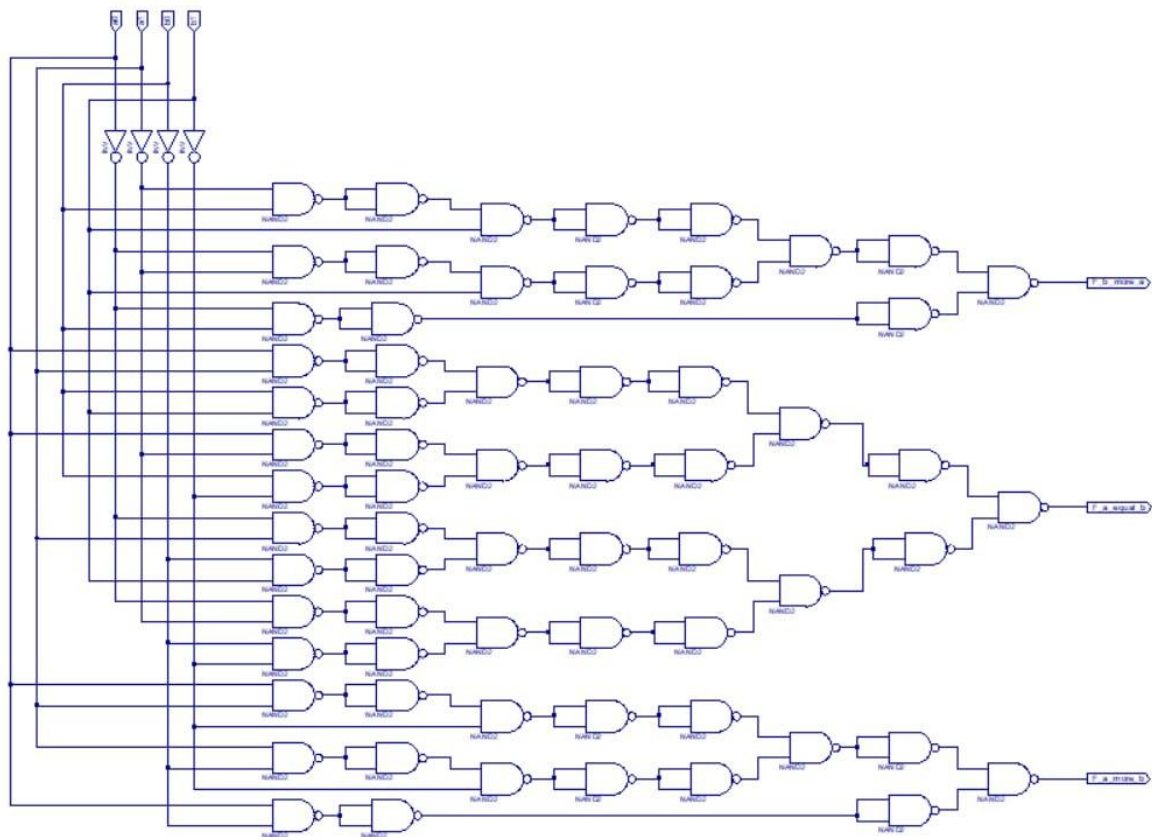


Рис.1 – Компаратор.

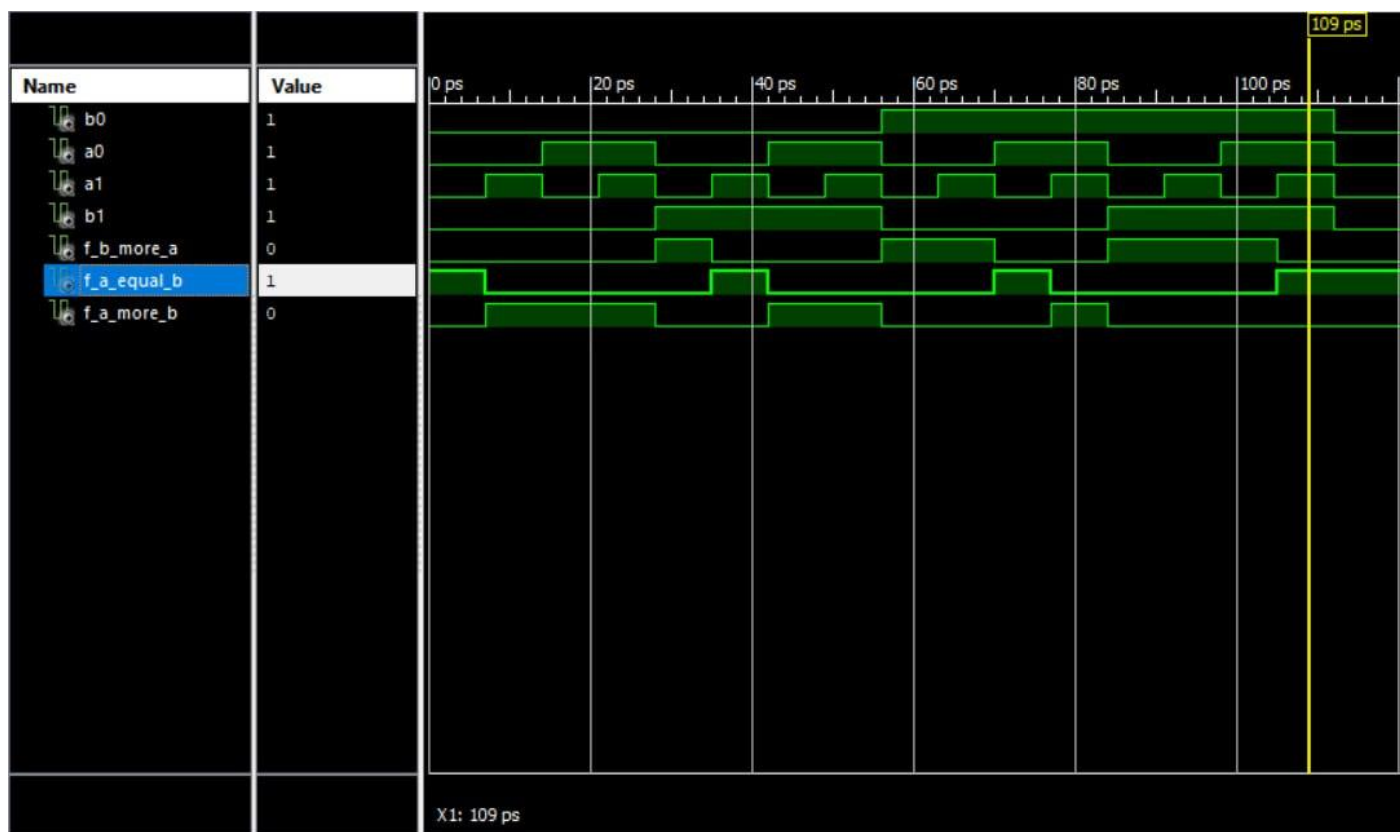


Рис. 2 – Временные диаграммы.

Временные диаграммы соответствуют таблице истинности – дешифратор работает.

Реализация на VHDL

Реализация дешифратора в виде потока данных на VHDL:

```
-- Engineer:
--
-- Create Date:      13:17:09 10/27/2023
-- Design Name:
-- Module Name:      comparator_code - Behavioral
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity comparator_code is
port(a0      : IN  std_logic;
     a1      : IN  std_logic;
     b0      : IN  std_logic;
     b1      : IN  std_logic;
     f_b_more_a  : OUT std_logic;
     f_a_equal_b : OUT std_logic;
     f_a_more_b  : OUT std_logic);
end entity comparator_code;

architecture Behavioral of comparator_code is
begin
    f_b_more_a  <= (not a0 and b0 and b1) or (not a0 and b0) or (not a0 and not a1 and
b1);
    f_a_equal_b <= (a0 and a1 and b0 and b1) or (a0 and not a1 and b0 and not b1) or (not
a0 and a1 and not b0 and b1) or (not a0 and not a1 and not b0 and not b1);
    f_a_more_b  <= (a0 and a1 and not b1) or (a0 and not b0) or (a1 and not b0 and not
b1);
end Behavioral;
```



Рис. 3 – Временная диаграмма для синтезированной схемы, описанной на VHDL.