

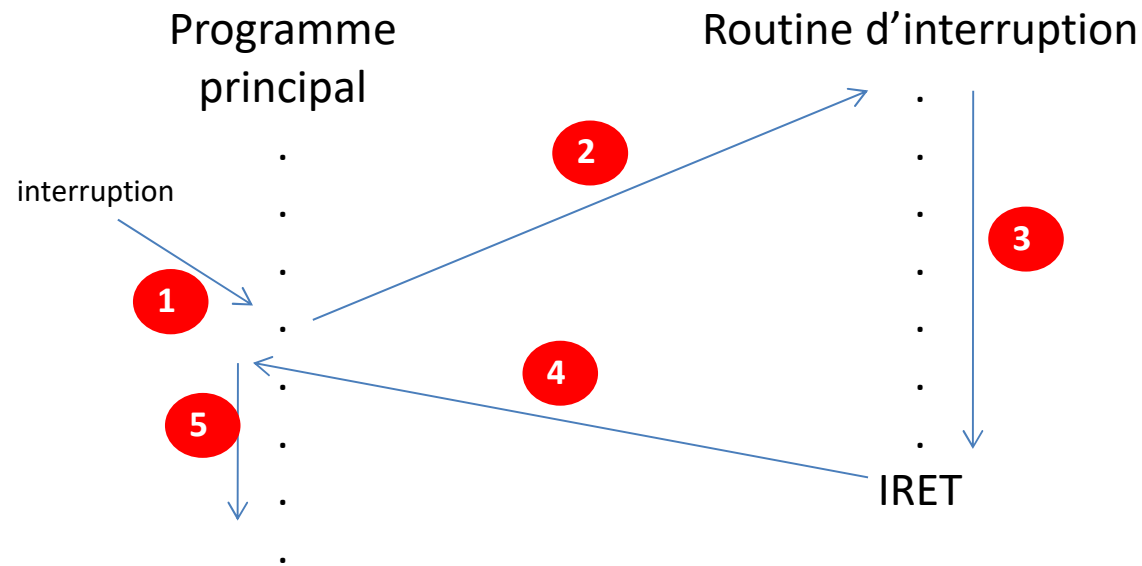
Chapitre 2

ARCHITECTURES DES ORDINATEURS II

Les interruptions

INTERRUPTION :

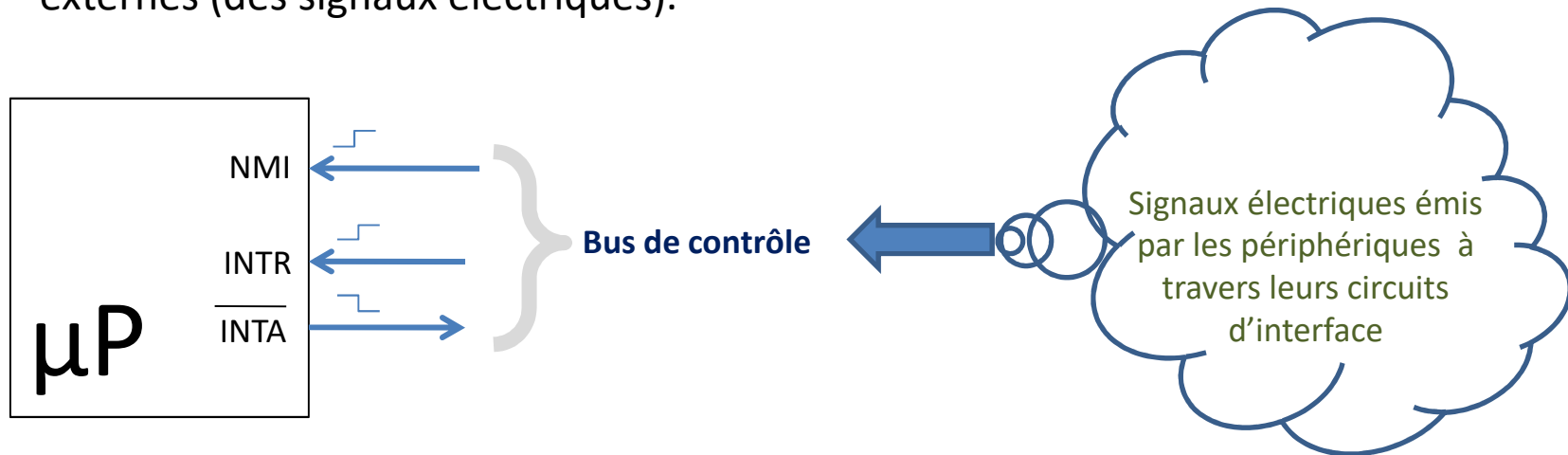
C'est un évènement (généralement) asynchrone provoquant la suspension du programme en cours d'exécution, le passage à un autre code appelé routine d'interruption (ou traitant de l'interruption) puis retour au programme suspendu. L'instruction qui permet un tel retour s'appelle IRET.



CLASSES D'INTERRUPTIONS

Il existe deux grandes classes d'interruptions: les interruption matérielles et les interruptions logicielles.

a) **Les interruptions matérielles** : elles sont provoquées par des événements externes (des signaux électriques).



NMI : Non Maskable Interrupt
Interruption non masquable
Ne dépend pas du Flag IF

INTR : (Interrupt Request)
demande d'interruption (ou requête)
Dépend du Flag IF. IF = 0 (CLI) les requêtes sont masquées, IF = 1 (STI) les requêtes sont armées

INTA : Interrupt Acknowledgment
Acquittement de la requête (ou Accusé de réception de la requête)

b) Les interruptions logicielles : elles sont provoquées par des instructions d'interruption ou par des conditions logiques.

Exemple :

Instruction d'interruption : INT 21H

Condition logique : Erreur de division par zéro

NOTE:

Pour les microprocesseurs x86 de INTEL, toutes les interruptions sont **vectorisées**.

Ceci signifie que l'adresse physique (CS:IP) de chaque traitant de l'interruption est sauvegardée dans une table système appelée:

TABLE DES VECTEURS DES INTERRUPTIONS.

TABLE DES VECTEURS DES INTERRUPTIONS

Cette table système est composée de 256 vecteurs, chacun de taille 32 bits. Dans chaque vecteur est sauvegardée l'adresse physique (CS:IP) de début d'un traitant d'interruption.

ORGANISATION DE LA TABLE DES VECTEURS DES INTERRUPTIONS

- ☐ Les 5 premiers vecteurs de cette table sont réservés par INTEL à la sortie d'usine du microprocesseur.
- ☐ Certains vecteurs des 251 vecteurs restant sont réservés par le système d'exploitation.
- ☐ Le reste sont vides et peuvent être utilisés par l'utilisateur.

STRUCTURE DE LA TABLE DES VECTEURS DES INTERRUPTIONS

	B ₁₅	B ₀	
0000 : 0000	IP ₀		Vecteur 0 : IT erreur de division par zéro
	CS ₀		
0000 : 0004	IP ₁		Vecteur 1 : IT exécution pas à pas
	CS ₁		
0000 : 0008	IP ₂		Vecteur 2 : IT NMI
	CS ₂		
0000 : 000C	IP ₃		Vecteur 3 : IT insertion point d'arrêt
	CS ₃		
0000 : 0010	IP ₄		Vecteur 4 : IT overflow
	CS ₄		
0000 : 0014	IP ₅		Vecteur 5 : IT Print Screen
	CS ₅		
	.		
	.		
	.		
	.		
0000 : 0020	IP ₈		Vecteur 8 : IT timer
	CS ₈		
0000 : 0024	IP ₉		Vecteur 9 : IT clavier
	CS ₉		
.	.		
.	.		
.	.		
.	.		
.	.		
0000 : 03fc	IP ₂₅₅		Vecteur 255
	CS ₂₅₅		

5 vecteurs réservés
à la sortie d'usine
du µP

Taille de la TVI
256 x 4 Bytes
= 1024 Bytes
= 1 K Bytes

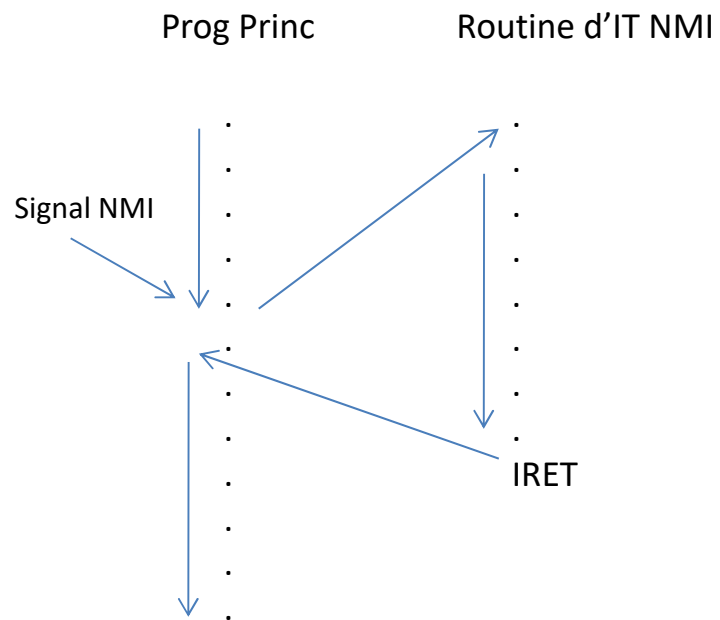
251 vecteurs,
certains sont définis
par le système
d'exploitation et
d'autres sont libres

■ Vecteurs réservés par intel

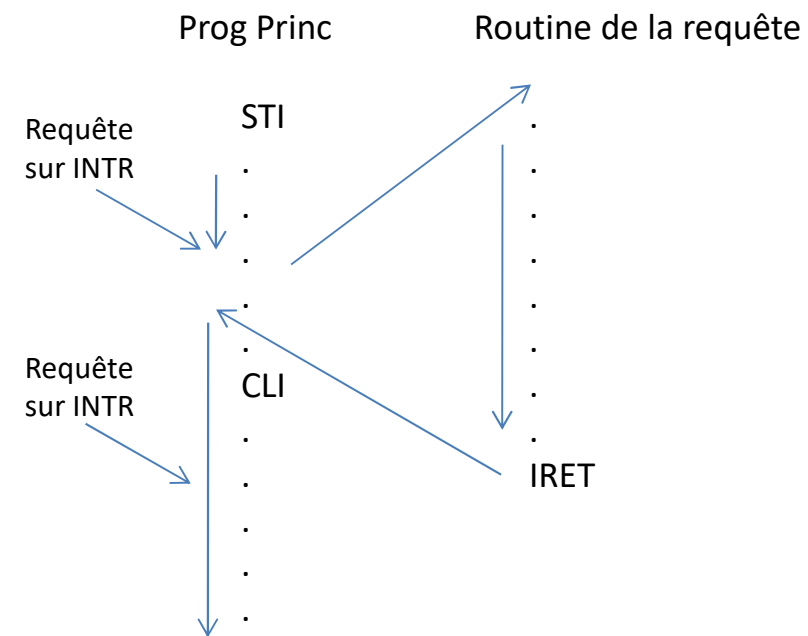
■ Vecteurs réservés par le S.E

RECAPITULATIF SUR LES INTERRUPTIONS MATERIELLES

Cas (a) : Interruption NMI



Cas (b) : Interruption INTR (requête ou demande d'interruption)



STI : positionner IF à 1 ; CLI : positionner IF à 0 IF : Interrupt Flag

INTERRUPTIONS LOGICIELLES :

RAPPEL:

Les interruptions logicielles sont provoquées par des instructions d'interruption ou suite à la présence d'une condition logique.

INTERRUPTION LOGICIELLE	SYNTAXE	ACTION
Appel à l'interruption logicielle n° N	INT N	$\begin{aligned} (SP) &\leftarrow (SP) - 2 \\ ((SP)+1:((SP)) &\leftarrow (PSW) \\ (SP) &\leftarrow (SP) - 2 \\ ((SP)+1:((SP)) &\leftarrow (CS_{\text{retour}}) \\ (SP) &\leftarrow (SP) - 2 \\ ((SP)+1:((SP)) &\leftarrow (IP_{\text{retour}}) \\ IF = 0, TF = 0 \\ (IP_{\text{routine}}) &\leftarrow (4 \times N) \\ (CS_{\text{routine}}) &\leftarrow (4 \times N + 2) \end{aligned}$
Appel à l'interruption n° 3	INT	Même chose que ci-dessus avec N = 3
Appel à l'interruption overflow	INTO	Si OF = 1 alors Même chose que ci-dessus avec N = 4 Sinon aucun effet

où N représente le numéro de l'interruption logicielle invoquée, N est sur 8 bits allant entre 00H à FFH (0 à 255)

INSTRUCTION IRET

Cette instruction permet de quitter le traitant de l'interruption et le retour au programme suspendu en allant dépiler IP_{retour} , CS_{retour} et le PSW.

Instruction de retour	SYNTAXE	ACTION
Retour du traitant de l'interruption	IRET	$(IP_{\text{retour}}) \leftarrow ((SP)+1:((SP)))$ $(SP) \leftarrow (SP) + 2$ $(CS_{\text{retour}}) \leftarrow ((SP)+1:((SP)))$ $(SP) \leftarrow (SP) + 2$ $(PSW) \leftarrow ((SP)+1:((SP)))$ $(SP) \leftarrow (SP) + 2$

APPLICATION

Soit le programme principal suivant :

```

:
0100:0350  INT 21H
:
```

Juste avant l'exécution de l'instruction
INT 21H, le μP a la configuration suivante :

```

PSW = 03D5H
SP =  0450H
SS =  0450H
```

et une partie de la mémoire centrale a le contenu
suivant:

```

0000:0082  9A
0000:0083  48
0000:0084  72
0000:0085  AC
0000:0086  D2
0000:0087  62
0000:0088  20
```

Juste à l'entrée du traitant de l'interruption, donner :
 IP_{routine} , CS_{routine} , PSW, le contenu de la pile, SS, SP.

SOLUTION :

$$\begin{aligned}IP_{\text{routine}} &= (4 \times N) \quad , N = 21H \\&= (4 \times 21H) \\&= (0000:0084) \\&= \text{AC72H}\end{aligned}$$

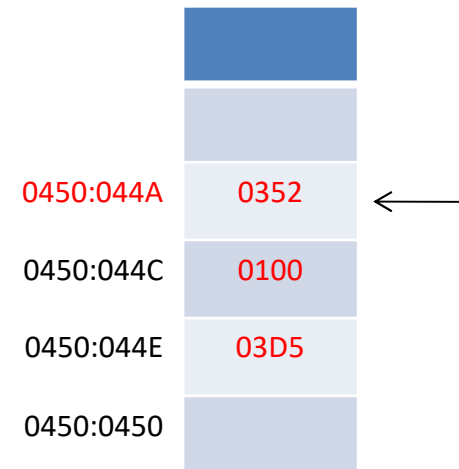
$$\begin{aligned}CS_{\text{routine}} &= (4 \times N + 2) \quad , N = 21H \\&= (4 \times 21H + 2) \\&= (0000:0086) \\&= \text{62D2H}\end{aligned}$$

Rappel de la structure du PSW:
0000 ODIT SZ0A 0POC

INT 21H force IF et TF à Zéro

Ancienne valeur du PSW avant INT 21H
PSW = 0000 0011 1101 0101B = 03D5H

PSW juste à l'entrée de la routine d'interruption
PSW = 0000 0000 1101 0101B = 00D5H



Contenu de la pile

SS = 0450H
SP = 044AH

INTERRUPTIONS MATERIELLES :

RAPPEL:

Les interruptions matérielles sont provoquées par des signaux électriques externes.

CHRONOLOGIE DES EVENEMENTS LORS D'UNE DEMANDE D'INTERRUPTION (REQUETE)

