1. 레지스터 (5개)
   1. UBRRn
   2. UDR  
      실질적인 Data가 담겨있다. FIFO 구조이다. 2중버퍼 구조라 통신 속도가 데이터 처리 속도보다 빠를 때 용이하다.
   3. UCSRnA  
      송수신 상태, 통신 모드 설정  
      비트 5를 통해 pipe lining처럼 UDR 레지스터를 최적화할 수 있다.  
      비트 4,3,2는 오류를 담당한다.
   4. UCSRnB  
      인터럽트 허가 플래그가 있다. 그리고 수신,송신허가, 문자길이, 9번째 비트를 담고 있다. 송신허가 플래그를 설정해야 GPIO가 USART 통신 용도로 사용된다.
   5. UCSRnC
2. 문자의 전송 형식 설정  
   UCSR1C, B의 UCS02비트 설정  
   UCSZ12~UCSZ10 비트 설정
3. 송수신 허가  
   UCSR1B TXEN1, RXEN1 비트 설정
   1. 인터럽트
      1. 수신 인터럽트  
         RXCIE1 비트
      2. 데이터 레지스터 준비 완료  
         UDRIE1 비트
   2. 폴링  
      UDRE1 플래그, RXC1 플래그

1. Part
   1. 클럭 발생부  
      U2Xn(UCSRA) -> 2배속 여부  
      UMSELn(UCSRC) -> 동기 여부  
      DDR\_XCK -> master/slave  
      동기모드로 동작한다면 외부 클럭을 입력 받거나 클럭을 내보낼 수 있다. 비동기 모드로 사용한다면 설정된 내부 클럭을 사용한다.
   2. 수신부  
      UDR 레지스터를 transmit shift register를 통해 직렬로 변환한다. 오류 정정 부호를 넣을 수도 있고 넣지 않을 수도 있다.
   3. 송신부  
      외부에서 입력받은 데이터는 3가지(Clock Recovery, Data Recovery, Parity Checker)로 분기된다. Parity Checker는 오류 정정 부호를 확인하고 오류가 있다면 Data Recovery가 정정한다. 그후 직렬 형태의 데이터 스트림을 UDR레지스터에 넣는다.