

## BÀI 6: THIẾT KẾ MẠCH ĐẾM (TT)

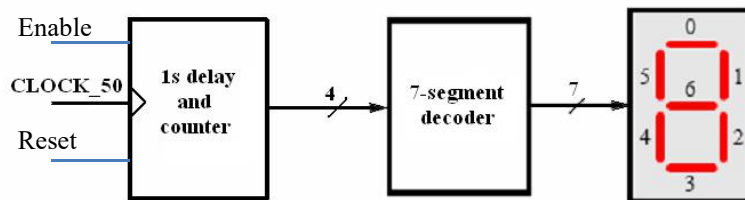
### 1. Mục tiêu bài thực hành

Bài thực hành này giúp sinh viên biết vận dụng những kiến thức về vi mạch tuần tự đã thực hiện ở những bài thực hành trước để thiết kế các mạch đếm, chữ chạy trên led 7 đoạn sử dụng bộ dao động 50MHZ tạo trì hoãn.

### 2. Yêu cầu của bài thực hành

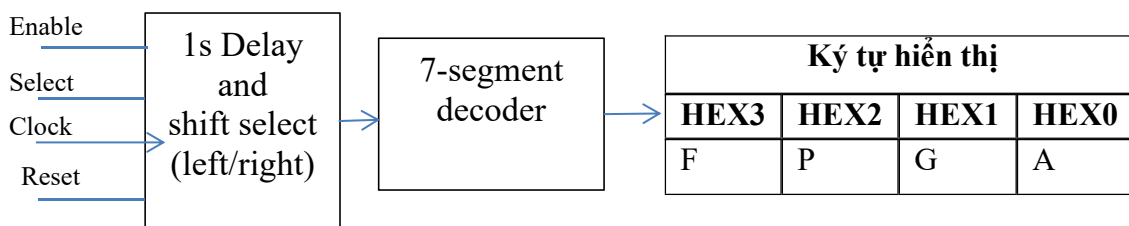
Câu 1. Thực hiện lại các câu 2, 4, 5, 6 của Bài 5 sử dụng bộ dao động 50MHZ (CLOCK\_50) tạo trì hoãn 1 giây thay cho KEY[0].

Câu 2. Viết code Verilog mô tả mạch đếm lên số thập phân từ 0 – 9 hiển thị trên led 7 đoạn HEX0 khi có tín hiệu Enable được đặt lên 1. Mỗi 1 giây tăng lên 1 đơn vị (sử dụng bộ dao động 50MHZ tạo trì hoãn 1 giây). Sử dụng KEY[0] để làm reset và SW[0] làm Enable.



Câu 3. Viết code verilog mô tả mạch dịch chuyển ký tự FPGA trên 4 led 7 đoạn từ HEX0 – HEX3. Dịch chuyển ký tự từ phải sang trái với thời gian trì hoãn là 1 giây (sử dụng bộ dao động 50MHZ).

Câu 4. Viết code verilog mô tả mạch dịch chuyển ký tự FPGA trên 4 led 7 đoạn từ HEX0 – HEX3. Khi nhấn Reset thì tắt các led. Ngược lại, khi tín hiệu Enable được đặt lên 1, nếu Select = 1 thì dịch ký tự từ phải sang trái, ngược lại Select = 0 dịch ký tự từ trái sang phải. Với thời gian trì hoãn là 1 giây (sử dụng bộ dao động 50MHZ).



Sử dụng các tín hiệu trên board DE1:

- Enable = SW[0]
- Select = SW[1]
- Clock = CLOCK\_50
- Reset = KEY[0]

Câu 5. Viết code verilog mô tả mạch đếm lên số thập phân 2 chữ số từ 00 --> 99 (sử dụng biểu thức toán học) hiển thị lên 2 led 7 đoạn: HEX0, HEX1. Khi Enable (SW[0]) được đặt lên 1 thì cứ mỗi giây tăng giá trị đếm lên 1 giá trị (sử dụng bộ dao động 50MHZ để tạo trì hoãn 1 giây). Khi nhấn Reset (KEY[0]) thì đưa bộ đếm về 00.

Câu 6: Viết code verilog mô tả mạch đếm xuống số thập phân 2 chữ số từ 99 --> 00 (sử dụng biểu thức toán học) hiển thị lên 2 led 7 đoạn: HEX0, HEX1. Khi Enable (SW[0]) được về mức 0 thì cứ mỗi giây giảm giá trị đếm đi 1 giá trị (sử dụng bộ dao động 50MHZ để tạo trì hoãn 1 giây). Khi nhấn Reset (KEY[0]) thì đưa bộ đếm về 00.

Câu 7. Kết hợp câu 5 và 6, viết code verilog mô tả mạch đếm lên và đếm xuống số thập phân từ 00 <--> 99.

- Nếu SW[0]=1 chọn mạch đếm lên, ngược lại SW[0]=0 mạch đếm xuống.
- Mỗi 1 giây tăng/giảm giá trị đếm lên/xuống 1 giá trị (sử dụng bộ dao động 50MHZ để tạo trì hoãn 1 giây).
- Hiển thị trên 2 led 7 đoạn HEX0 và HEX1.

Câu 8. Viết code verilog mô tả mạch đếm lên số thập phân 3 chữ số từ 000 --> 999 (sử dụng biểu thức toán học) hiển thị lên 3 led 7 đoạn: HEX0, HEX1, HEX2. Mỗi giây tăng giá trị đếm lên 1 giá trị (sử dụng bộ dao động 50MHZ để tạo trì hoãn 1 giây). Khi nhấn Reset (KEY[0]) thì đưa bộ đếm về 000.