

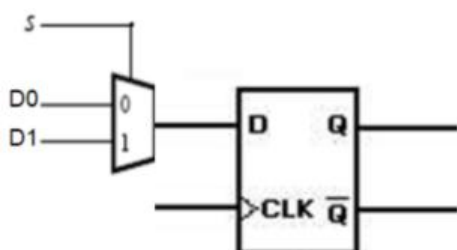
BÀI 4: THIẾT KẾ FLIP FLOP VÀ THANH GHI (TT)

1. Mục tiêu bài thực hành

Trong bài thực hành này sinh viên sẽ đi thiết kế các vi mạch tuần tự như: FlipFlop, thanh ghi (register) dịch. Sau đó trong từng câu ta sẽ tạo ra các module verilog để thực hiện các mạch này và kiểm tra trực tiếp trên board DE1.

2. Yêu cầu của bài thực hành

Câu 1. Viết code Verilog mô tả mạch Flip-Flop D với Mux 2:1 ở ngõ vào D 1bit như sau:



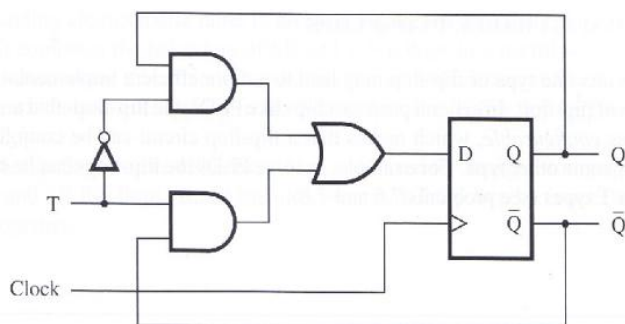
Kiểm tra mạch trên Board DE1 bằng cách sử dụng các tín hiệu:

- SW[0] = D0
- SW[1] = D1
- SW[2] = s
- LEDR[0] = Q

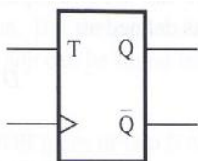
Câu 2. Mở rộng câu 1, viết code Verilog mô tả mạch Flip-Flop D với Mux 2:1 ở ngõ vào D 4bits. Kiểm tra mạch trên Board DE1 bằng cách sử dụng các tín hiệu:

- SW[3:0] = D0
- SW[7:4] = D1
- SW[8] = s
- LEDR[3:0] = Q

Câu 3. Viết code Verilog mô tả mạch Flip-Flop T như sau:



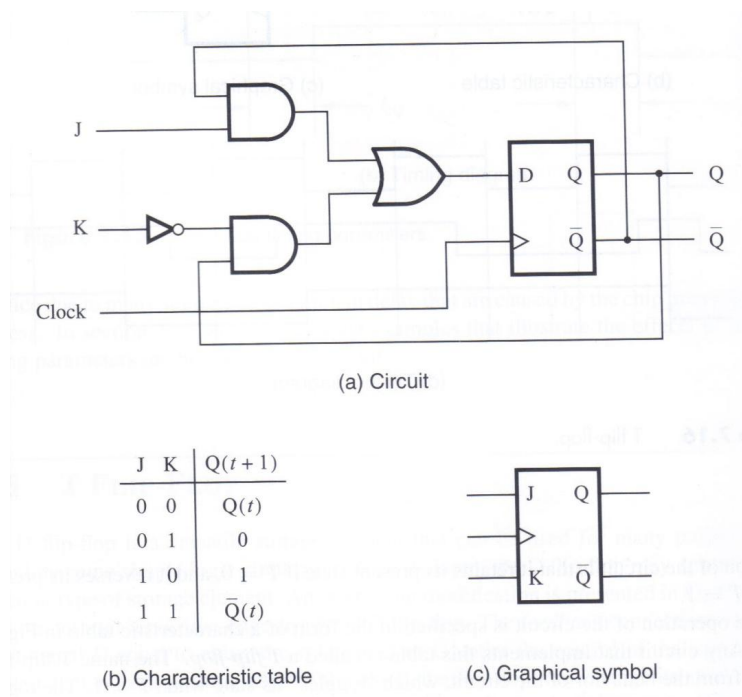
T	$Q(t+1)$
0	$Q(t)$
1	$\bar{Q}(t)$



Kiểm tra mạch Flip-Flop T trên Board DE1 bằng cách sử dụng các tín hiệu:

- SW[0] = T
- KEY[0] = Clk
- LEDR[0] = Q

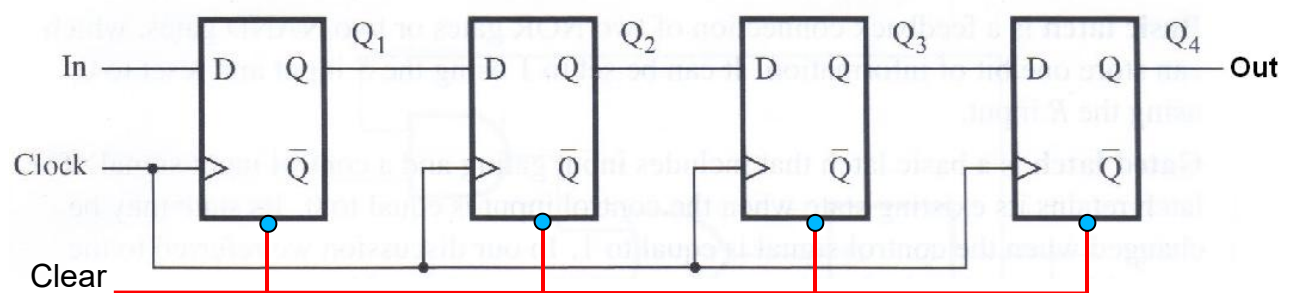
Câu 4. Viết code Verilog mô tả mạch Flip-Flop JK như sau:



Kiểm tra mạch Flip-Flop JK trên Board DE1 bằng cách sử dụng các tín hiệu:

- SW[0] = J
- SW[1] = K
- KEY[0] = Clk
- LEDR[0] = Q

Câu 5. Thiết kế mạch thanh ghi dịch như sau:



Sử dụng: SW[0] là tín hiệu vào In;
 KEY[0] làm Clock;
 KEY[1] làm Clear;
 LEDR[3:0] hiển thị giá trị của Q[4:1]