

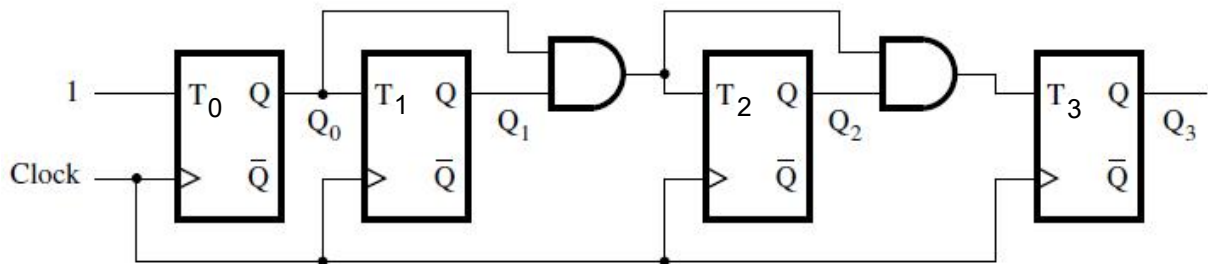
BÀI 5: THIẾT KẾ MẠCH ĐẾM

1. Mục tiêu bài thực hành

Bài thực hành này giúp sinh viên biết vận dụng những kiến thức về vi mạch tuần tự đã thực hiện ở những bài thực hành trước như FlipFlop T và sử dụng biểu thức toán học thay cho FlipFlop T để thiết kế các mạch đếm.

2. Yêu cầu của bài thực hành

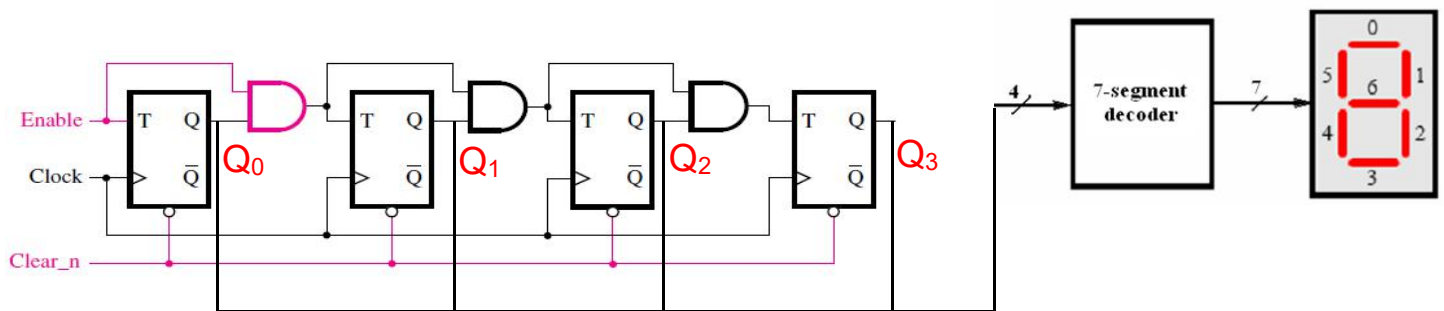
Câu 1. Viết code verilog mô tả mạch đếm lên đồng bộ 4 bit sử dụng FlipFlop T. Bộ đếm sẽ hoạt động tại mỗi cạnh lên của xung clock, ngõ vào T_0 luôn được đặt ở mức cao. Sử dụng led 7 đoạn để hiển thị kết quả bộ đếm lên từ 0 -> F.



Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu ngõ vào T_0
- KEY[0] làm tín hiệu xung clock
- HEX0 hiển thị kết quả của bộ đếm lên từ 0 -> F

Câu 2: Viết code verilog mô tả mạch đếm lên đồng bộ 4 bit sử dụng FlipFlop T. Bộ đếm sẽ hoạt động tại mỗi cạnh lên của xung clock khi tín hiệu cho phép (enable) được đặt lên mức cao. Sử dụng tín hiệu Clear để trả bộ đếm về 0. Sử dụng led 7 đoạn để hiển thị kết quả bộ đếm lên từ 0 -> F.



Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu Enable (hay T_0).
- KEY[0] làm tín hiệu xung clock, KEY[1] làm tín hiệu clear bộ đếm về 0.
- HEX0 hiển thị kết quả của bộ đếm lên từ 0 -> F

Câu 3. Mở rộng từ câu 2, viết code verilog mô tả mạch đếm lên đồng bộ 8 bit sử dụng FlipFlop T.

Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu Enable (hay T_0).
- KEY[0] làm tín hiệu xung clock, KEY[1] làm tín hiệu clear bộ đếm về 0.
- HEX1, HEX0 hiển thị kết quả của bộ đếm lên từ 00 -> FF

Câu 4. Viết code verilog mô tả mạch đếm xuống đồng bộ 4 bit sử dụng FlipFlop T. Bộ đếm sẽ hoạt động tại mỗi cạnh lên của xung clock khi tín hiệu cho phép (enable) được đặt lên mức cao. Sử dụng tín hiệu Clear để trả bộ đếm về 0. Sử dụng led 7 đoạn để hiển thị kết quả bộ đếm xuống từ F -> 0.

Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu Enable (hay T₀).
- KEY[0] làm tín hiệu xung clock, KEY[1] làm tín hiệu clear bộ đếm về 0.
- HEX0 hiển thị kết quả của bộ đếm xuống từ F -> 0

Câu 5. Viết code verilog mô tả mạch đếm lên 4 bit (tương tự câu 2) sử dụng biểu thức toán học thay cho FlipFlop T.

Câu 6. Viết code verilog mô tả mạch đếm xuống 4 bit (tương tự câu 4) sử dụng biểu thức toán học thay cho FlipFlop T.

Câu 7. Viết code verilog mô tả mạch đếm lên/xuống 4 bit sử dụng biểu thức toán học, cho phép chọn chức năng mạch đếm (dùng biến Select). Nếu Select = 1 thì mạch đếm lên, ngược lại (Select = 0) thì mạch đếm xuống.

Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu Enable.
- SW[1] làm tín hiệu Select.
- KEY[0] làm tín hiệu xung clock, KEY[1] làm tín hiệu clear bộ đếm về 0.
- HEX0 hiển thị kết quả của bộ đếm xuống từ 0 <-> F

Câu 8. Mở rộng từ câu 7, viết code verilog mô tả mạch đếm lên/xuống đồng bộ 8 bit sử dụng biểu thức toán học.

Yêu cầu sử dụng các tín hiệu trên board như sau:

- SW[0] làm tín hiệu Enable.
- SW[1] làm tín hiệu Select.
- KEY[0] làm tín hiệu xung clock, KEY[1] làm tín hiệu clear bộ đếm về 0.
- HEX1, HEX0 hiển thị kết quả của bộ đếm lên từ 00 <--> FF