



廣東工業大學

GUANGDONG UNIVERSITY OF TECHNOLOGY

FPGA 课程设计报告

《基于 FPGA 的数字系统设计》

姓 名： 阿 Q

学 号： 12345678

专 业： 微电子科学与工程

班 级： 微电子 X 班

队 名： 量子摸鱼科技

指导老师： 周贤中



集成电路学院

2025 年 6 月 9 日

摘要

本文介绍了基于 FPGA 的数字系统设计课程项目。利用 Verilog HDL 硬件描述语言，设计并实现了一个多功能数字时钟系统。系统包含时间显示、闹钟功能、秒表计时等模块，通过 Xilinx Vivado 工具进行综合与实现，并在 Basys3 开发板上完成验证。项目展示了 FPGA 在数字系统设计中的灵活性和高效性。

关键词：FPGA; Verilog; 数字时钟; 数字系统设计

目录

1	摘要	1
2	项目介绍	2
2.1	项目背景	2
2.2	项目目标	2
3	项目设计与实现	3
3.1	硬件设计	3
3.1.1	text	3
3.1.2	text	3
3.1.3	text	3
3.1.4	text	3
3.1.5	text	3
3.1.6	text	3
3.2	软件设计	3
3.2.1	text	3
3.2.2	text	3
3.2.3	text	4
3.3	代码介绍	5
3.3.1	初始化和配置	5
3.3.2	主功能实现	5
3.3.3	特定条件响应	5
3.3.4	循环体结构	5
3.4	技术实现细节	5

3.4.1	text	5
3.4.2	text	6
3.4.3	text	6
4	功能展示	7
4.1	功能描述	7
4.1.1	text	7
4.1.2	text	7
4.2	演示结果	7
4.2.1	text	7
4.2.2	text	7
5	物料与成本	9
5.1	物料清单	9
5.2	项目成本	9
5.3	损耗与损坏	9
5.4	主要物料图片展示	9
6	个人贡献	11
6.1	报告撰写	11
6.2	编码工作	11
6.3	硬件连接	11
6.4	资本投入	11
6.5	开发问题描述与解决方案	11
6.5.1	text	11
6.5.2	text	11
6.5.3	text	12
6.5.4	text	12
7	项目成果与反思	13
7.1	成果展示	13
7.2	项目评估	13
7.2.1	成功之处	13
7.2.2	不足之处	13

7.3 个人反思	14
8 附录	15
8.1 完整代码附录	15
9 参考资料、文献	15
A 设计图纸	16
B 代码清单	16
参考文献	16

1 摘要

text

2 项目介绍

2.1 项目背景

text

2.2 项目目标

text

- text
- text
- text
- text

3 项目设计与实现

3.1 硬件设计

3.1.1 text

text

3.1.2 text

text

3.1.3 text

text

3.1.4 text

text

3.1.5 text

text text

3.1.6 text

text

3.2 软件设计

3.2.1 text

text

3.2.2 text

text

3.2.3 text

text

[illegible]

3.3 代码介绍

text

3.3.1 初始化和配置

- text (text()):
- text (text()):
- text (text(), text()):

3.3.2 主功能实现

- text(text()):
- text (text(), text()):
 - flowlight1():
 - flowlight2():
- text
 - text
 - text
 - text

3.3.3 特定条件响应

- text

3.3.4 循环体结构

- text

3.4 技术实现细节

3.4.1 text

text

3.4.2 text

text

3.4.3 text

text

4 功能展示

4.1 功能描述

text

4.1.1 text

- text
- text

4.1.2 text

- text
- text

4.2 演示结果

4.2.1 text

- text
- text

4.2.2 text

- text



图 1 text



图 2 text

5 物料与成本

5.1 物料清单

物料名称	数量	价格	用途
text	text	text	text
text	text	text	text
text	text	text	text
text	text	text	text
text	text	text	text
text	text	text	text
text	text	text	text
text	text	text	text

5.2 项目成本

项目名称	text	text
材料成本	text	text
工具和设备	text	text
其他费用	text	text

- 总成本预计:text

5.3 损耗与损坏

text

5.4 主要物料图片展示



图 3 text



图 4 text



图 5 text



图 6 text



图 7 text

6 个人贡献

6.1 报告撰写

text

6.2 编码工作

- text
- text
- text

6.3 硬件连接

- text
- text

6.4 资本投入

text

6.5 开发问题描述与解决方案

text

6.5.1 text

- text
- text

6.5.2 text

- text
- text

6.5.3 text

- text
- text

6.5.4 text

- 问题描述: text
- 解决方法: text

7 项目成果与反思

7.1 成果展示

text



图 8 成果演示

7.2 项目评估

7.2.1 成功之处

- text
- text
- text1

7.2.2 不足之处

- text

- text

7.3 个人反思

text

- text
- text
- text

8 附录

8.1 完整代码附录

注：个人代码贡献标注于 6.1 编码工作

示例

```
1      module FS_P(A,B,Ci,D,Co);
2          output D;
3          output Co;
4          input A;
5          input B;
6          input Ci;
7
8          assign D=A^B^Ci;
9          assign Co=~A&B|~A&Ci|B&Ci; //这里是注释
10
11      endmodule
```

9 参考资料、文献

text

A 设计图纸

电路原理图

完整电路原理图见附件。

B 代码清单

完整 Verilog 源代码见随附文件。

参考文献

- [1] 王金明. 数字系统设计与 Verilog HDL(第 7 版). 电子工业出版社, 2019.
- [2] Xilinx. Basys3 FPGA Board Reference Manual, 2021.
- [3] Chu, Pong P. FPGA Prototyping by Verilog Examples. Wiley, 2008.