

به نام خدا

Odd-Day Team

پروژه درس معماری کامپیوتر

فاز دوم

اعضای تیم:

آرش توانگر

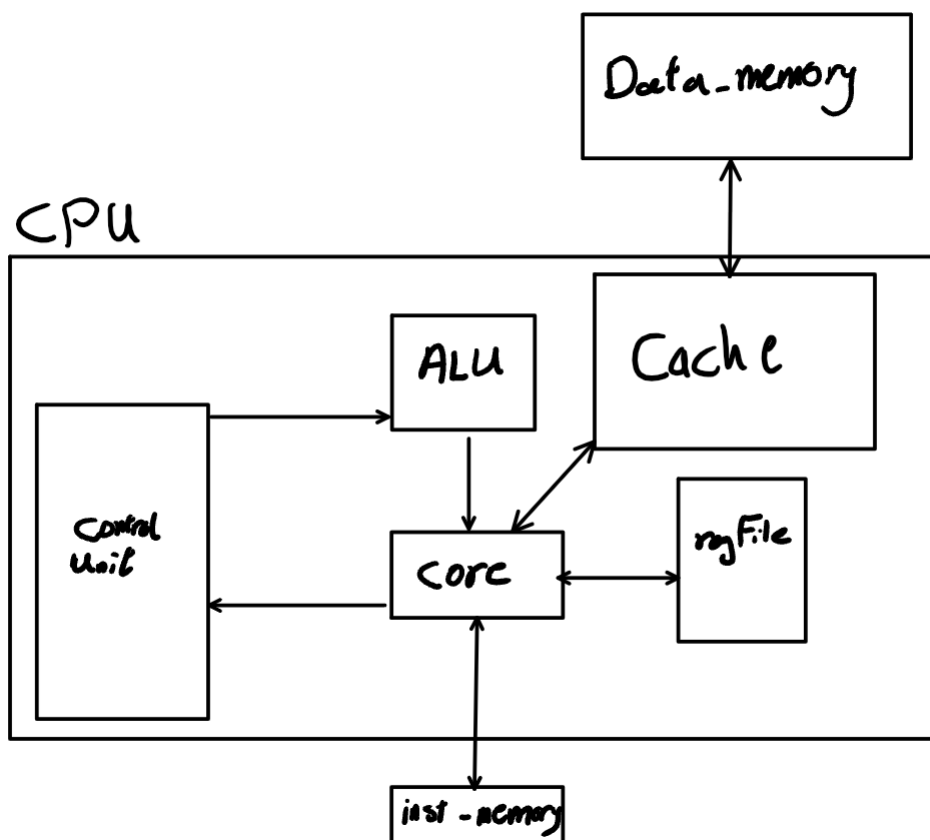
کیان عمومی

علیرضا مرادیان

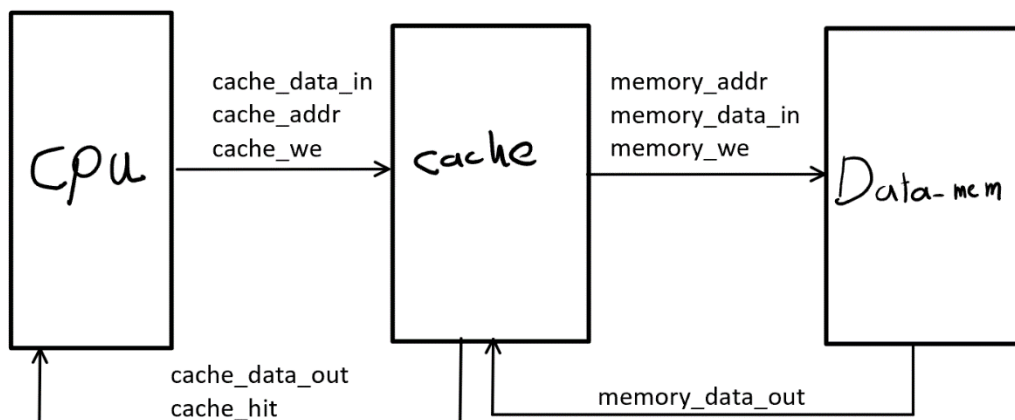
رضا عرفان آرانی

شرح فاز دوم:

- پردازنده انتخاب شده: RISC-V 32I
- شمای کلی معماری به صورت زیر در آمده است:



- اما شکل به صورت دقیق تر بین Core و Cache و Data_Memory را در ذیل می توانید ببینید:



- توضیحات معماری:

- در این فاز ما ارتباط مستقیم memory و CPU(core) را حذف کردیم. با وجود یک cache در معماری ما در فاز جدید به صورت زیر عمل خواهیم کرد:
 - نخست وقتی هیچ مقداری در cache قرار نگرفته است cache بعد از درخواست CPU برای خواندن و نوشتن مقادیر این کار را در memory انجام می‌دهد و خروجی پس گرفته شده از memory را در خود ذخیره می‌کند و مقدار ذخیره شده را به core بازمی‌گرداند.
 - به طور کل ارتباط مستقیم حذف شده و پس از ریختن اولیه مقادیر در cache هر نوع عملیات خواندن و نوشتن در cache هندل می‌شود. Core با درخواست از cache این وظیفه را به عهده خود cache می‌گذارد تا نحوه انجام کارها را هندل کند. اگر خواندن و نوشتن clean یا dirty باشند این cache هست که باید این مورد را تشخیص داده و کار درست را انجام دهد.
 - همچنین در این فاز ما عملیات memory مان 4 کلاک طول می‌کشد. این مورد نیز وظیفه cache هست تا به core اطلاع دهد، بدین صورت که cache اگر نیاز به استفاده از memory دید به core اطلاع می‌دهد که 4 کلاک pc را نگه دار و جلو نبر. Cache در اینجا مقدار Booleanی را در core برابر 1 می‌کند که این کار باعث می‌شود counter فعال شده و تا 4 کلاک این counter شمرده شود و مانع افزایش pc شود. بعد از آن core به حالت عادی درآمده و کار ادامه پیدا می‌کند.
- همچنین قبلا که ما ALU را مسئول پیدا کردن خانه‌های حافظه و هندل کردن خروجی‌های حافظه کرده بودیم را این بار مسئول cache کردیم. ALU دیگر مستقیم از مقادیر memory خبری ندارد و مقادیر cache را هندل می‌کند.