

BENCHMARK 21-12-2005 (Grupo A)

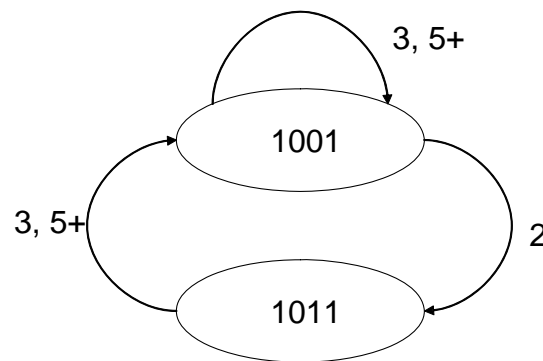
1. Un sumador segmentado con cuatro etapas S1,S2,S3,S4 tiene la siguiente tabla de reservas:

	$t0$	$t1$	$t2$	$t3$	$t4$
S1	X				X
S2				X	
S3		X	X		
S4					X

Indique cuál es la productividad máxima de este cauce si se utiliza un reloj con una frecuencia de 2 GHz. ¿A partir de qué número de sumas segmentadas consecutivas se alcanza el 90% de la productividad máxima. ¿Qué cambios haría en la etapa S3 para mejorar el rendimiento del cauce?.

La lista de latencias prohibidas es $F=\{1,4\}$ y por lo tanto $C=(1001)$

Por lo tanto, el diagrama de estados es:



Por lo tanto la mínima latencia media es $MLM = (2+3)/2=2.5$

La productividad es:

$$W(n) = n / (TLI + MLM * t * (n-1)) = n / (2.5 + 1.25 * (n-1))$$

donde se ha considerado que $t=0.5$ ns y $TLI = 5*t = 5*0.5 = 2.5$ ns

Por tanto, la productividad máxima es $W_{\max} = \lim_{n \rightarrow \infty} W(n) = 1/1.25 \text{ ns}^{-1}$

Para determinar el valor de n con el que se alcanza el 90% de la productividad máxima se despeja n de la igualdad:

$$0.9 W_{\max} = 0.9 * 1/1.25 = n / (2.5 + 1.25 * (n-1))$$

obteniéndose $n=9$.

Un cambio posible en la etapa S3 es segmentarla. Así, en lugar de 4 se tendrían 5 etapas

	$t0$	$t1$	$t2$	$t3$	$t4$
$S1$	X				X
$S2$				X	
$S3$		X			
$S3'$			X		
$S4$					X

Con lo que la única latencia prohibida sería $F=4$. Si se hace el diagrama de estados partiendo de $C=(1000)$ se observa que la mínima latencia media que se obtiene en este caso es menor que 2.5.

2. Un procesador utiliza un esquema de predicción dinámica de saltos de dos niveles similar al del Pentium III: tres bits de historia se utilizan para indicar si en las tres últimas ejecuciones de la instrucción hubo o no hubo salto, y esos tres bits de historia sirven de puntero a 8 contadores de dos bits, cada uno de los cuales se utiliza para realizar la predicción correspondiente según su estado como en un esquema de predicción de dos bits. En la primera ejecución, los tres bits que apuntan a los contadores de dos bits están a 000 y los bits de los contadores de dos bits se inicializan a 00 (predice no saltar) si la instrucción de salto es hacia adelante y a 11 (predice saltar) si el salto es hacia atrás. Si la predicción es correcta no hay ciclos de penalización y si es incorrecta hay cuatro ciclos.

¿Cual es la penalización para la secuencia de instrucciones de salto que se indica a continuación

$$N_1 S_2 N_3 N_1 N_2 S_3 N_1 S_2 N_3 S_1 S_2 N_3$$

teniendo en cuenta que S significa que la instrucción dará lugar a un salto, N que no dará lugar a un salto y cada subíndice, 1, 2, 3 hace referencia a una instrucción de salto distinta?

(Nota: La instrucción 1 es de salto hacia atrás y las 2 y 3 de salto hacia adelante)

Solución: Se deben considerar cada una de las instrucciones de salto por separado.

Así, para la instrucción de salto 1 se tiene

$$N_1 S_2 N_3 N_1 N_2 S_3 N_1 S_2 N_3 S_1 S_2 N_3$$

y por lo tanto se produce NNNS

En la siguiente tabla se muestran los resultados para esta instrucción de salto (hacia atrás):

Puntero de 3 bits	Contador de 2 bits (al que apunta el puntero de 3 bits)	Se predice	Se produce	Penalización
000	11	S	N	P
000	10	S	N	P
000	01	N	N	-
000	00	N	S	P

Para la instrucción de salto 2 se tiene

$$N_1S_2N_3N_1N_2S_3 \quad N_1S_2N_3 \quad S_1S_2N_3$$

con lo que la secuencia de saltos y no saltos para esta instrucción es SNSS, y en la tabla siguiente se muestran los resultados para esta instrucción de salto hacia delante.

Puntero de 3 bits	Contador de 2 bits (al que apunta el puntero de 3 bits)	Se predice	Se produce	Penalización
000	00	N	S	P
100	00	N	N	-
010	00	N	S	P
100	00	N	S	P

Finalmente, para la instrucción de salto 3 se tiene

$$N_1S_2N_3N_1N_2S_3 \quad N_1S_2N_3 \quad S_1S_2N_3$$

con lo que la secuencia de saltos y no saltos para esta instrucción es NSNN, y en la tabla siguiente se muestran los resultados para esta instrucción de salto hacia delante.

Puntero de 3 bits	Contador de 2 bits (al que apunta el puntero de 3 bits)	Se predice	Se produce	Penalización
000	00	N	N	-
000	00	N	S	P
100	00	N	N	-
010	00	N	N	-

De esta forma el número de fallos de predicción es 7. Teniendo en cuenta que cada uno de ellos supone una penalización de cuatro ciclos, el número de ciclos de penalización total es $7 \cdot 4 = 28$ ciclos.