САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по заданию LAB1

Дисциплина

«Языки описания аппаратных средств»

выполнил:

Егоров Д. Е.

группа: 13541/1

преподаватель:

Антонов А. П.

Санкт-Петербург

2019

Оглавление

[1 Задание labX\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание labX\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab1\_1

## Задание

На языке Verilog описать двухразрядный компаратор на равенство.

* Входы:
  + a0 (sw0),
  + a1 (sw1),
  + b0 (sw2),
  + b1 (sw3)
* Выход:
  + eq (led0)
* Все остальные светодиоды - выключены

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

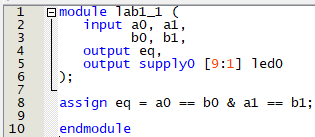
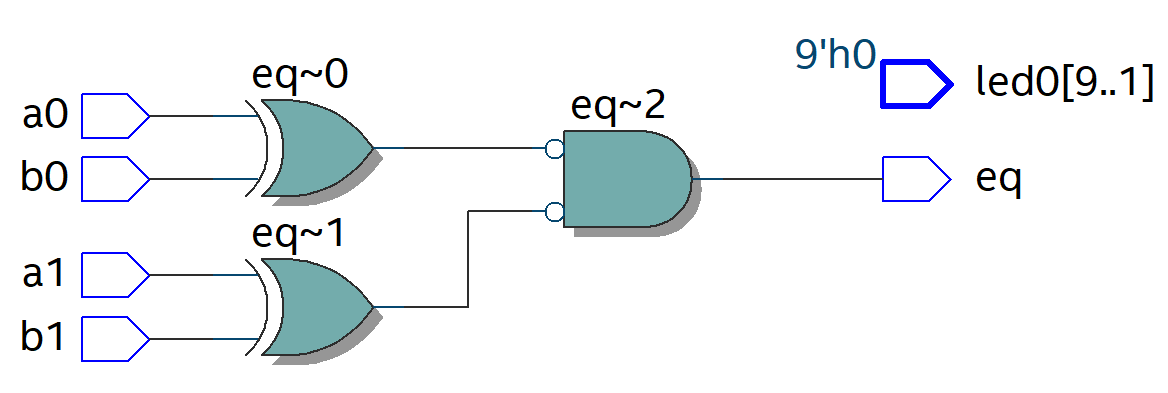


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. На вход подаются числа, разряды [0:1], [2:3] совпадают, на выходе eq получаем 1
2. На вход подаются числа, разряды [0:1], [2:3] отличаются, на выходе eq получаем 0

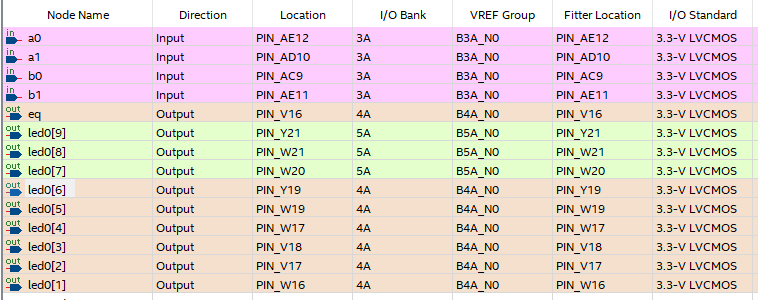
Результаты моделирования приведены на Рис. 1‑3.

Привести результаты моделирования (должны совпадать с описанными тестами)

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан двухразрядный компаратор на равенство. Логика работы была описана одной строчкой программного кода, что выглядит достаточно эффективным в плане трудозатрат разработчика. Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab1\_2

## Задание

На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):

* Входы данных переключатели sw[7:4] и sw[3:0] соответственно
* Выходы – светодиоды led[3:0]
* Управление переключением – кнопка
  + = 1: sw[7:4] => led[3:0]
  + = 0: sw[3:0] => led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

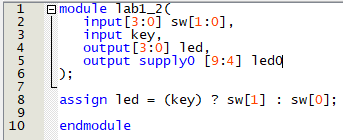
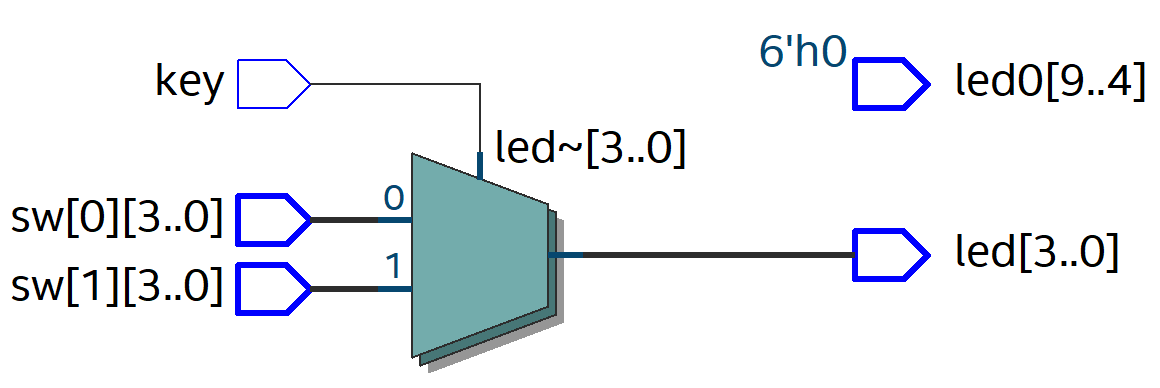


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

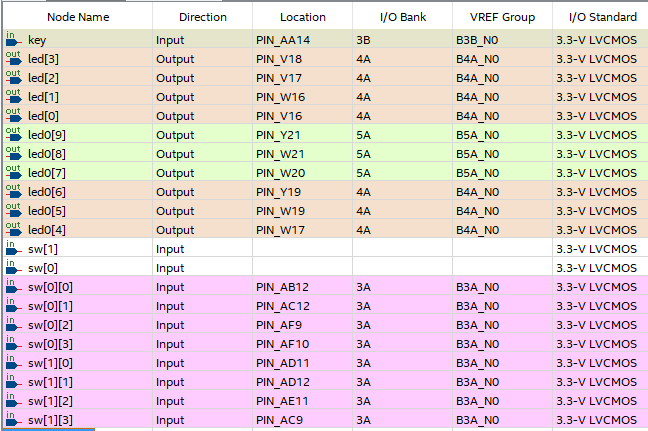
1. Кнопка нажата, на светодиодах led[3:0] отображается число, поданное на вход с помощью переключателей группы переключателей sw[0].
2. Кнопка не нажата, на светодиодах led[3:0] отображается число, поданное на вход с помощью переключателей группы переключателей sw[1].

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан мультиплексор 2(4бит) =>1(4бит). Здесь и далее, если не указано обратного: трудозатраты по написанию программы на языке Verilog существенно меньшие, чем по самостоятельному проектированию схемы. Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab1\_3

## Задание

На языке Verilog описать демультиплексор 1(2)=>4(2)

* Входы:
  + данных (sw[1:0]),
  + управления (key[1:0]),
* Выходы:
  + led[7:0]
* Все остальные светодиоды – выключены

Написать выражение для каждой пары светодиодов отдельно. Реализовать 2 варианта:

* использование оператора условного выбора
* использование bitwise операторов

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

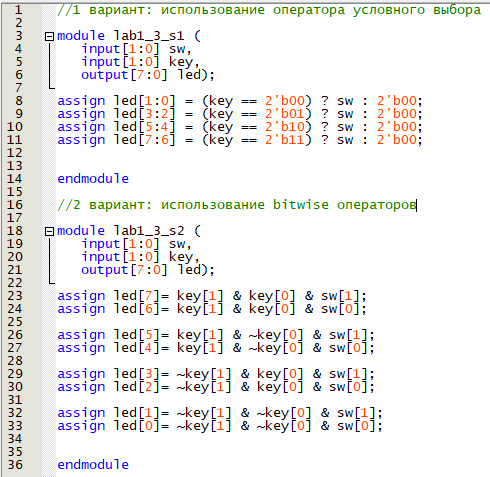


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

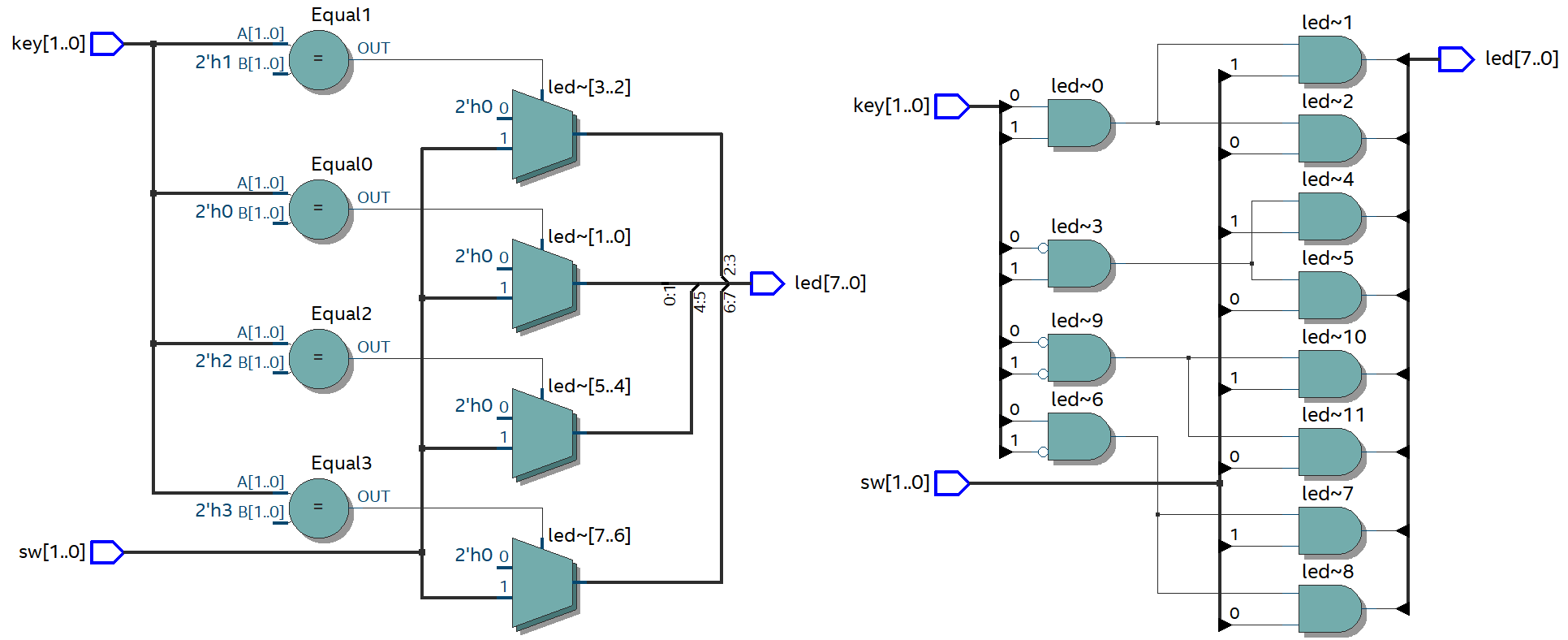


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

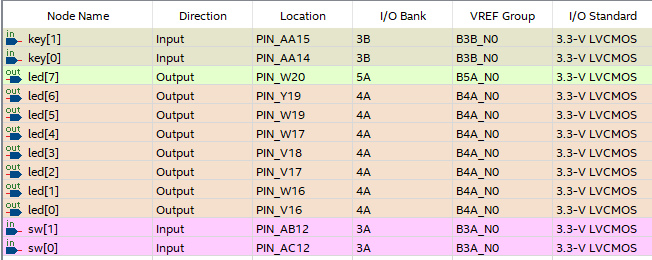
1. С помощью кнопок [1:0] на вход подается значение 00, на светодиодах led[1:0] отображается число, заданное переключателями sw[1:0], на остальных светодиодах низкий уровень сигнала.
2. С помощью кнопок [1:0] на вход подается значение 01, на светодиодах led[3:2] отображается число, заданное переключателями sw[1:0], на остальных светодиодах низкий уровень сигнала.
3. С помощью кнопок [1:0] на вход подается значение 10, на светодиодах led[5:4] отображается число, заданное переключателями sw[1:0], на остальных светодиодах низкий уровень сигнала.
4. С помощью кнопок [1:0] на вход подается значение 11, на светодиодах led[7:6] отображается число, заданное переключателями sw[1:0], на остальных светодиодах низкий уровень сигнала.

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан демультиплексор 1(2)=>4(2). Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab1\_4

## Задание

На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N).

* Входы двоичных данных переключатели sw[1:0]
* Выходы – светодиоды led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

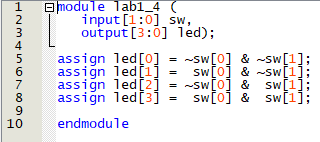


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

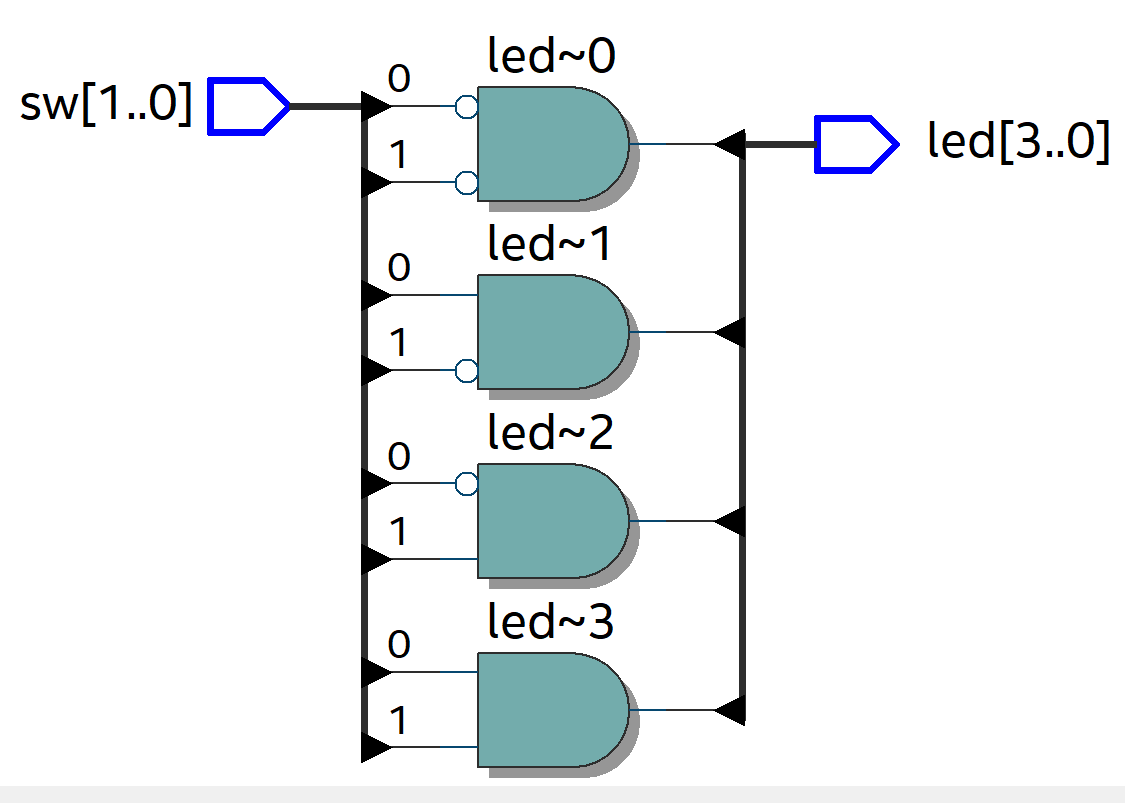


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

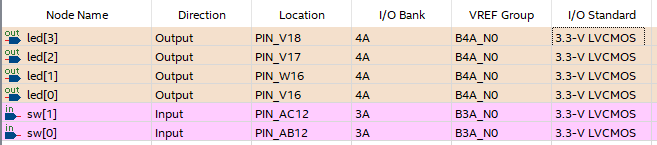
1. С помощью переключателей [1:0] на вход подается число в двоичном коде, на светодиод с индексом, соответствующим значению этого двоичного числа подается высокий уровень, на все остальные светодиоды – низкий.

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан преобразователь двоичного кода в позиционный код (один-из-N). Проект был собран и протестирован на плате miniDiLaB-CIV

# Дополнительное задание elab\_1

## Задание

На языке Verilog, используя логические выражения, опишите полный одноразрядный сумматор.

* Входы
  + Данных - переключатели sw[1:0]
  + Входной перенос – кнопка
* Выходы – светодиоды led[1:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

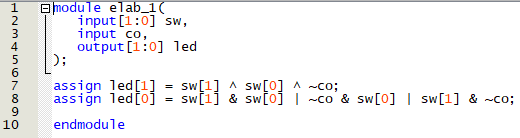


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

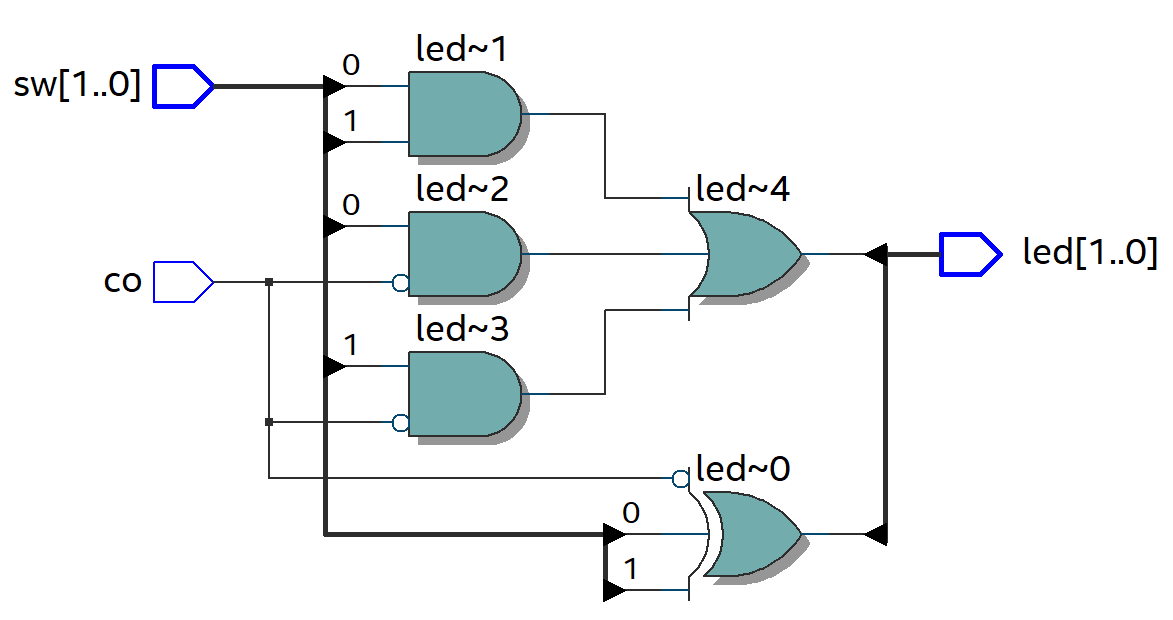


Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

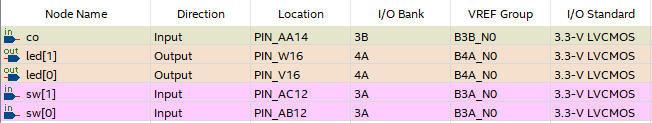
1. С помощью переключателей [1:0] на вход подается число в двоичном коде, на светодиод с индексом, соответствующим значению этого двоичного числа подается высокий уровень, на все остальные светодиоды – низкий.

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан полный одноразрядный сумматор. Проект был собран и протестирован на плате miniDiLaB-CIV