САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по заданию LAB2

Дисциплина

«Языки описания аппаратных средств»

выполнил:

Егоров Д. Е.

группа: 13541/1

преподаватель:

Антонов А. П.

Санкт-Петербург

2019

Оглавление

[1 Задание labX\_1 4](#_Toc524592444)

[1.1 Задание 4](#_Toc524592445)

[1.2 Описание на языке Verilog 4](#_Toc524592446)

[1.3 Результат синтеза (RTL) 4](#_Toc524592447)

[1.4 Моделирование 4](#_Toc524592448)

[1.5 Назначение выводов СБИС 5](#_Toc524592449)

[1.6 Тестирование на плате miniDiLaB-CIV 5](#_Toc524592450)

[1.7 Выводы 5](#_Toc524592451)

[2 Задание labX\_2 6](#_Toc524592452)

[2.1 Задание 6](#_Toc524592453)

[2.2 Описание на языке Verilog 6](#_Toc524592454)

[2.3 Результат синтеза (RTL) 6](#_Toc524592455)

[2.4 Моделирование 6](#_Toc524592456)

[2.5 Назначение выводов СБИС 7](#_Toc524592457)

[2.6 Тестирование на плате miniDiLaB-CIV 7](#_Toc524592458)

[2.7 Выводы 7](#_Toc524592459)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 4](#_Toc468082582)

[Рис. 1‑2 Синтезированная схема 4](#_Toc468082583)

[Рис. 1‑3 Результат моделирования средствами QII 5](#_Toc468082584)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc468082585)

[Рис. 2‑1 Описание на языке Verilog 6](#_Toc468082586)

[Рис. 2‑2 Синтезированная схема 6](#_Toc468082587)

[Рис. 2‑3 Результат моделирования средствами QII 7](#_Toc468082588)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc468082589)

# Задание lab2\_1

## Задание

На языке Verilog описать устройство арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом. Направление сдвига – вправо.

* Входы:
  + данных (sw[7:0]), разряд 7 – знак
  + Число разрядов сдвига (key[1:0])
* Выходы:
  + led[7:0].

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

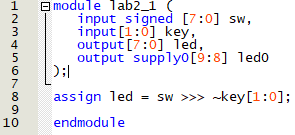
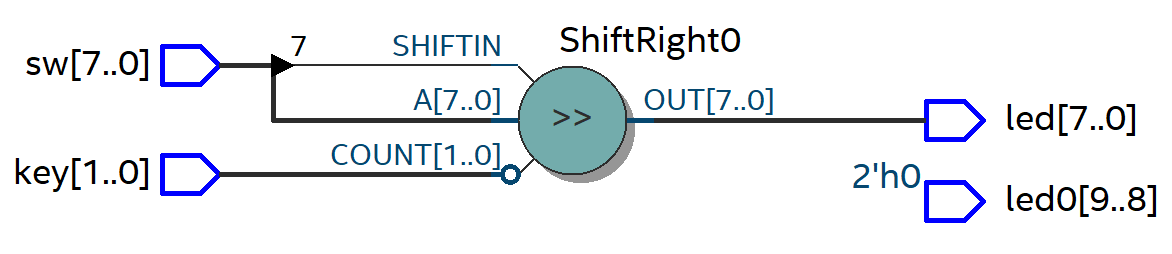


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. На вход подается некоторое число, старший разряд которого равен 0 ­ на выходе получаем это число, сдвинутое вправо на заданное количество разрядов N.
2. На вход подается некоторое число, старший разряд которого равен 1 ­ на выходе получаем это число, сдвинутое вправо на заданное количество разрядов N, причем N+1 старших битов числа заполняются единицами.

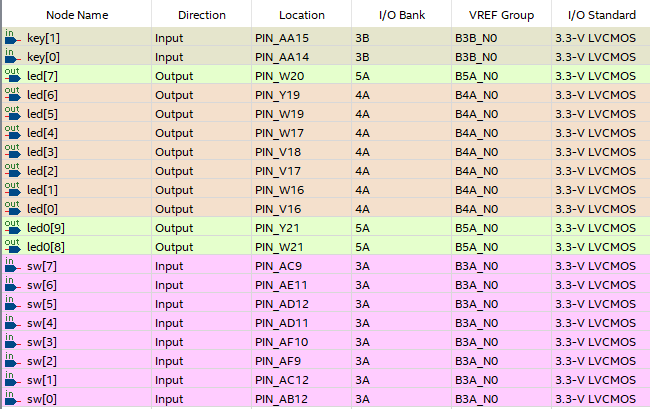
Результаты моделирования приведены на Рис. 1‑3.

Привести результаты моделирования (должны совпадать с описанными тестами)

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

устройство арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом. Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab2\_2

## Задание

На языке Verilog опишите знаковый умножитель\сумматор.

* Входы данных - переключатели sw[7:4] и sw[3:0]
* Выбор операции – кнопка key[0]
* Выходы – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

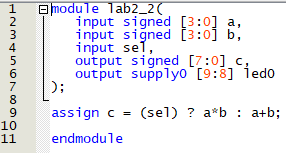
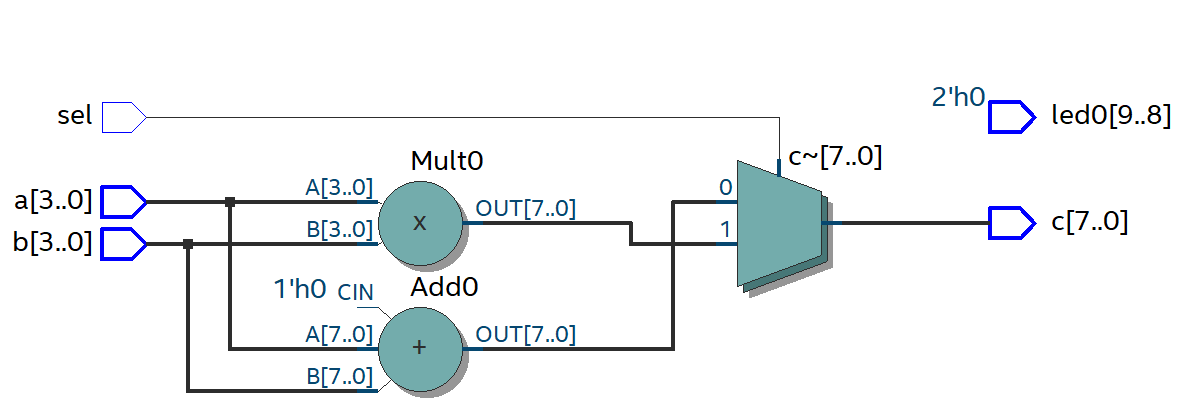


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

 Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

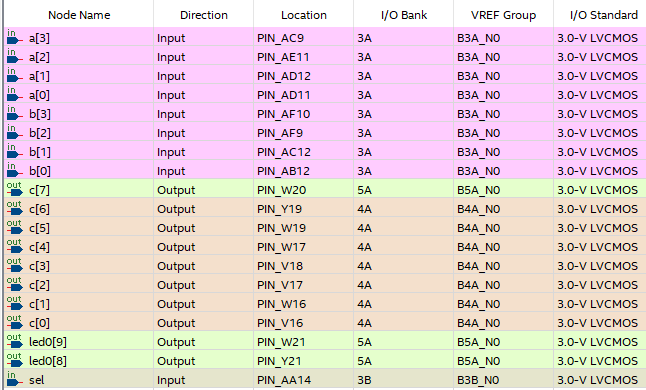
1. Кнопка нажата, на светодиодах led[7:0] отображается знаковое число в двоичном коде, соответствующее сумме знаковых чисел, поданных на вход с помощью переключателей sw[3:0] и sw[7:4].
2. Кнопка не нажата, на светодиодах led[7:0] отображается знаковое число в двоичном коде, соответствующее произведению знаковых чисел, поданных на вход с помощью переключателей sw[3:0] и sw[7:4].

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан знаковый умножитель\сумматор. Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab2\_3

## Задание

На языке Verilog опишите беззнаковый делитель с повышенной точностью (4 знака после запятой).

* Входы данных
  + Делимое - переключатели sw[7:4]
  + Делитель - переключатели sw[3:0]
* Выходы ­ результат деления
  + Целая часть - светодиоды led[7:4]
  + Четыре знака после запятой – светодиоды led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

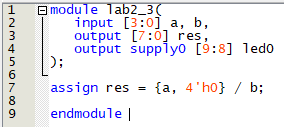


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

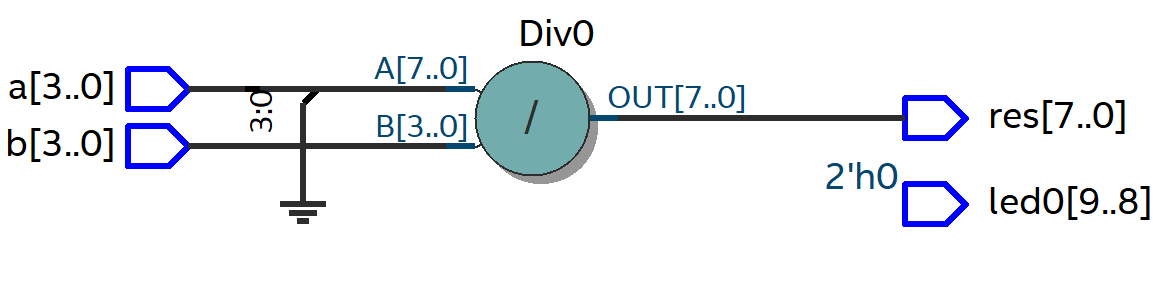


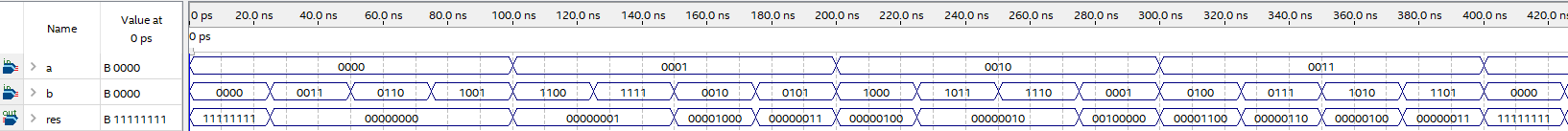
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

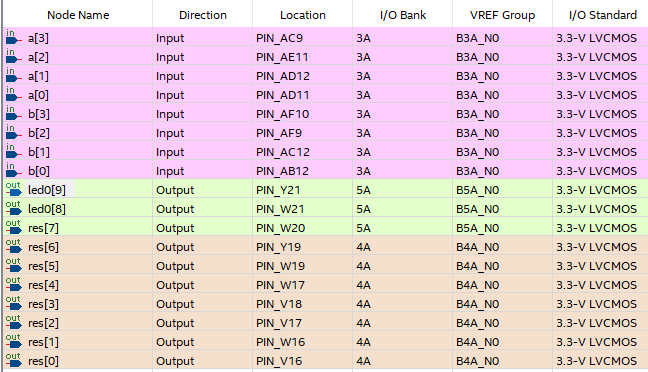
1. При делении, не формирующем знаки после запятой, имеем 4 нуля в младших битах результата
2. При делении, формирующем знаки после запятой, имеем целую часть на светодиодах res[7:4] и дробную ­ на светодиодах res[3:0]
3. При делении на ноль все разряды результирующего числа заполнены единицами.

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан беззнаковый делитель с повышенной точностью (4 знака после запятой). Проект был собран и протестирован на плате miniDiLaB-CIV

# Задание lab2\_4

## Задание

На языке Verilog опишите преобразователь двоичного 4-разрядного кода в 7-сегментный код.

* Входы данных
  + Двоичный код - переключатели sw[3:0]
  + Выбор разряда 7-сегментного индикатора для отображения - переключатели sw[7:6]
    - 00 – отображение в 0 (в правом) разряде 7-сегментного индикатора
    - 01 – отображение в 1 разряде 7-сегментного индикатора
    - 10 – отображение в 2 разряде 7-сегментного индикатора
    - 11 – отображение в 3 (в левом) разряде 7-сегментного индикатора
* Выходы
  + 7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями sw[7:6]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

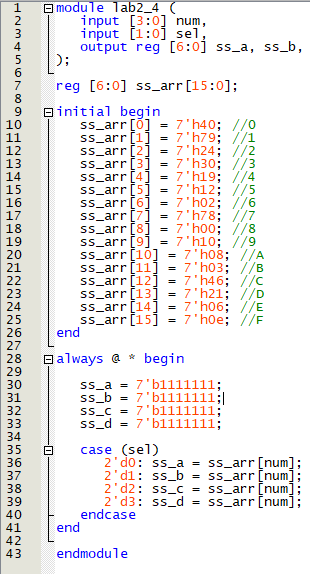


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

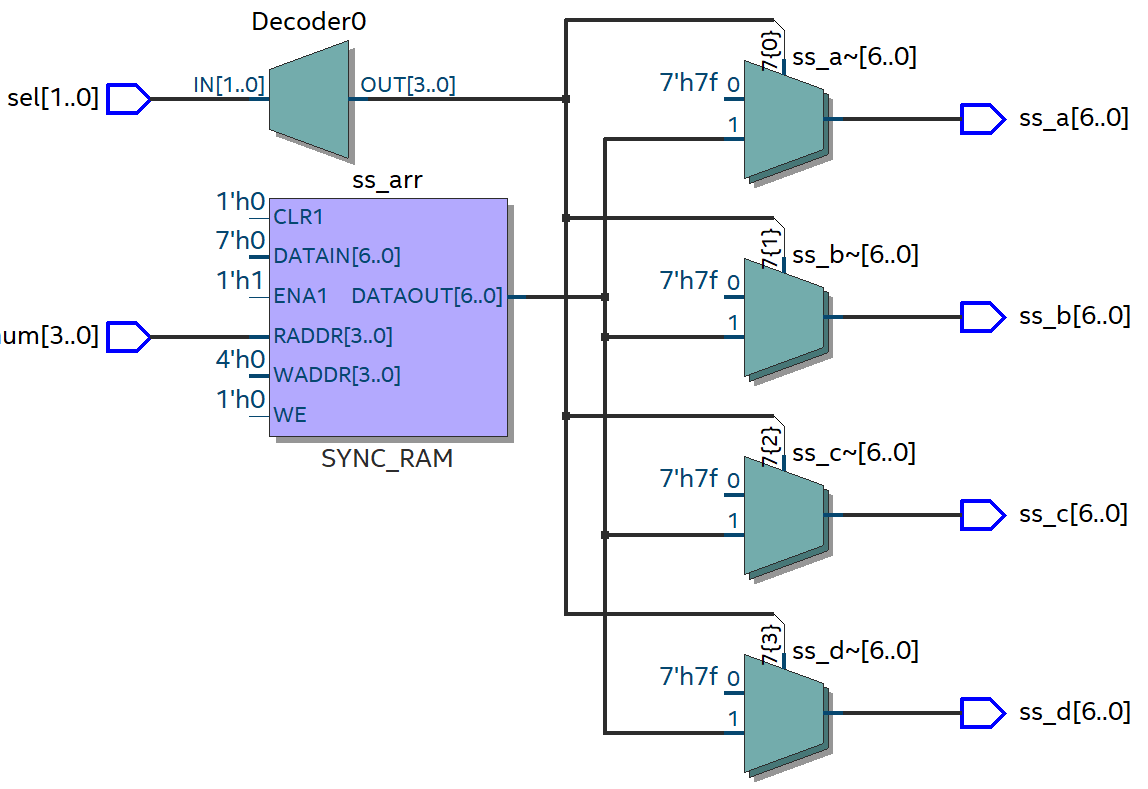


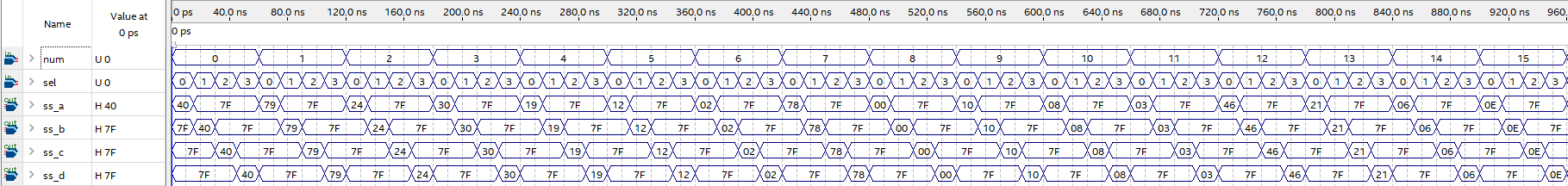
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* На вход num[3:0] подаются числа от 0 до 15
* Для каждого из этих чисел по очереди выбирается разряд 7-сегментного индикатора с помощью переключателей sel[1:0]
* На выходе получается 7-сегментный код числа num в разряде sel, остальные разряды выключены.

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан преобразователь двоичного 4-разрядного кода в 7-сегментный код. Проект был собран и протестирован на плате miniDiLaB-CIV

# Дополнительное задание elab\_2

## Задание

На языке Verilog опишите беззнаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11).

* Вход данных - переключатели sw[3:0]
* Управление отображением числа – переключатель sw[7]
  + При 1 – отображается результат умножения на 11
  + При 0 – отображается результат умножения на 10
* Выходы – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

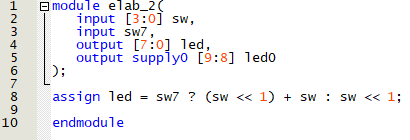


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

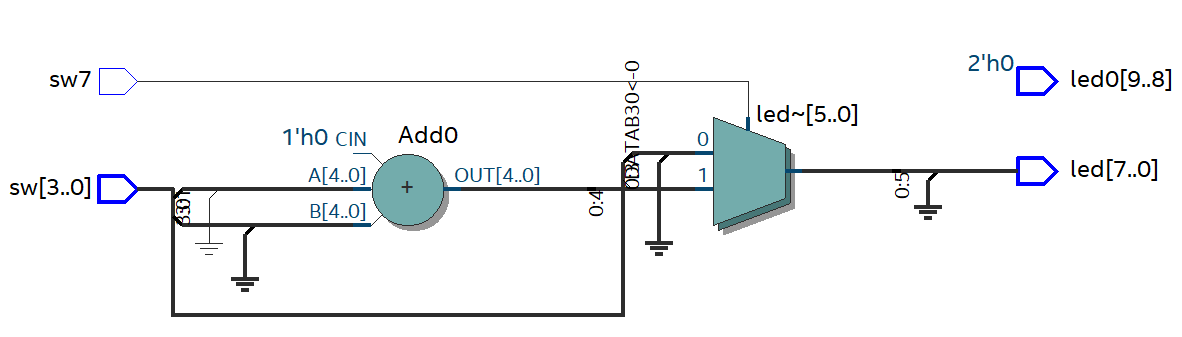


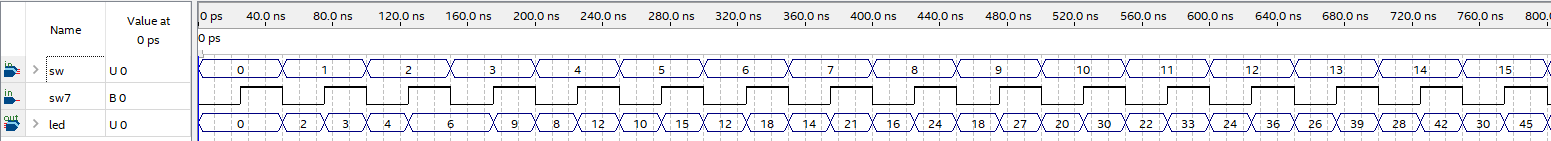
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

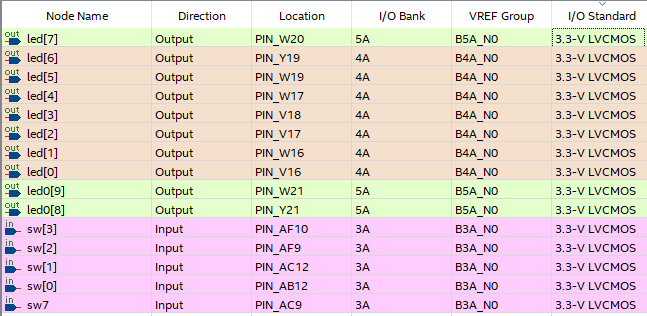
1. Для каждого из заданных входных чисел переключатель sw7 ставится в положение 0 – результат является результатом умножения этого числа на 2
2. Для каждого из заданных входных чисел переключатель sw7 ставится в положение 1 – результат является результатом умножения этого числа на 3

Результаты моделирования приведены на Рис. 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан беззнаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11). Проект был собран и протестирован на плате miniDiLaB-CIV