САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 1

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab1\_1 4](#_Toc9735645)

[1.1 Задание 4](#_Toc9735646)

[1.2 Описание на языке Verilog 4](#_Toc9735647)

[1.3 Результат синтеза (RTL) 4](#_Toc9735648)

[1.4 Моделирование 5](#_Toc9735649)

[1.5 Назначение выводов СБИС 5](#_Toc9735650)

[1.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc9735651)

[1.7 Выводы 6](#_Toc9735652)

[2 Задание lab1\_2 7](#_Toc9735653)

[2.1 Задание 7](#_Toc9735654)

[2.2 Описание на языке Verilog 7](#_Toc9735655)

[2.3 Результат синтеза (RTL) 7](#_Toc9735656)

[2.4 Моделирование 7](#_Toc9735657)

[2.5 Назначение выводов СБИС 8](#_Toc9735658)

[2.6 Тестирование на плате 5CSEMA5F31C6 8](#_Toc9735659)

[2.7 Выводы 9](#_Toc9735660)

[3 Задание lab1\_3 10](#_Toc9735661)

[3.1 Задание 10](#_Toc9735662)

[3.2 Описание на языке Verilog 10](#_Toc9735663)

[3.3 Результат синтеза (RTL) 10](#_Toc9735664)

[3.4 Моделирование 11](#_Toc9735665)

[3.5 Назначение выводов СБИС 11](#_Toc9735666)

[3.6 Тестирование на плате 5CSEMA5F31C6 12](#_Toc9735667)

[3.7 Выводы 12](#_Toc9735668)

[4 Задание lab1\_4 13](#_Toc9735669)

[4.1 Задание 13](#_Toc9735670)

[4.2 Описание на языке Verilog 13](#_Toc9735671)

[4.3 Результат синтеза (RTL) 13](#_Toc9735672)

[4.4 Моделирование 14](#_Toc9735673)

[4.5 Назначение выводов СБИС 14](#_Toc9735674)

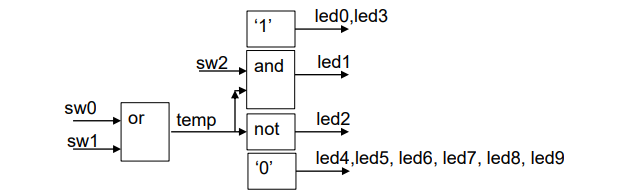
[4.6 Тестирование на плате 5CSEMA5F31C6 14](#_Toc9735675)

[4.7 Выводы 14](#_Toc9735676)

# Задание lab1\_1

## Задание

На языке Verilog описать представленную ниже схему (двухразрядный компаратор на равенство):



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

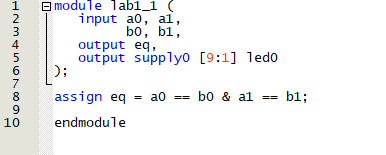
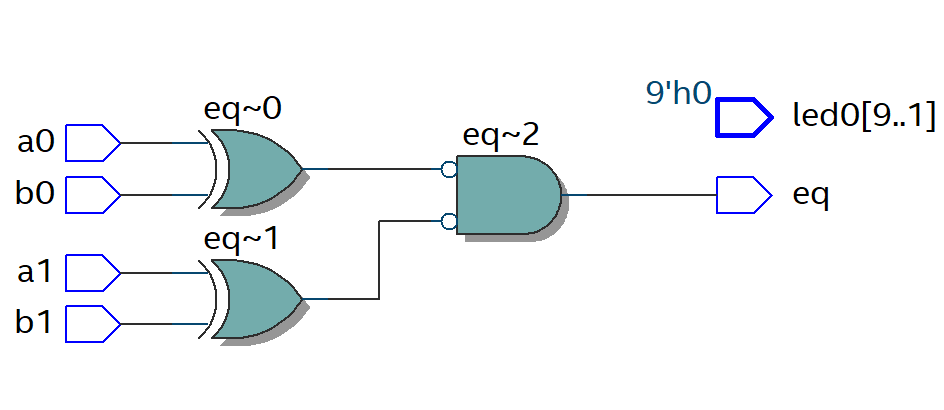


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

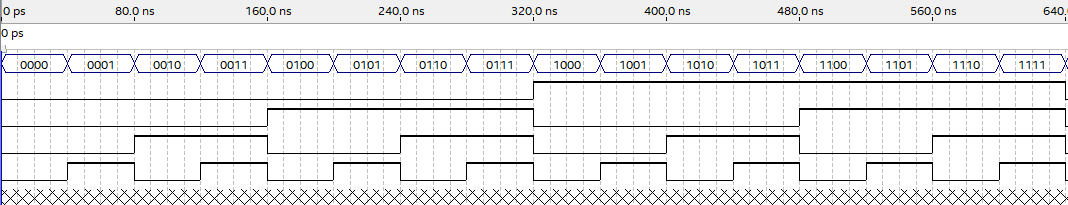
Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

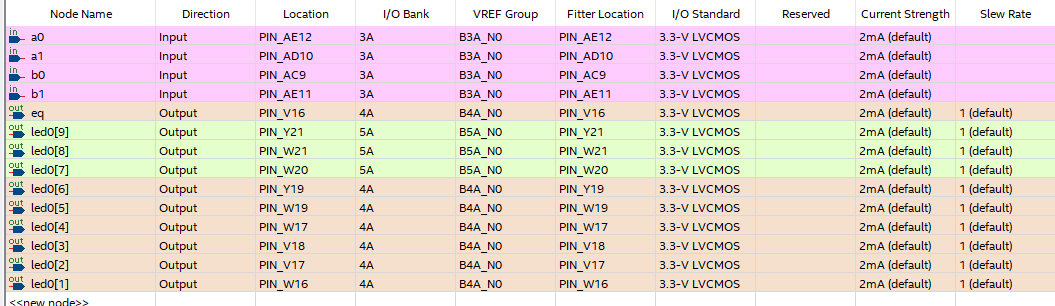
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab1\_2

## Задание

На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

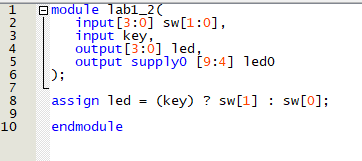
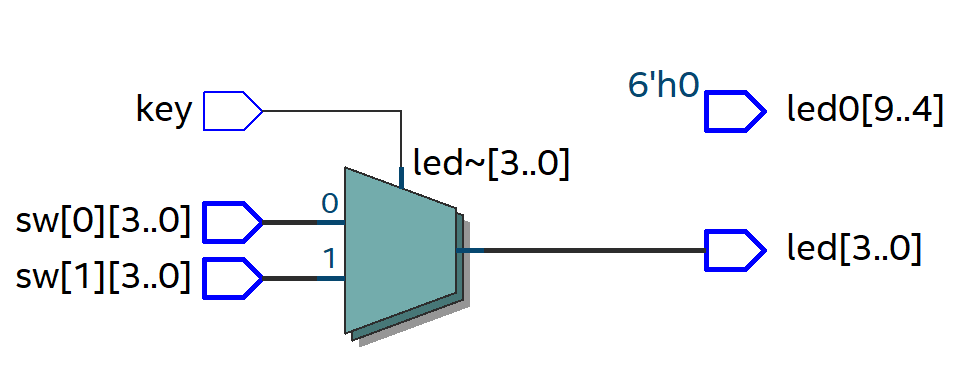


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

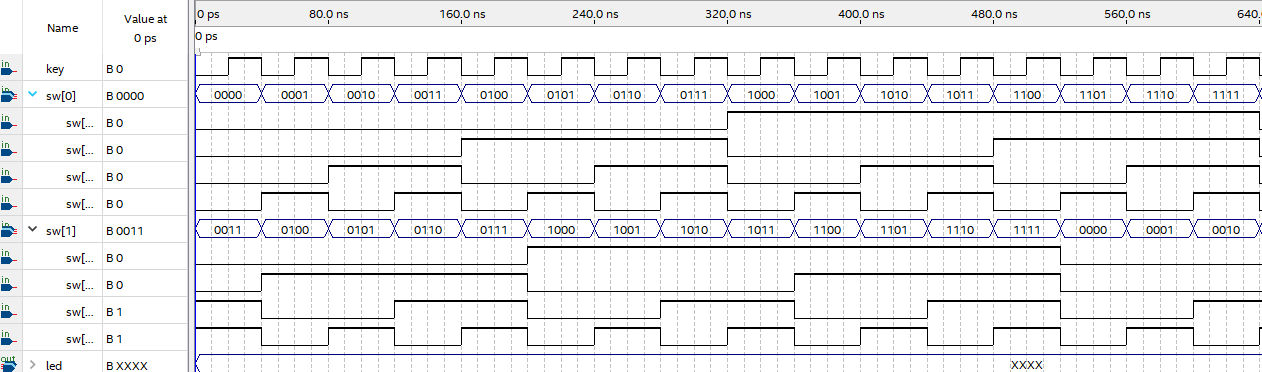
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

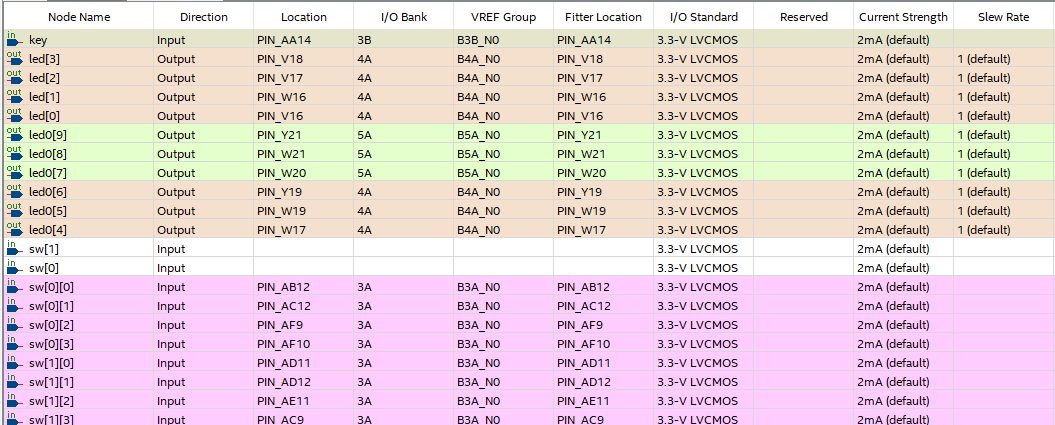
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab1\_3

## Задание

На языке Verilog описать устройство арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом.

Входы:

данных (sw[7:0]), разряд 7 - знак

– Число разрядов сдвига (key[1:0]),

– Направление сдвига:

– вправо

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

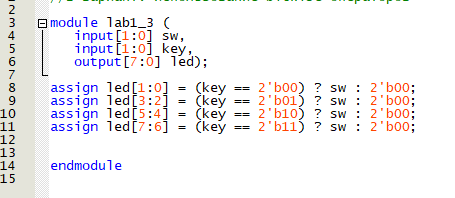


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

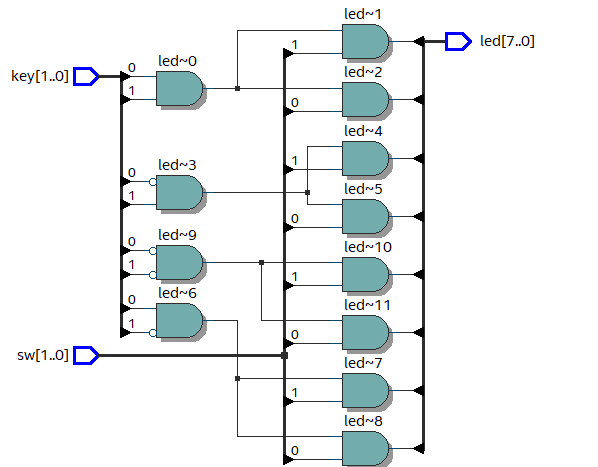


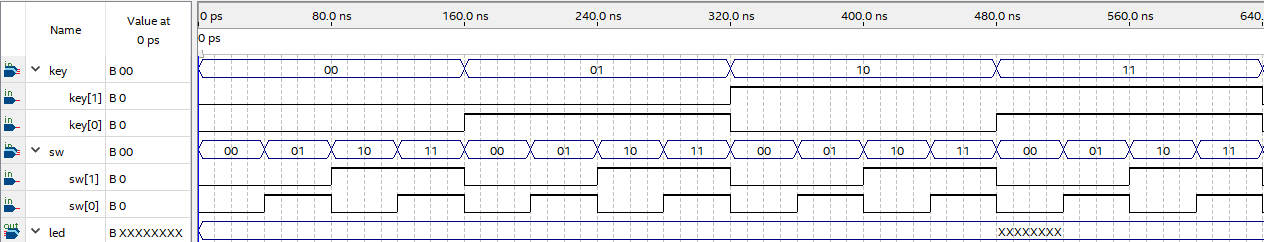
Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 3-3.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

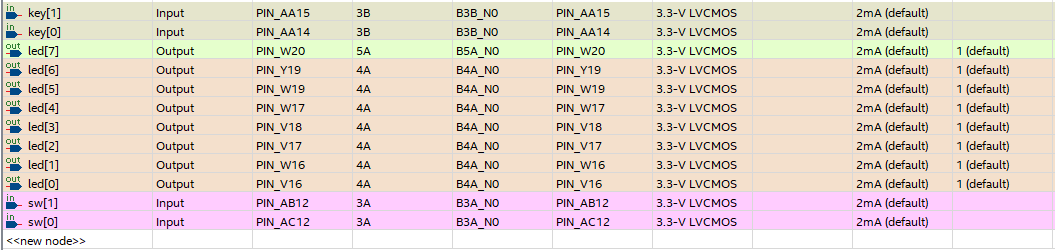


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Выводы по заданию

# Задание lab1\_4

## Задание

На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N)

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

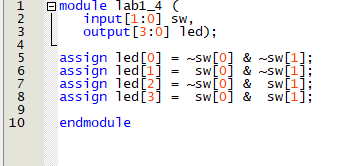


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

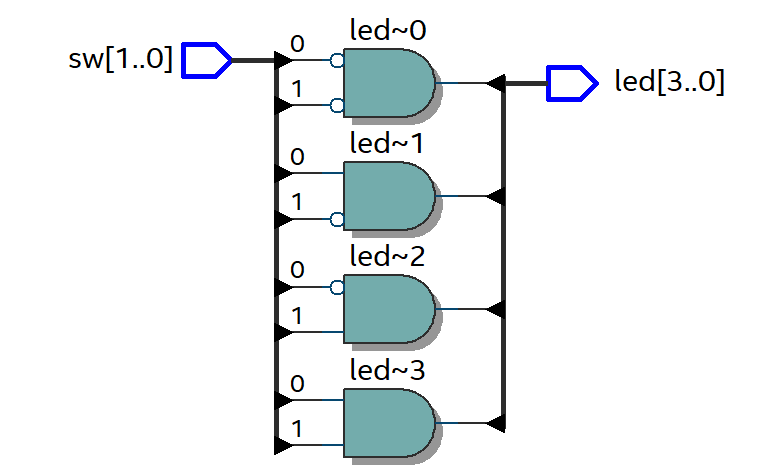


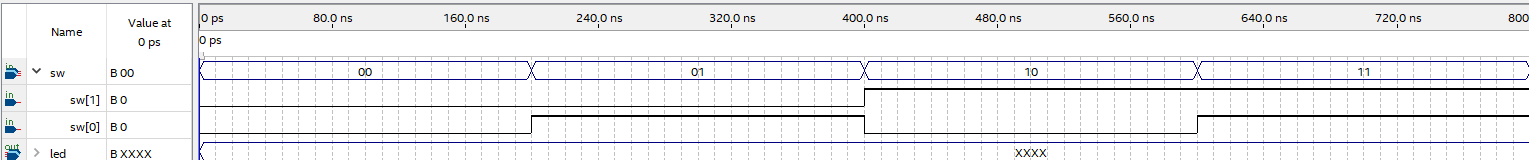
Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 4 - 3.

Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4‑4

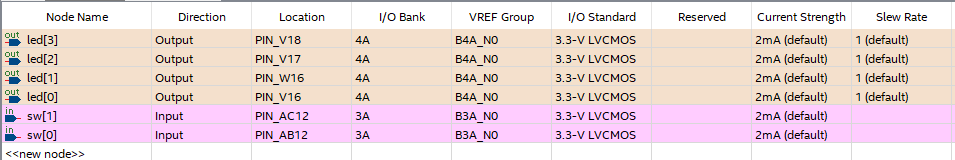


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы