САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 1

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab1\_1 3](#_Toc11266047)

[1.1 Задание 3](#_Toc11266048)

[1.2 Описание на языке Verilog 3](#_Toc11266049)

[1.3 Результат синтеза (RTL) 3](#_Toc11266050)

[1.4 Моделирование 4](#_Toc11266051)

[1.5 Назначение выводов СБИС 4](#_Toc11266052)

[1.6 Тестирование на плате 5CSEMA5F31C6 5](#_Toc11266053)

[1.7 Выводы 5](#_Toc11266054)

[2 Задание lab1\_2 6](#_Toc11266055)

[2.1 Задание 6](#_Toc11266056)

[2.2 Описание на языке Verilog 6](#_Toc11266057)

[2.3 Результат синтеза (RTL) 6](#_Toc11266058)

[2.4 Моделирование 6](#_Toc11266059)

[2.5 Назначение выводов СБИС 7](#_Toc11266060)

[2.6 Тестирование на плате 5CSEMA5F31C6 7](#_Toc11266061)

[2.7 Выводы 7](#_Toc11266062)

[3 Задание lab1\_3 8](#_Toc11266063)

[3.1 Задание 8](#_Toc11266064)

[3.2 Описание на языке Verilog 8](#_Toc11266065)

[3.3 Результат синтеза (RTL) 8](#_Toc11266066)

[3.4 Моделирование 9](#_Toc11266067)

[3.5 Назначение выводов СБИС 10](#_Toc11266068)

[3.6 Тестирование на плате 5CSEMA5F31C6 10](#_Toc11266069)

[3.7 Выводы 10](#_Toc11266070)

[4 Задание lab1\_4 11](#_Toc11266071)

[4.1 Задание 11](#_Toc11266072)

[4.2 Описание на языке Verilog 11](#_Toc11266073)

[4.3 Результат синтеза (RTL) 11](#_Toc11266074)

[4.4 Моделирование 12](#_Toc11266075)

[4.5 Назначение выводов СБИС 12](#_Toc11266076)

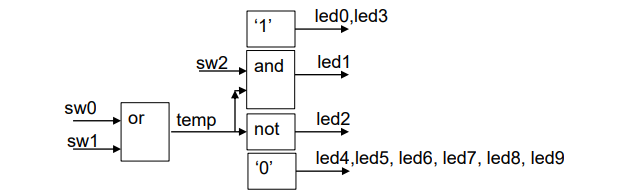
[4.6 Тестирование на плате 5CSEMA5F31C6 12](#_Toc11266077)

[4.7 Выводы 12](#_Toc11266078)

# Задание lab1\_1

## Задание

На языке Verilog описать представленную ниже схему (двухразрядный компаратор на равенство):



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

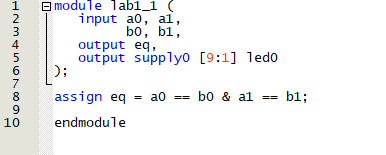
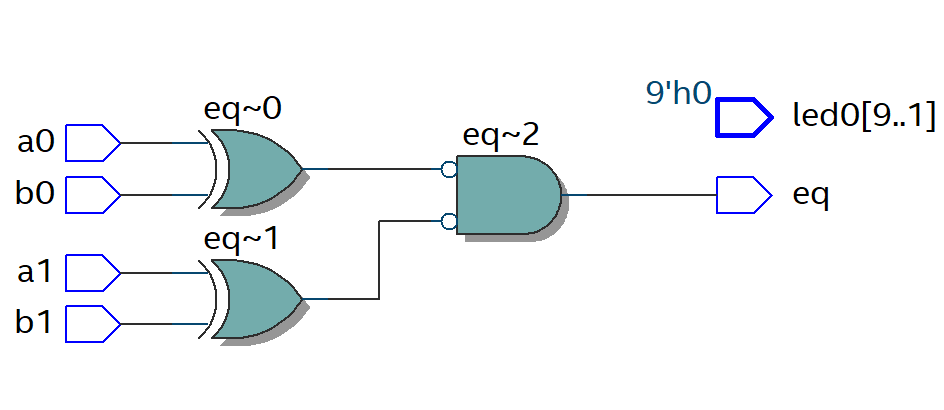


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

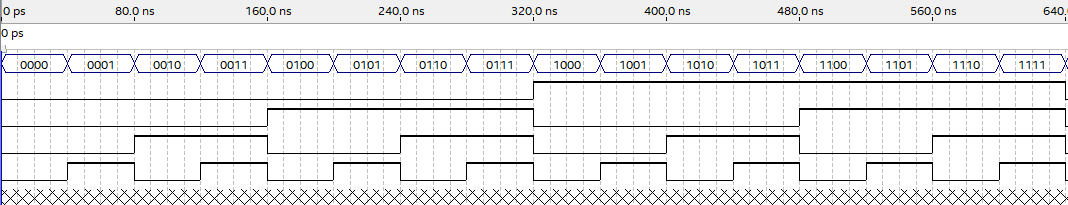
Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

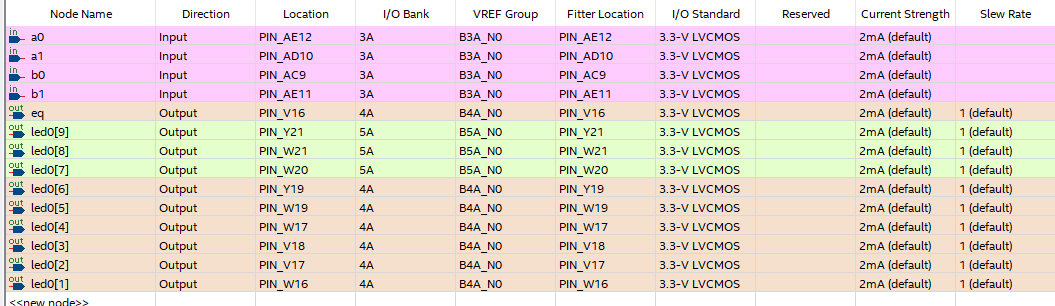
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab1\_2

## Задание

На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

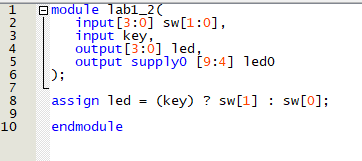
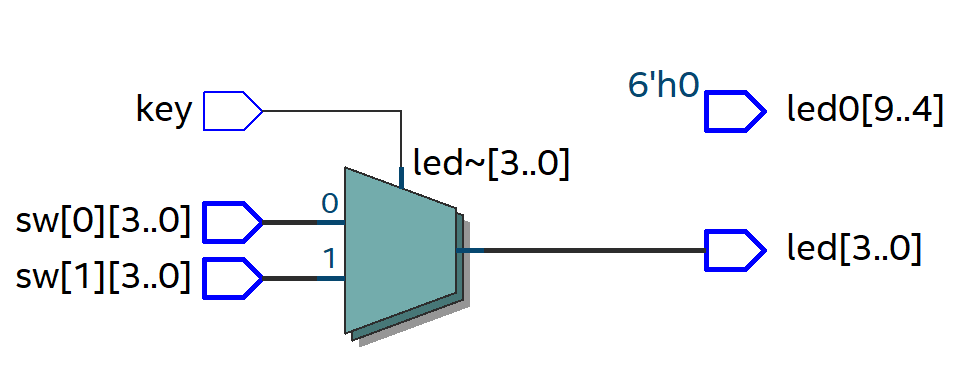


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

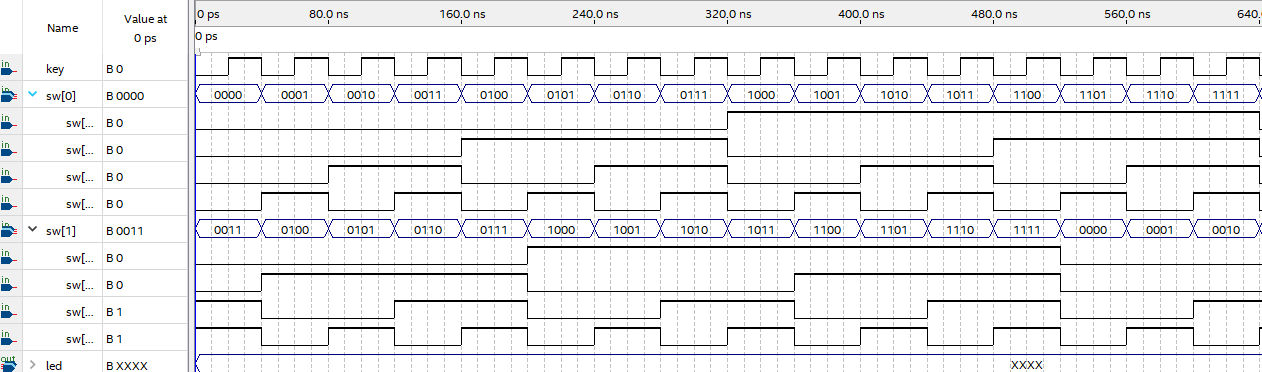
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

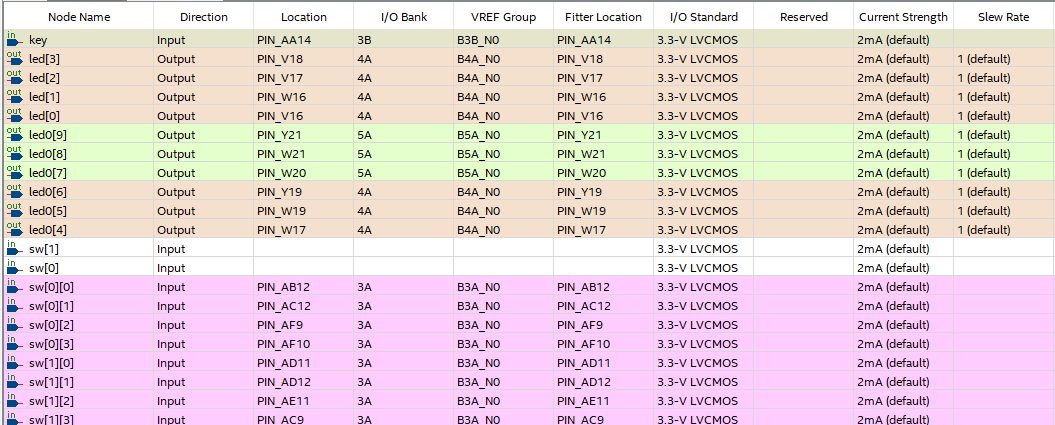
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab1\_3

## Задание

На языке Verilog описать устройство арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом.

Входы:

данных (sw[7:0]), разряд 7 - знак

– Число разрядов сдвига (key[1:0]),

– Направление сдвига:

– вправо

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

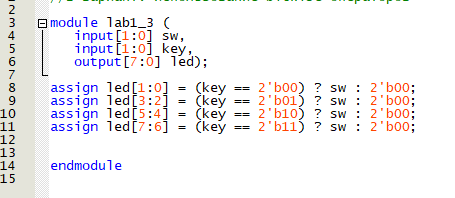


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

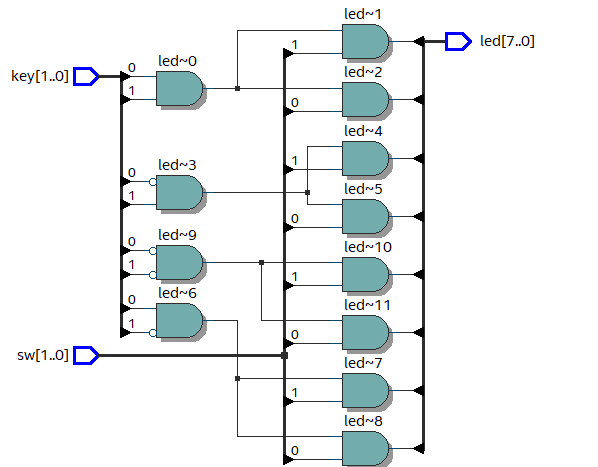


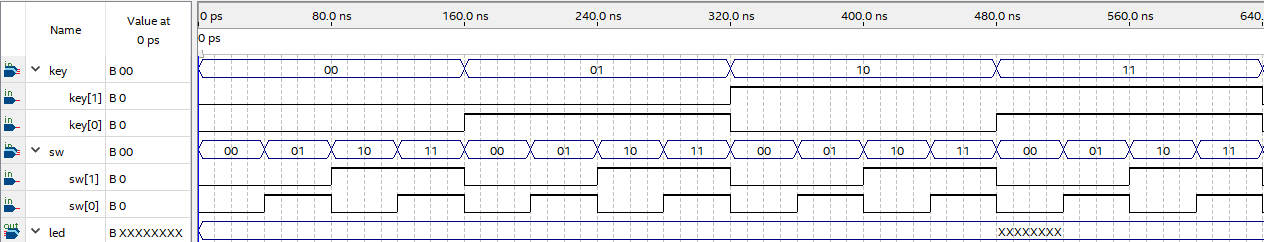
Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 3-3.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

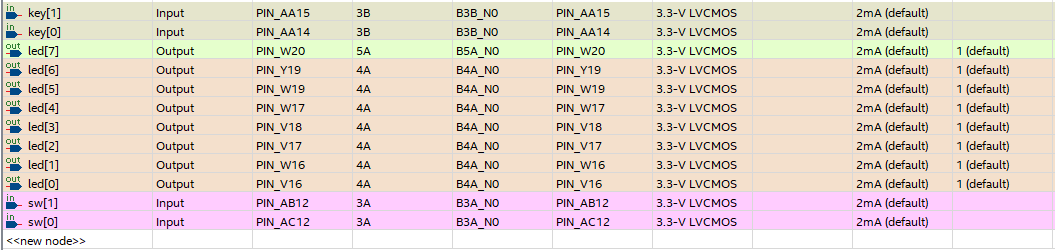


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Выводы по заданию

# Задание lab1\_4

## Задание

На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N)

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

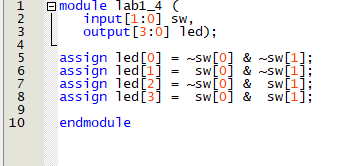


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

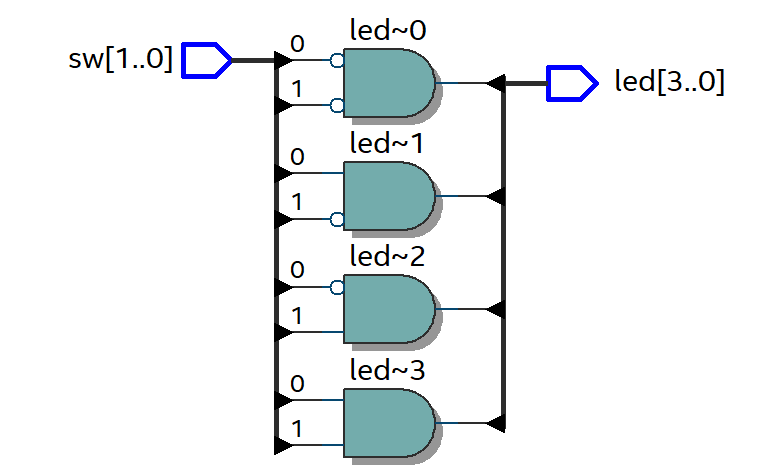


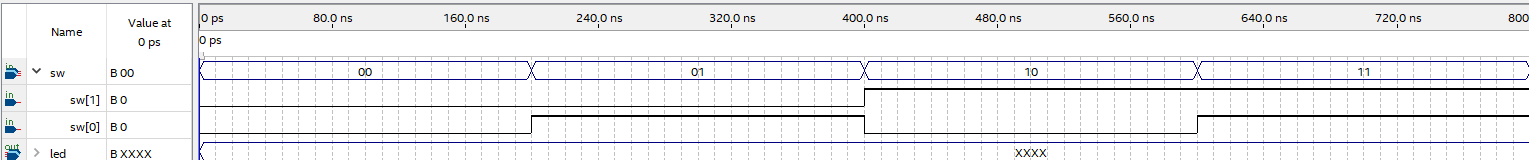
Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис 4 - 3.

Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4‑4

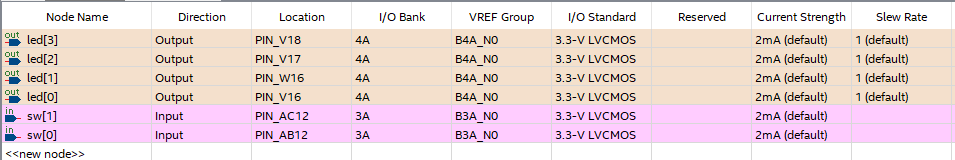


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы