САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 5

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab3\_1 3](#_Toc9760863)

[1.1 Задание 3](#_Toc9760864)

[1.2 Описание на языке Verilog 3](#_Toc9760865)

[1.3 Результат синтеза (RTL) 3](#_Toc9760866)

[1.4 Моделирование 4](#_Toc9760867)

[1.5 Назначение выводов СБИС 4](#_Toc9760868)

[1.6 Тестирование на плате 5CSEMA5F31C6 5](#_Toc9760869)

[1.7 Выводы 5](#_Toc9760870)

[2 Задание lab3\_2 6](#_Toc9760871)

[2.1 Задание 6](#_Toc9760872)

[2.2 Описание на языке Verilog 6](#_Toc9760873)

[2.3 Результат синтеза (RTL) 7](#_Toc9760874)

[2.4 Моделирование 7](#_Toc9760875)

[2.5 Назначение выводов СБИС 7](#_Toc9760876)

[2.6 Тестирование на плате 5CSEMA5F31C6 8](#_Toc9760877)

[2.7 Выводы 8](#_Toc9760878)

[3 Задание lab3\_3 9](#_Toc9760879)

[3.1 Задание 9](#_Toc9760880)

[3.2 Описание на языке Verilog 9](#_Toc9760881)

[3.3 Результат синтеза (RTL) 10](#_Toc9760882)

[3.4 Моделирование 11](#_Toc9760883)

[3.5 Назначение выводов СБИС 11](#_Toc9760884)

[3.6 Тестирование на плате 5CSEMA5F31C6 12](#_Toc9760885)

[3.7 Выводы 12](#_Toc9760886)

[4 Задание lab3\_4 13](#_Toc9760887)

[4.1 Задание 13](#_Toc9760888)

[4.2 Описание на языке Verilog 13](#_Toc9760889)

[4.3 Результат синтеза (RTL) 14](#_Toc9760890)

[4.4 Моделирование 14](#_Toc9760891)

[4.5 Назначение выводов СБИС 14](#_Toc9760892)

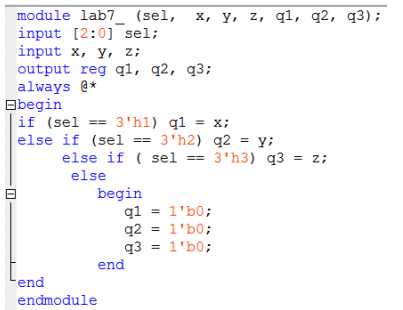
[4.6 Тестирование на плате 5CSEMA5F31C6 15](#_Toc9760893)

[4.7 Выводы 15](#_Toc9760894)

# Задание lab5\_1

## Задание

На языке Verilog ввести представленный ниже текст



Исправить описание так, чтобы не нарушая логику работы исключить возможность появления триггеров-защелок.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

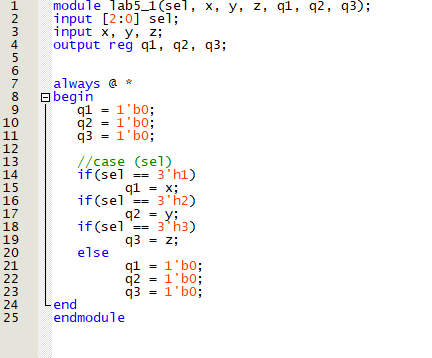
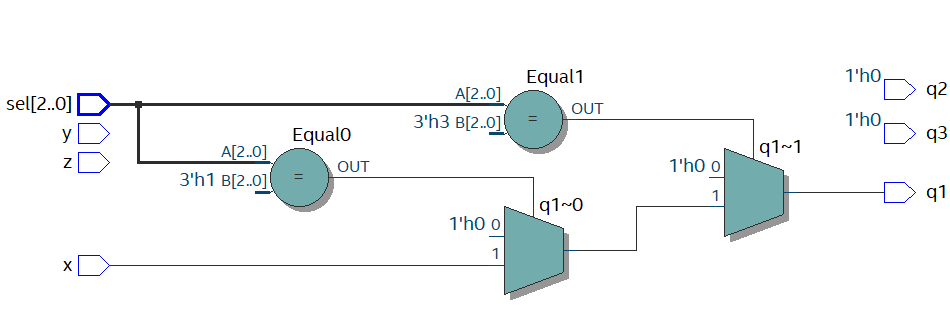


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

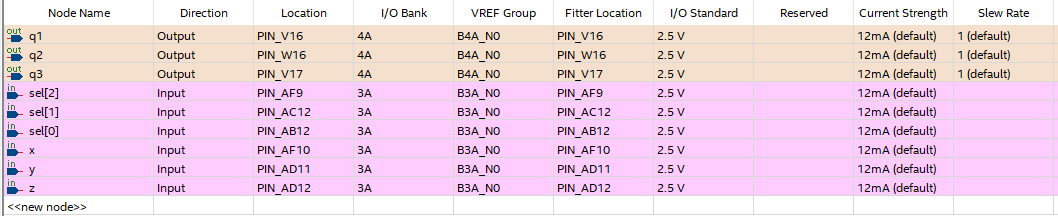
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab5\_2

## Задание

На языке Verilog опишите устройство,

- реализующее 2 арифметических выражения:

- x=a\*c\*d+b\*c\*d

- y=a\*c\*d+c\*\*2\*d

- Входы a, b, c, d – 2-разрядные (поступают с переключателей sw[7..0])

- Результат (8 разрядный) подается на светодиоды (led[7..0]): если кнопка pba=1, то на выход передается x; если pba=0 =>y;

- На входах устройства, выходах арифметических выражений и выходе устройства использовать регистры

- С помощью атрибута multstyle для ВСЕГО УСТРОЙСТВА задать реализацию умножителей на DSP блоках СБИС ПЛ.

- Провести исследование:

- Добиться того, чтобы для реализации арифметической части устройства требовалось 3 умножителя и 2 сумматора.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.

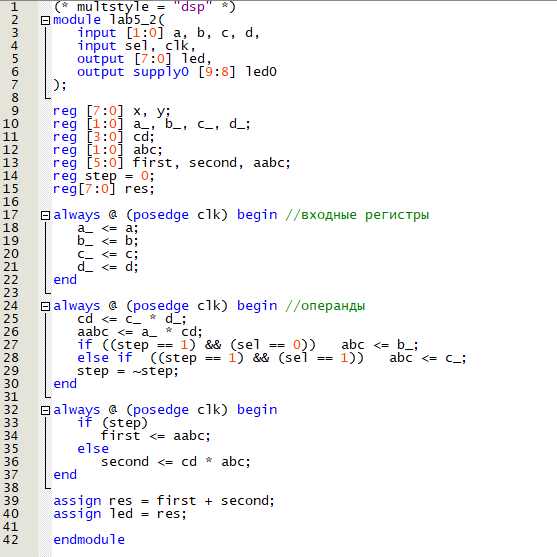
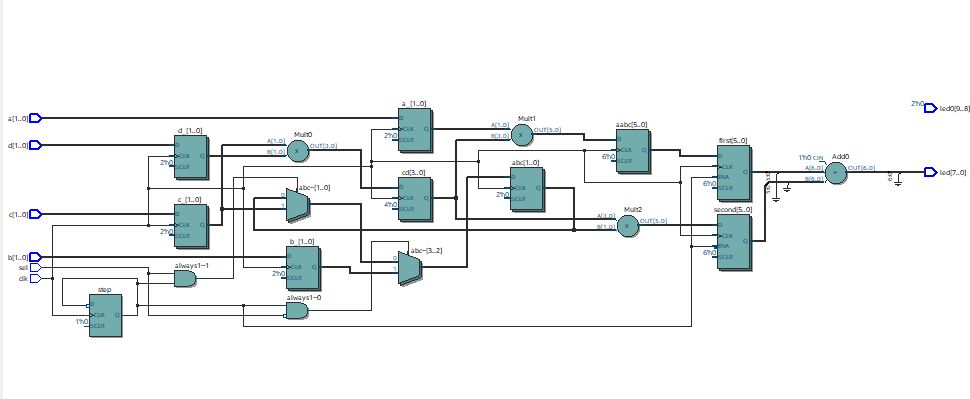


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

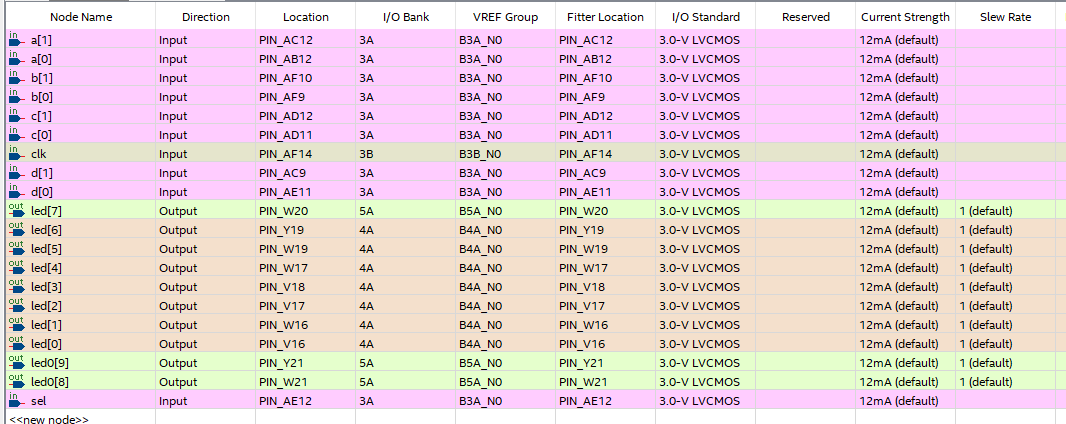
## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab5\_3

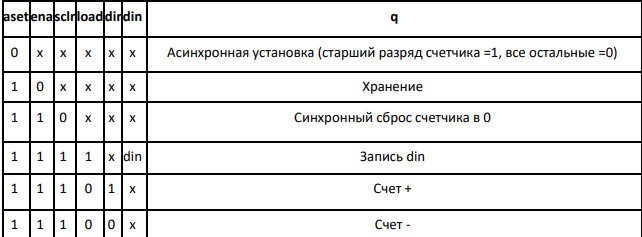
## Задание

На языке Verilog опишите устройство, включающее:

- счетчик-делитель, обеспечивает счет по модулю 25 000 000 и формирование синхронного сигнала

- переноса (активный уровень сигнала – 1, длительность один такт тактовой частоты) по достижению счетчиком значения 25 000 000-1.

-Двоичный, 4-разрядный, счетчик, алгоритм работы, которого задан приведенной ниже таблицей



Выводы устройства:

Входы:

- Кнопка pba - асинхронная установка (установка при нажатии на кнопку)

Соединена с входом aset 4-разрядного счетчика

- Кнопка pbb - синхронный сброс (сброс при нажатии на кнопку)

Соединена с входом sclr 4-разрядного счетчика

- Переключатель sw[1] – управление загрузкой счетчика

Соединен с входом load 4-разрядного счетчика

- Переключатель sw[0] – управление направлением счета

Соединен с входом dir 4-разрядного счетчика

- Переключатели sw[7:4] – загружаемые данные

Соединены с входом din 4-разрядного счетчика

- Тактовый сигнал (clk) подается от тактового генератора (см. описание стенда). Частота тактового сигнала – 25МГц.

- Выходы- светодиоды led[7:4] (выходы двоичного 4-разрядного счетчика).

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

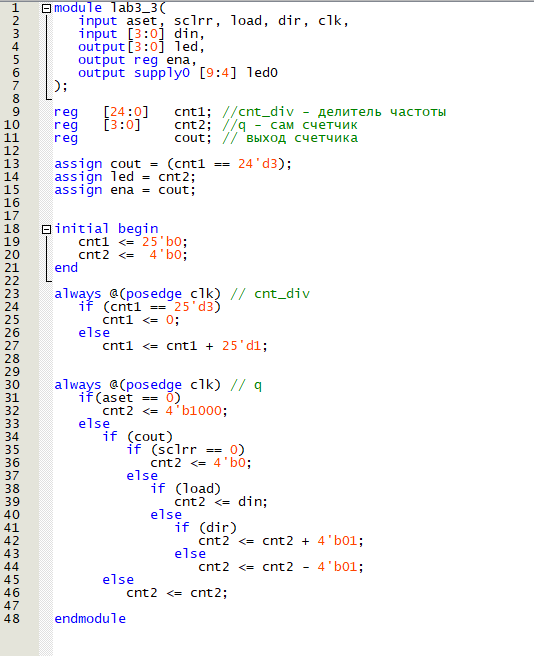


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

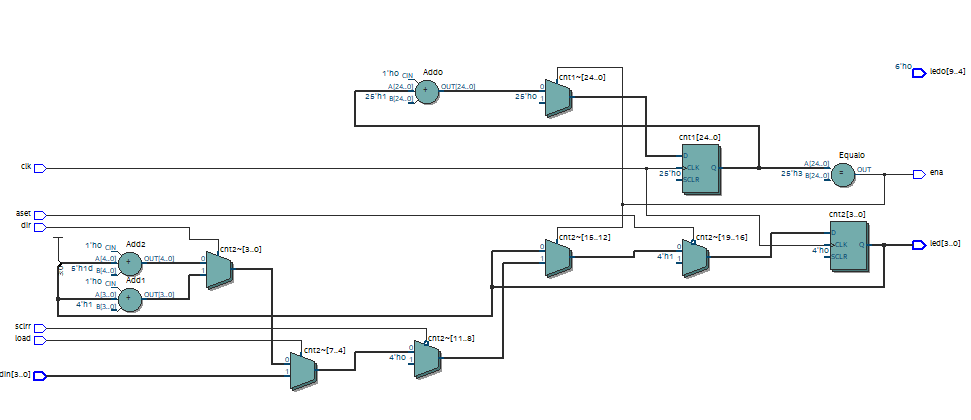


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

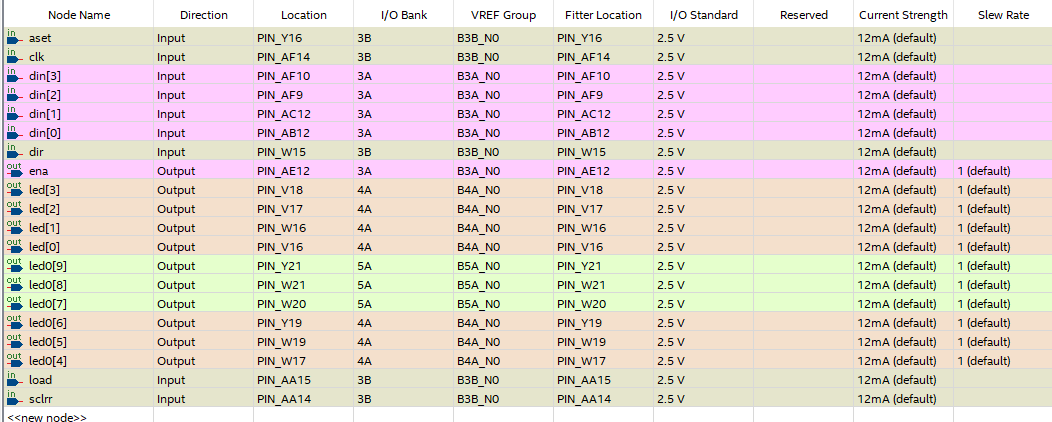


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

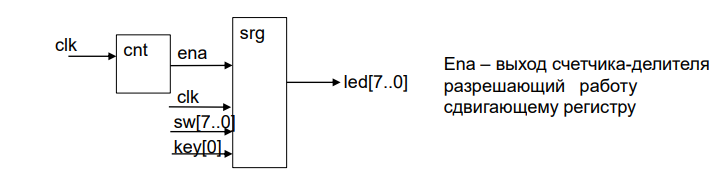
## Выводы

Выводы по заданию

# Задание lab5\_4

## Задание

На языке Verilog описать представленную ниже схему:



- сnt – счетчик-делитель: коэффициент деления задается константой; выход – сигнал переноса

- srg – сдвигающий регистр;

Входы данных

– Clk – тактовый (25 МГц), sw[7..0] – данные загружаемые в сдвигающий регистр,

- key[0] – сигнал синхронной загрузки данных в сдвигающий регистр

Выход – led[7..0] – содержимое сдвигающего регистра-7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями sw[7:6]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

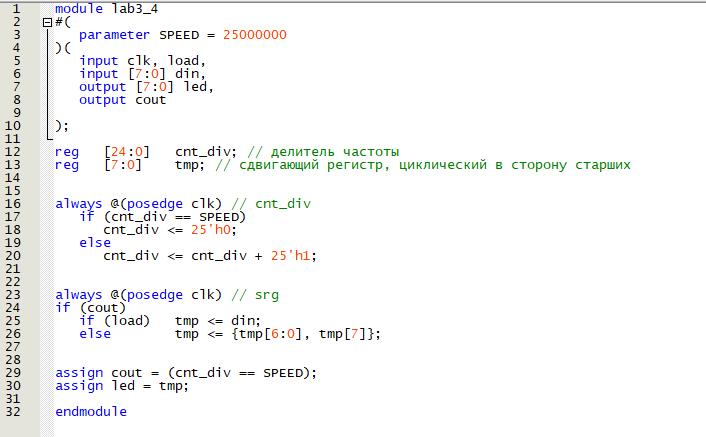


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

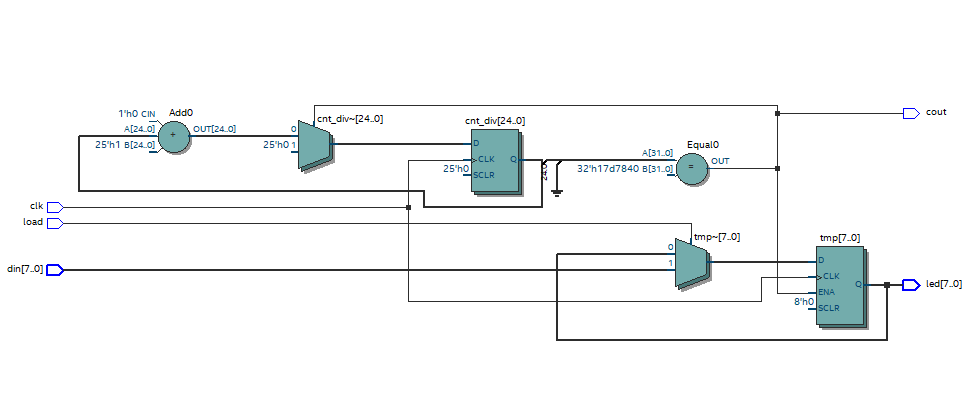


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис.

Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4‑4

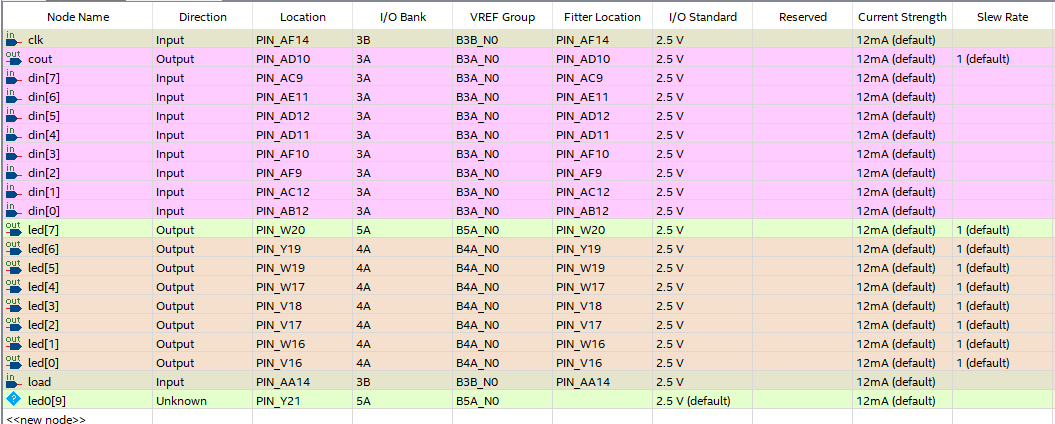


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы