САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 5

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab5\_1 3](#_Toc11013164)

[1.1 Задание 3](#_Toc11013165)

[1.2 Описание на языке Verilog 3](#_Toc11013166)

[1.3 Результат синтеза (RTL) 4](#_Toc11013167)

[1.4 Моделирование 4](#_Toc11013168)

[1.5 Назначение выводов СБИС 4](#_Toc11013169)

[1.6 Тестирование на плате 5CSEMA5F31C6 5](#_Toc11013170)

[1.7 Выводы 5](#_Toc11013171)

[2 Задание lab5\_2 и lab5\_3 6](#_Toc11013172)

[2.1 Задание 6](#_Toc11013173)

[2.2 Описание на языке Verilog 6](#_Toc11013174)

[2.3 Результат синтеза (RTL) 7](#_Toc11013175)

[2.4 Моделирование 8](#_Toc11013176)

[2.5 Назначение выводов СБИС 8](#_Toc11013177)

[2.6 Тестирование на плате 5CSEMA5F31C6 8](#_Toc11013178)

[2.7 Выводы 9](#_Toc11013179)

[3 Задание lab5\_4 10](#_Toc11013180)

[3.1 Задание 10](#_Toc11013181)

[3.2 Описание на языке Verilog 10](#_Toc11013182)

[3.3 Результат синтеза (RTL) 11](#_Toc11013183)

[3.4 Моделирование 12](#_Toc11013184)

[3.5 Назначение выводов СБИС 12](#_Toc11013185)

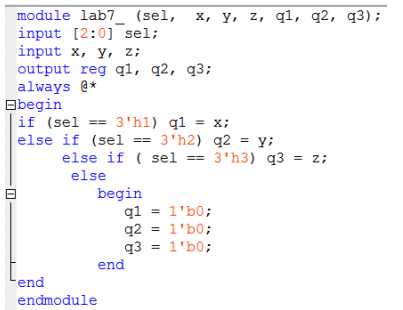
[3.6 Тестирование на плате 5CSEMA5F31C6 13](#_Toc11013186)

[3.7 Выводы 13](#_Toc11013187)

# Задание lab5\_1

## Задание

На языке Verilog ввести представленный ниже текст



Исправить описание так, чтобы не нарушая логику работы исключить возможность появления триггеров-защелок.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

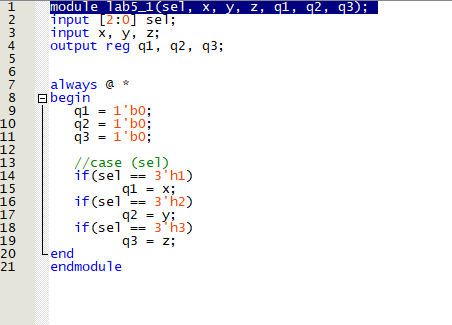
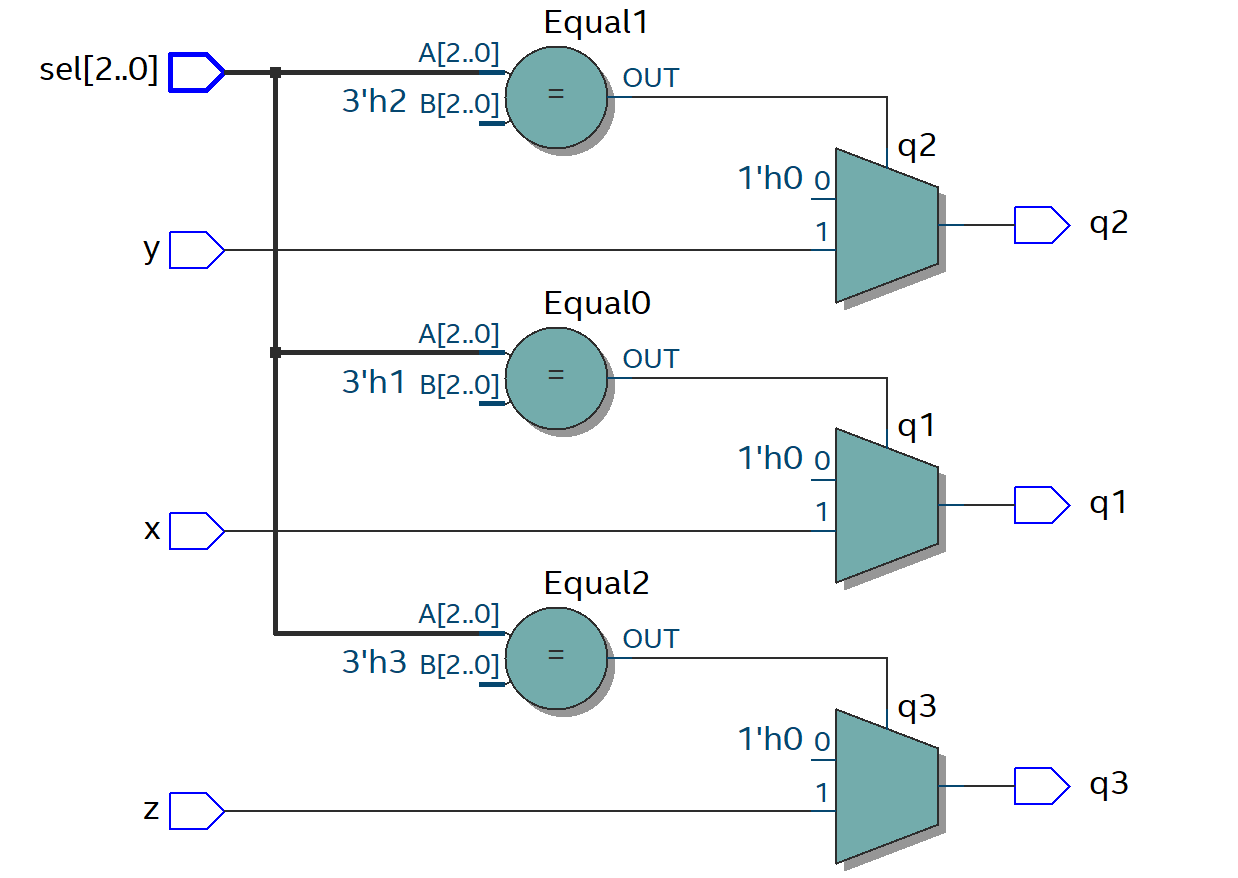


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

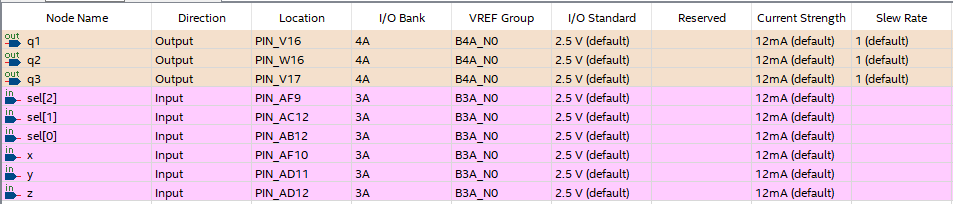
* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab5\_2 и lab5\_3

## Задание

На языке Verilog опишите устройство,

- реализующее 2 арифметических выражения:

- x=a\*c\*d+b\*c\*d

- y=a\*c\*d+c\*\*2\*d

- Входы a, b, c, d – 2-разрядные (поступают с переключателей sw[7..0])

- Результат (8 разрядный) подается на светодиоды (led[7..0]): если кнопка pba=1, то на выход передается x; если pba=0 =>y;

- На входах устройства, выходах арифметических выражений и выходе устройства использовать регистры

- С помощью атрибута multstyle для ВСЕГО УСТРОЙСТВА задать реализацию умножителей на DSP блоках СБИС ПЛ.

- Провести исследование:

- Добиться того, чтобы для реализации арифметической части устройства требовалось 3 умножителя и 2 сумматора.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.

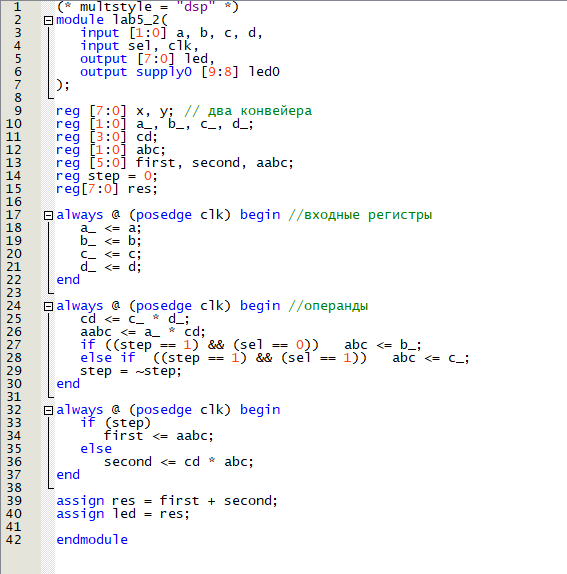
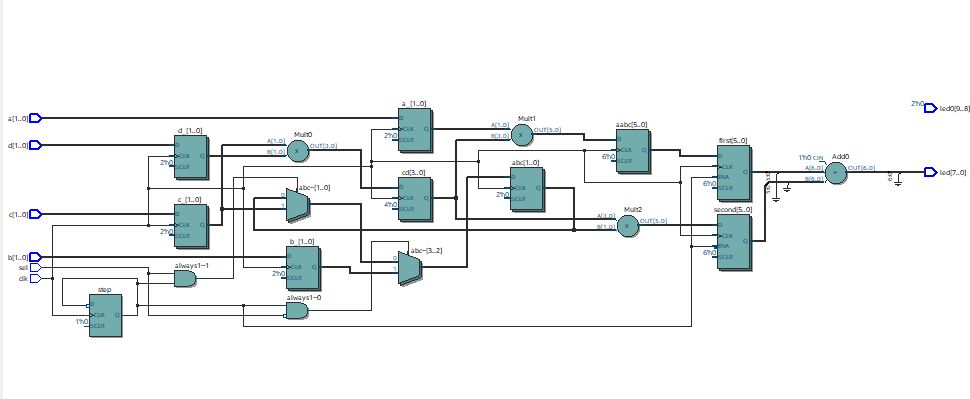


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

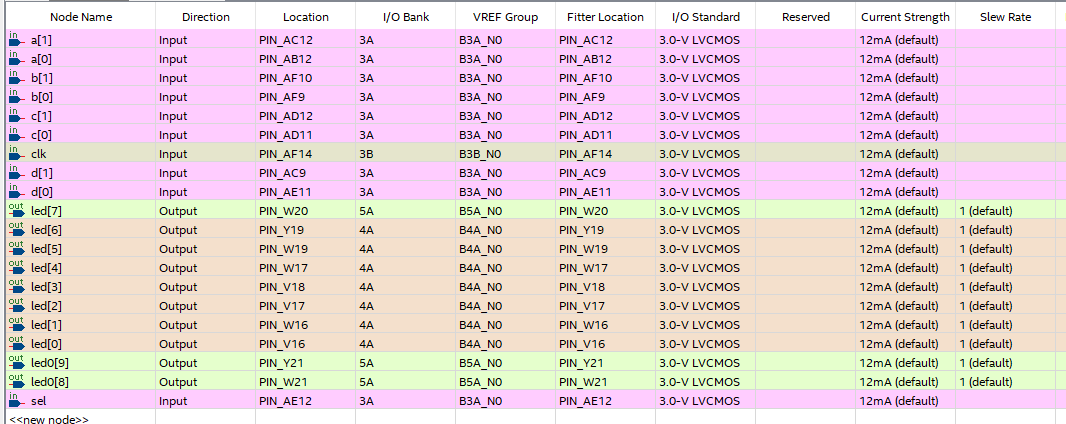
## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

# Задание lab5\_4

## Задание

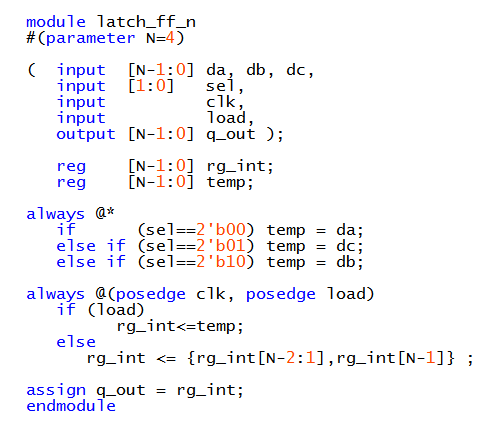
Введите приведенное ниже Verilog описание кольцевого сдвигающего регистра, имеющего:

- входы данных da, db, dc;

- вход выбора источника загрузки данных в регистр - sel;

- вход синхронной загрузки данных в регистр - load.

- Имя модуля исправьте на lab5\_4



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

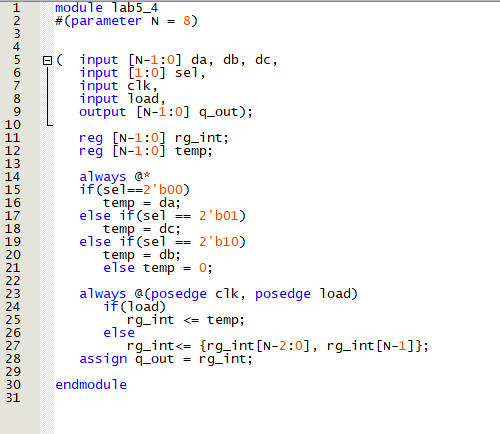


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

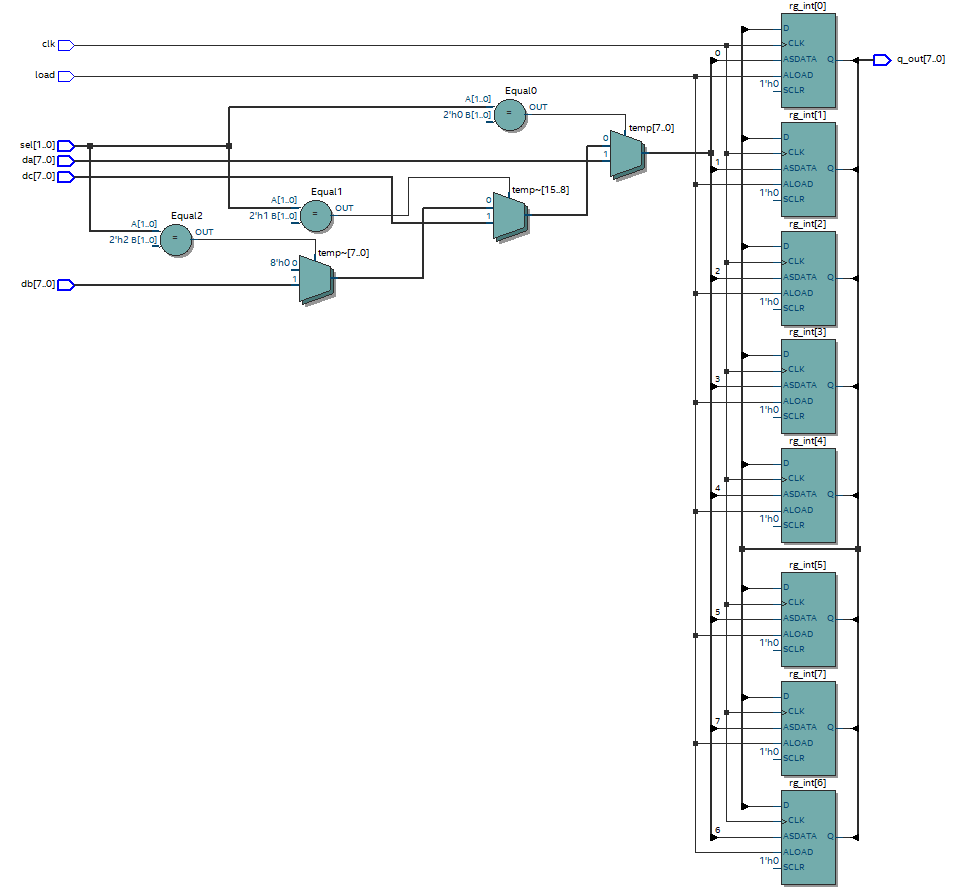


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход … подается …
* на вход … подается …

Результаты моделирования приведены на Рис.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

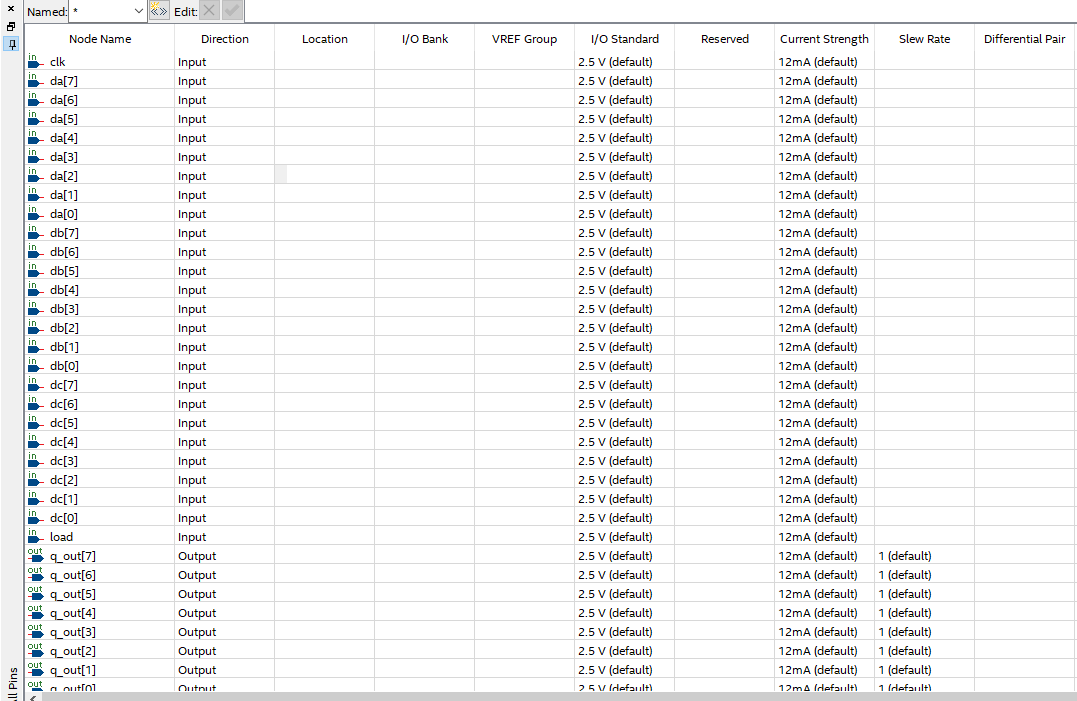


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Выводы по заданию