САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 1

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab1\_1 3](#_Toc11589679)

[1.1 Задание 3](#_Toc11589680)

[1.2 Описание на языке Verilog 3](#_Toc11589681)

[1.3 Результат синтеза (RTL) 3](#_Toc11589682)

[1.4 Моделирование 4](#_Toc11589683)

[1.5 Назначение выводов СБИС 4](#_Toc11589684)

[1.6 Тестирование на плате 5CSEMA5F31C6 5](#_Toc11589685)

[1.7 Выводы 5](#_Toc11589686)

[2 Задание lab1\_2 6](#_Toc11589687)

[2.1 Задание 6](#_Toc11589688)

[2.2 Описание на языке Verilog 6](#_Toc11589689)

[2.3 Результат синтеза (RTL) 6](#_Toc11589690)

[2.4 Моделирование 7](#_Toc11589691)

[2.5 Назначение выводов СБИС 7](#_Toc11589692)

[2.6 Тестирование на плате 5CSEMA5F31C6 8](#_Toc11589693)

[2.7 Выводы 8](#_Toc11589694)

[3 Задание lab1\_3 9](#_Toc11589695)

[3.1 Задание 9](#_Toc11589696)

[3.2 Описание на языке Verilog 9](#_Toc11589697)

[3.3 Результат синтеза (RTL) 9](#_Toc11589698)

[3.4 Моделирование 10](#_Toc11589699)

[3.5 Назначение выводов СБИС 11](#_Toc11589700)

[3.6 Тестирование на плате 5CSEMA5F31C6 11](#_Toc11589701)

[3.7 Выводы 11](#_Toc11589702)

[4 Задание lab1\_4 12](#_Toc11589703)

[4.1 Задание 12](#_Toc11589704)

[4.2 Описание на языке Verilog 12](#_Toc11589705)

[4.3 Результат синтеза (RTL) 12](#_Toc11589706)

[4.4 Моделирование 13](#_Toc11589707)

[4.5 Назначение выводов СБИС 13](#_Toc11589708)

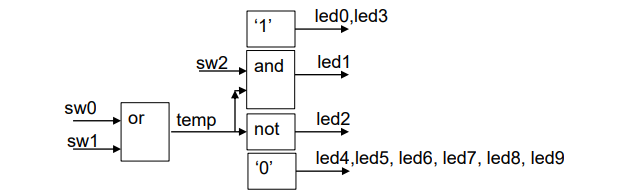
[4.6 Тестирование на плате 5CSEMA5F31C6 13](#_Toc11589709)

[4.7 Выводы 13](#_Toc11589710)

# Задание lab1\_1

## Задание

На языке Verilog описать представленную ниже схему (двухразрядный компаратор на равенство):



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

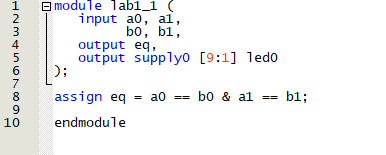
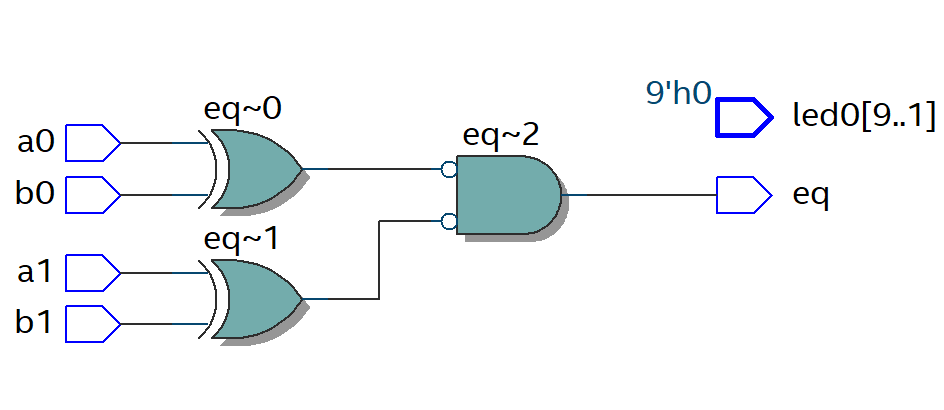


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

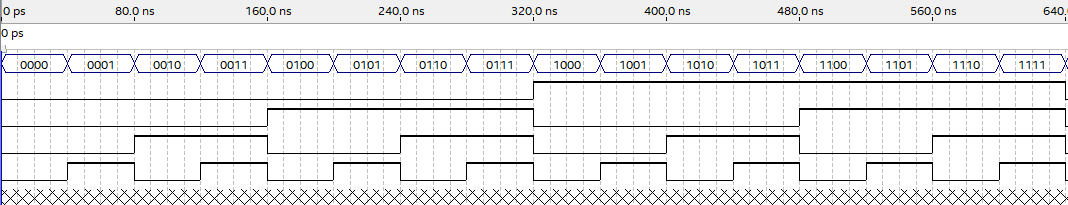
Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

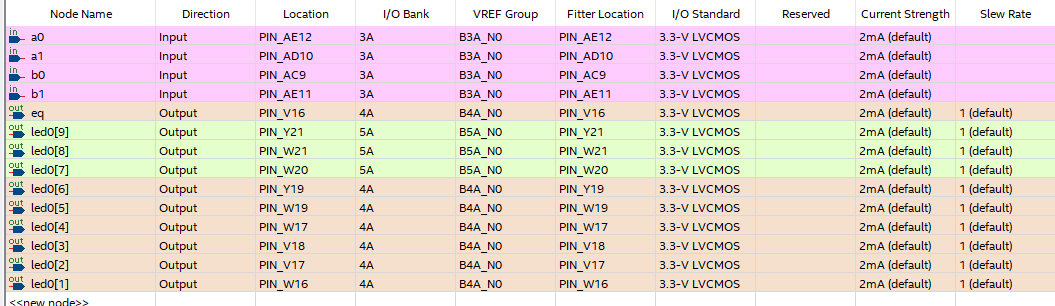
* на вход [9:8] и [7:6] подаются числа 10 и 10 соответственно, на выходе eq получаем 1
* на вход [9:8] и [7:6] подаются числа 11 и 11 соответственно, на выходе eq получаем 1
* на вход [9:8] и [7:6] подаются числа 11 и 01 соответственно, на выходе eq получаем 0

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения задания научились разрабатывать двухразрядный компаратор на равенство. Тестирование на плате показало, что компаратор работает исправно и в соответствии с заданием.

# Задание lab1\_2

## Задание

На языке Verilog, используя логические выражения, опишите мультиплексор 2(4бит) =>1(4бит):

Входы данных: sw[7:4] и sw[3:0] соответственно

Выходы: светодиоды led[3:0]

Управление переключателем – кнопка key

- если нажата: sw[3:0] => led[3:0]

- если не нажата: sw[7:4] => led [3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

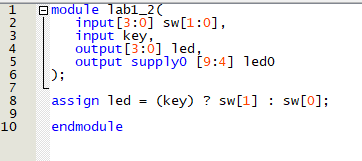
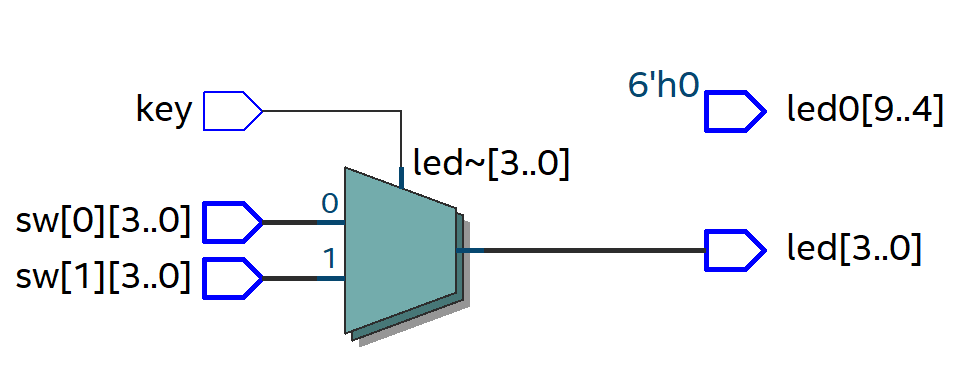


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

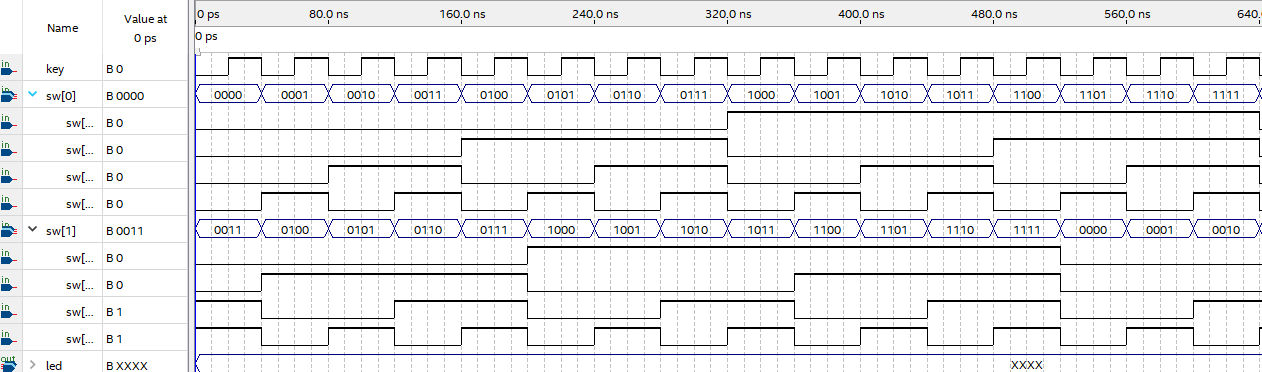
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

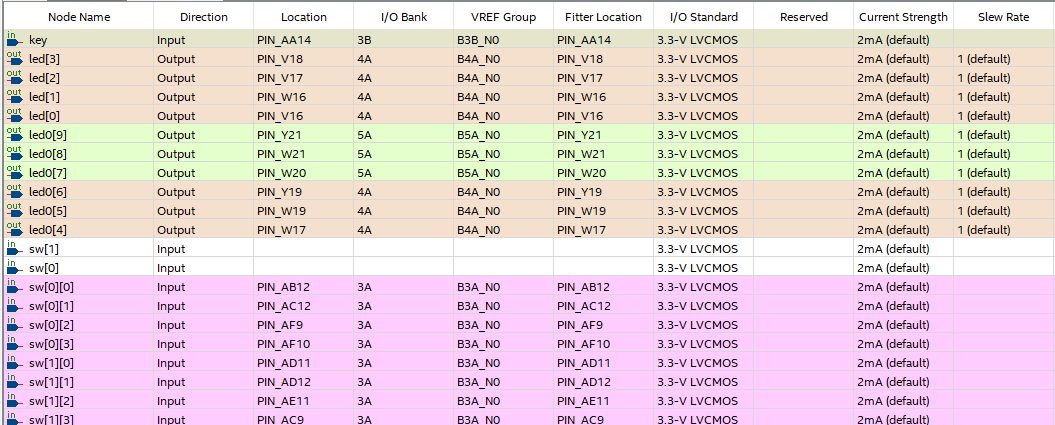
* на вход sw[7:4] и sw[3:0] подаются соответственно числа 0101 и 0011, кнопка не нажата, на выходе led[3:0] отображается число 0101
* на вход sw[7:4] и sw[3:0] подаются соответственно числа 0101 и 0011, кнопка нажата, на выходе led[3:0] отображается число 0011
* на вход sw[7:4] и sw[3:0] подаются соответственно числа 0010 и 0001, кнопка не нажата, на выходе led[3:0] отображается число 0010
* на вход sw[7:4] и sw[3:0] подаются соответственно числа 0010 и 0001, кнопка нажата, на выходе led[3:0] отображается число 0001

Результаты моделирования приведены на Рис 2-3.

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения задания научились разрабатывать мультиплексор 2(4бит) =>1(4бит). Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием

# Задание lab1\_3

## Задание

На языке Verilog описать устройство демультиплексор 1(2) в 4(2)

Входы:

Данных (sw[1:0])

Упраление (key[1:0]),

Выходы:

led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

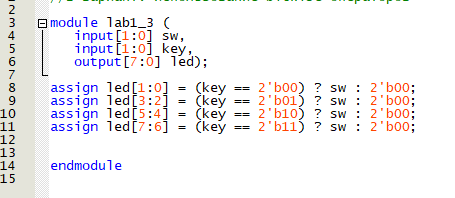


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

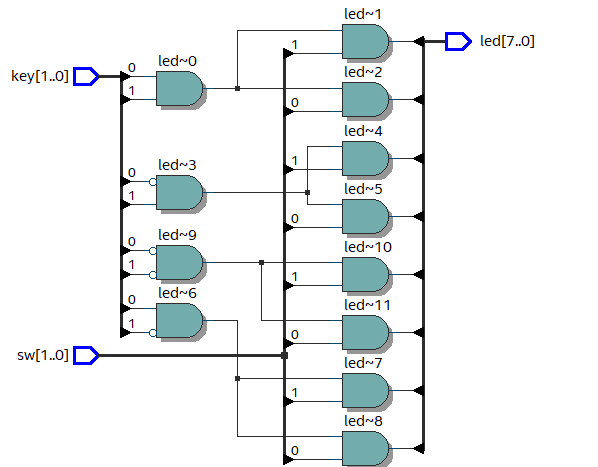


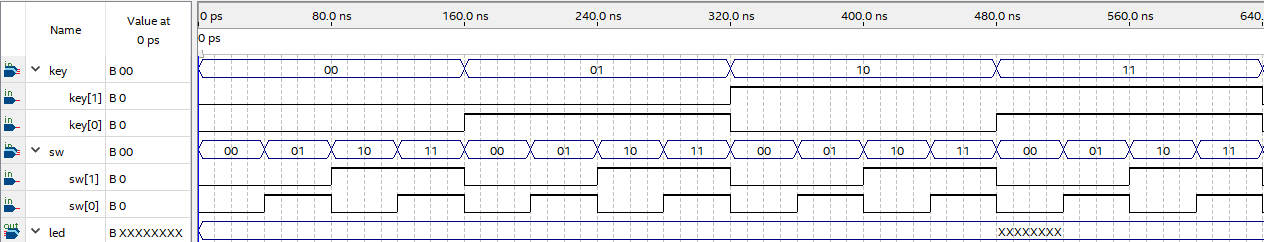
Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* Подаем при помощи кнопок значение 00, на светодиодах led[1:0] отображается число, заданное переключателями sw[1:0].
* Подаем при помощи кнопок значение 01, на светодиодах led[3:2] отображается число, заданное переключателями sw[1:0].
* Подаем при помощи кнопок значение 10, на светодиодах led[5:4] отображается число, заданное переключателями sw[1:0].
* Подаем при помощи кнопок значение 11, на светодиодах led[7:6] отображается число, заданное переключателями sw[1:0].

Результаты моделирования приведены на Рис 3-3.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

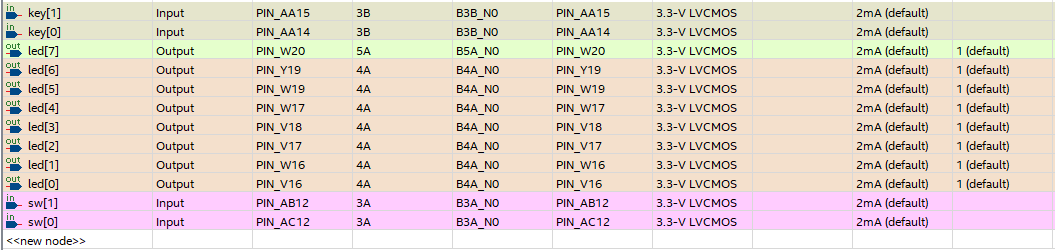


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать устройство демультиплексор 1(2) в 4(2). Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием.

# Задание lab1\_4

## Задание

На языке Verilog, используя логические выражения, опишите преобразователь двоичного кода в позиционный код (один-из-N)

- Входы двоичных данных переключатели sw[1:0]

- Выходы: светодиоды led [3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

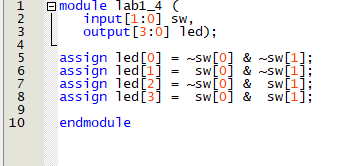


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

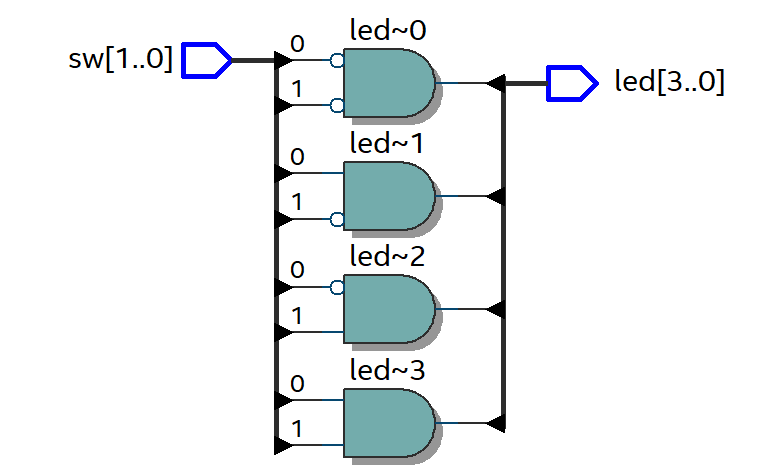


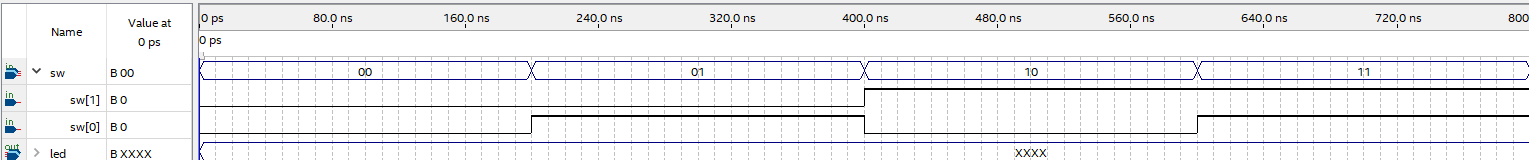
Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход sw[1:0] подается число 00, видим, что загорелся светодиод led[0]
* на вход sw[1:0] подается число 01, видим, что загорелся светодиод led[1]
* на вход sw[1:0] подается число 10, видим, что загорелся светодиод led[2]
* на вход sw[1:0] подается число 11, видим, что загорелся светодиод led[3]

Результаты моделирования приведены на Рис 4 - 3.

Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4‑4

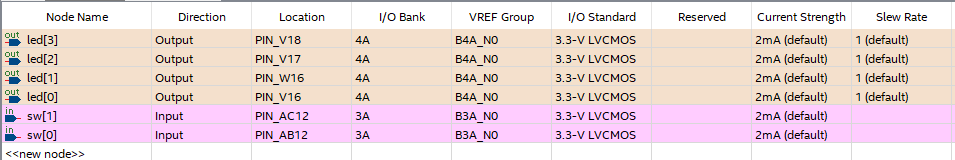


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать устройство - преобразователь двоичного кода в позиционный код (один-из-N). Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием.