САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 2

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab2\_1 3](#_Toc9758678)

[1.1 Задание 3](#_Toc9758679)

[1.2 Описание на языке Verilog 3](#_Toc9758680)

[1.3 Результат синтеза (RTL) 3](#_Toc9758681)

[1.4 Моделирование 4](#_Toc9758682)

[1.5 Назначение выводов СБИС 4](#_Toc9758683)

[1.6 Тестирование на плате 5CSEMA5F31C6 4](#_Toc9758684)

[1.7 Выводы 4](#_Toc9758685)

[2 Задание lab2\_2 5](#_Toc9758686)

[2.1 Задание 5](#_Toc9758687)

[2.2 Описание на языке Verilog 5](#_Toc9758688)

[2.3 Результат синтеза (RTL) 5](#_Toc9758689)

[2.4 Моделирование 6](#_Toc9758690)

[2.5 Назначение выводов СБИС 6](#_Toc9758691)

[2.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc9758692)

[2.7 Выводы 6](#_Toc9758693)

[3 Задание lab2\_3 7](#_Toc9758694)

[3.1 Задание 7](#_Toc9758695)

[3.2 Описание на языке Verilog 7](#_Toc9758696)

[3.3 Результат синтеза (RTL) 7](#_Toc9758697)

[3.4 Моделирование 8](#_Toc9758698)

[3.5 Назначение выводов СБИС 8](#_Toc9758699)

[3.6 Тестирование на плате 5CSEMA5F31C6 8](#_Toc9758700)

[3.7 Выводы 8](#_Toc9758701)

[4 Задание lab2\_4 9](#_Toc9758702)

[4.1 Задание 9](#_Toc9758703)

[4.2 Описание на языке Verilog 9](#_Toc9758704)

[4.3 Результат синтеза (RTL) 10](#_Toc9758705)

[4.4 Моделирование 11](#_Toc9758706)

[4.5 Назначение выводов СБИС 11](#_Toc9758707)

[4.6 Тестирование на плате 5CSEMA5F31C6 12](#_Toc9758708)

[4.7 Выводы 12](#_Toc9758709)

# Задание lab2\_1

## Задание

На языке Verilog описать устройство арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом.

Входы:

– Данных (sw[7:0]), разряд 7 - знак

– Число разрядов сдвига (key[1:0]),

– Направление сдвига: вправо

Выходы:

– led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

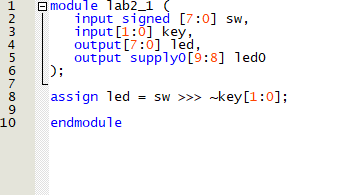
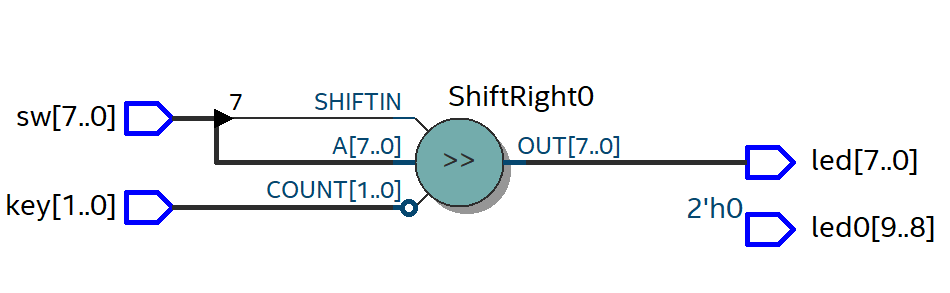


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

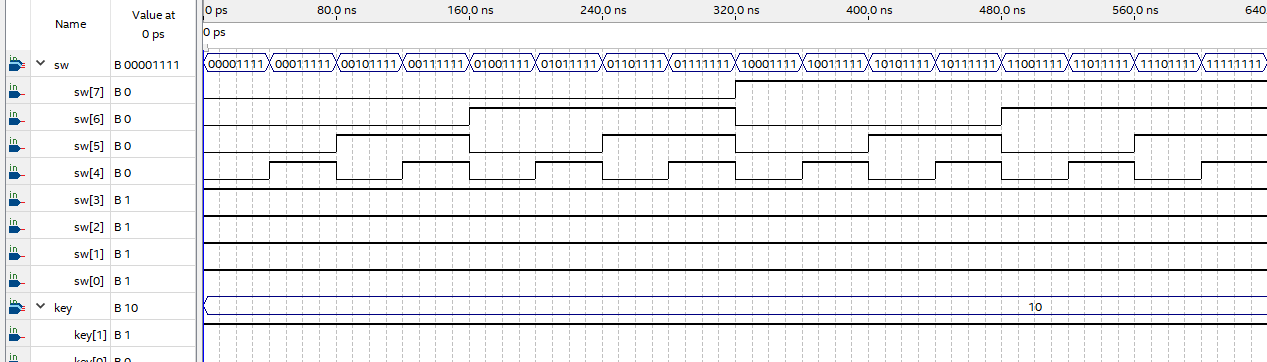
Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

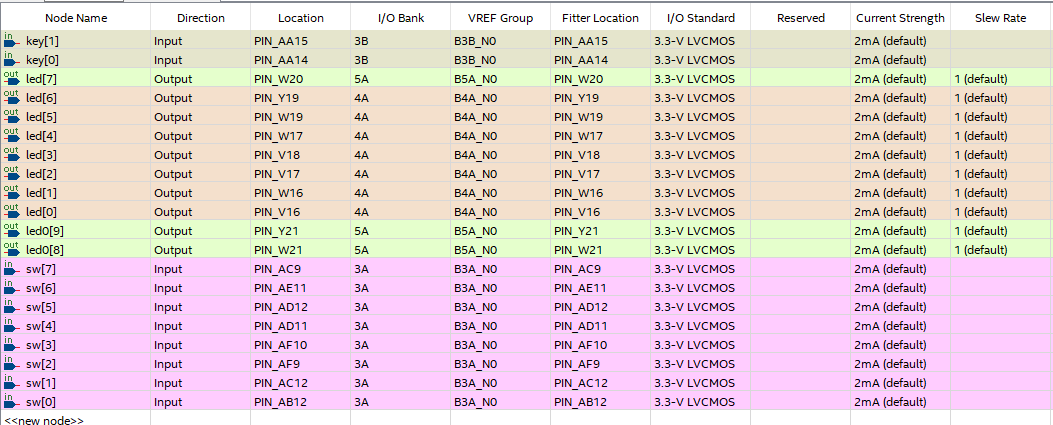
* на вход sw[7:0] подается число, старший разряд 0, на выходе получаем это же число, сдвинутое на N-разрядов

Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать арифметического сдвига 8-разрядного числа на произвольное число разрядов, заданное 2-разрядным кодом. Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием.

# Задание lab2\_2

## Задание

На языке Verilog опишите знаковый умножитель\сумматор:

Входы данных - переключатели sw[7:4] и sw[3:0]

Выбор операции – кнопка key[0]

Выходы – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.

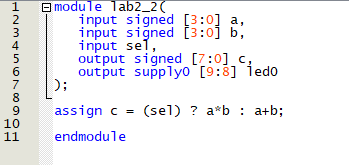
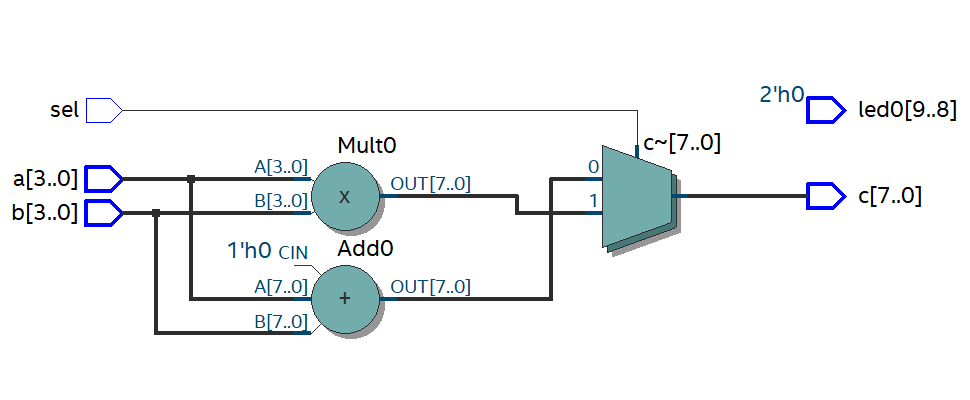


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

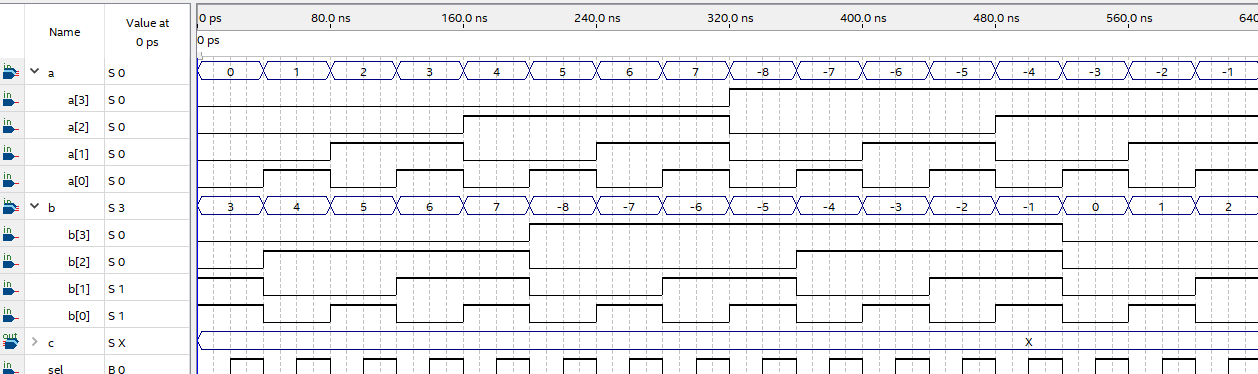
Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

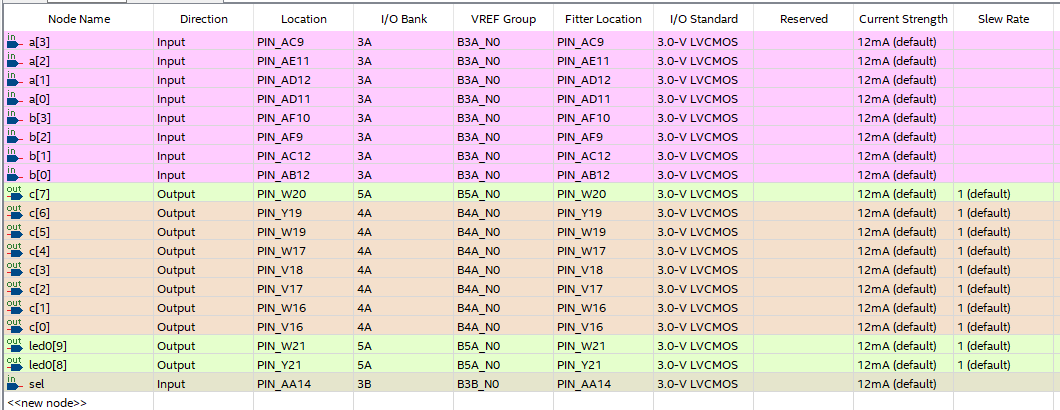
* на вход sw[7:4] подается число 0001, на sw[3:0] подается число 0001, кнопка нажата, на выходе led[7:0] получаем число 0010
* на вход sw[7:4] подается число 0010, на sw[3:0] подается число 0011, кнопка нажата, на выходе led[7:0] получаем число 0101
* на вход sw[7:4] подается число 0001, на sw[3:0] подается число 0001, кнопка не нажата, на выходе led[7:0] получаем число 0001
* на вход sw[7:4] подается число 0010, на sw[3:0] подается число 0011, кнопка не нажата, на выходе led[7:0] получаем число 0110

Результаты моделирования приведены на Рис. 2-3

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать знаковый умножитель\сумматор. Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием.

# Задание lab2\_3

## Задание

На языке Verilog опишите без знаковый делитель с повышенной точностью (4 знака после запятой).

Входы данных

-Делимое - переключатели sw[7:4]

-Делитель - переключатели sw[3:0]

Выходы

-Результат деления

Целая часть - светодиоды led[7:4]

Четыре знака после запятой – светодиоды led[3:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

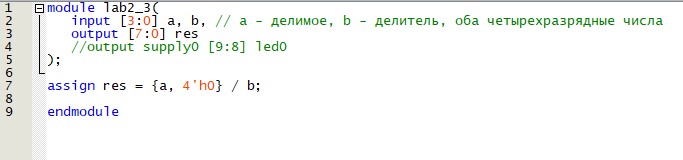


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

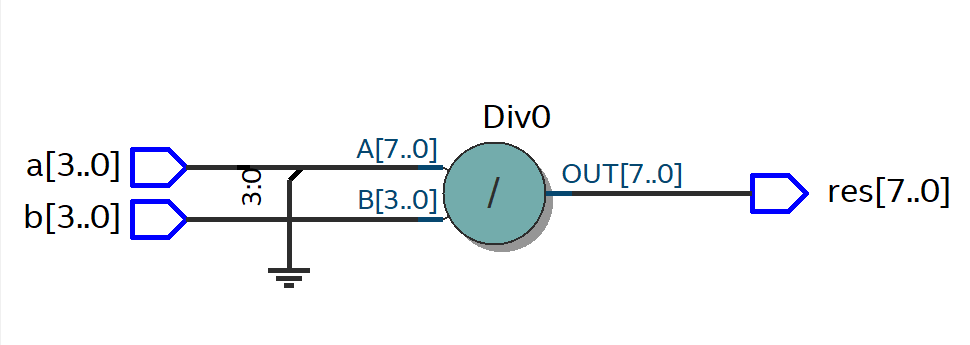


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход sw[7:4] подается число 0100, на sw[3:0] подается число 0010, на выходе led[7:4] имеем 0010
* на вход sw[7:4] подается число 0001, на sw[3:0] подается число 0011, на выходе led[7:4] имеем 0000, на led[3:0] имеем 0101

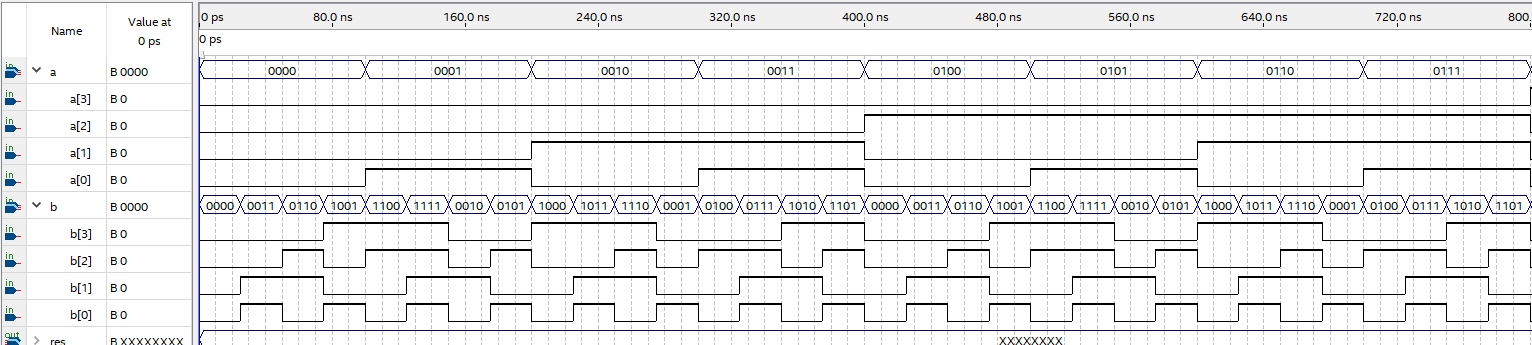
Результаты моделирования приведены на Рис 3-3.

Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3‑4

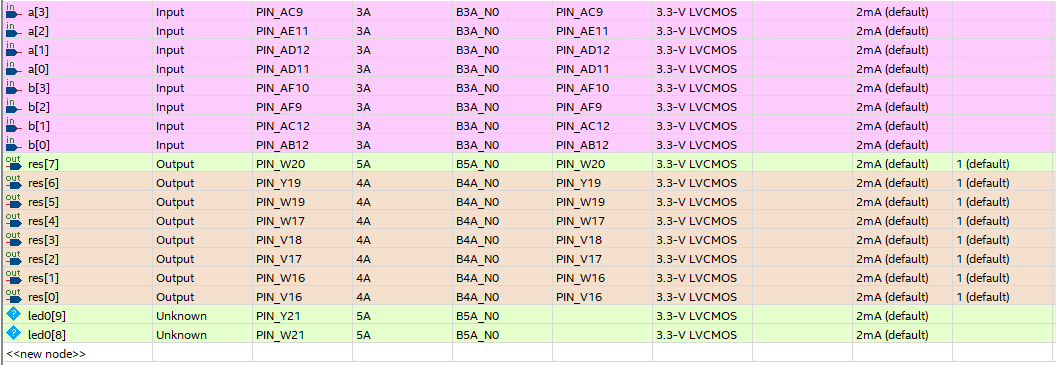


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать без знаковый делитель с повышенной точностью (4 знака после запятой). Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием.

# Задание lab2\_4

## Задание

На языке Verilog, опишите преобразователь двоичного 4-разрядного кода в 7-сегментный код.

Входы данных

-Двоичный код - переключатели sw[3:0]

-Выбор разряда 7-сегментного индикатора для отображения - переключатели sw[7:6]

00 – отображение в 0 (в правом) разряде 7-сегментного индикатора

01 – отображение в 1 разряде 7-сегментного индикатора

10 – отображение в 2 разряде 7-сегментного индикатора

11 – отображение в 3 (в левом) разряде 7-сегментного индикатора

Выходы

-7-сегментный индикатор – все 4 разряда, выбор которых управляется переключателями sw[7:6]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4‑1.

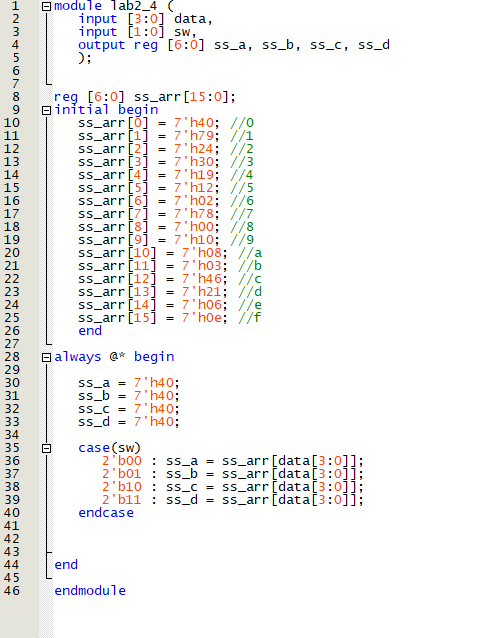


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4‑2. Изображение схемы получено с помощью приложения RTL Viewer.

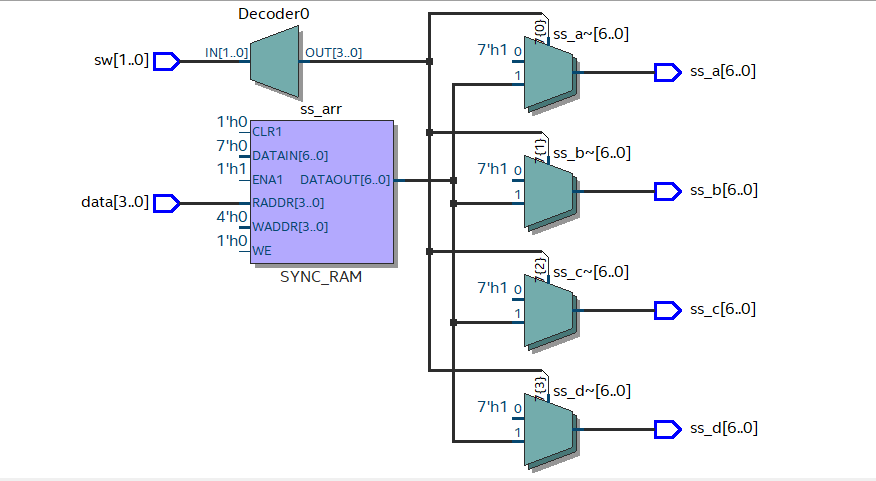


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* На вход data[3:0] подаются числа от 0 до 15. Каждое число представляется в виде 7-ми сегментного кода и отображаете на индикаторе

Результаты моделирования приведены на Рис 4-3



Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4‑4

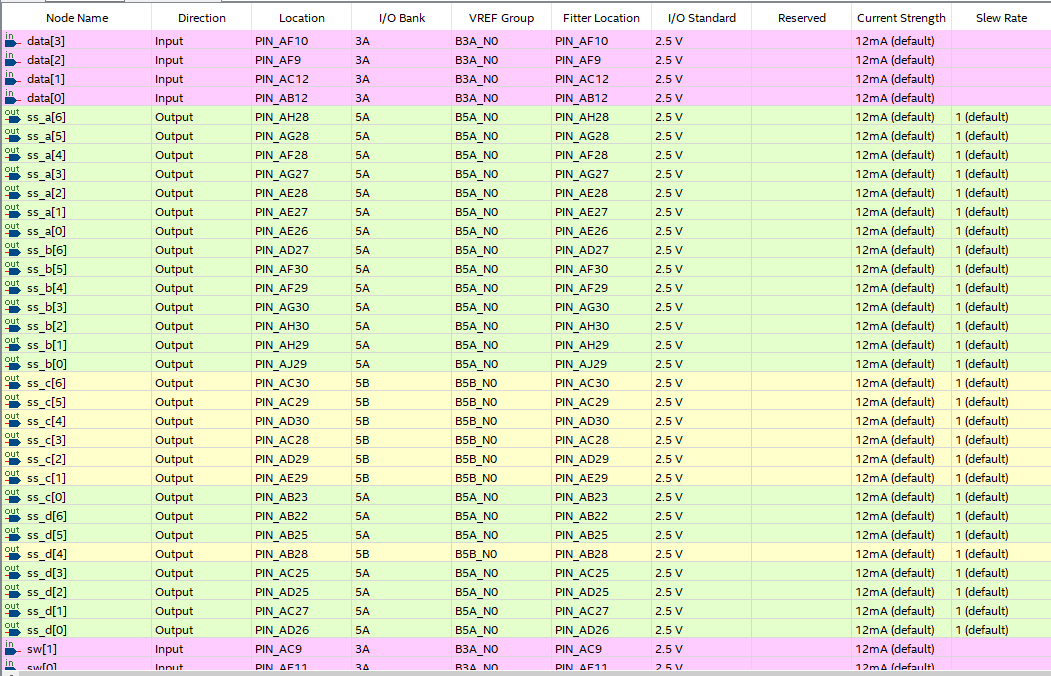


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе данного задания научились разрабатывать преобразователь двоичного 4-разрядного кода в 7-сегментный код. Тестирование на плате показало, что устройство работает исправно и в соответствии с заданием