САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 4

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab4\_1 3](#_Toc11599933)

[1.1 Задание 3](#_Toc11599934)

[1.2 Описание на языке Verilog 3](#_Toc11599935)

[1.3 Результат синтеза (RTL) 4](#_Toc11599936)

[1.4 Моделирование 5](#_Toc11599937)

[1.5 Назначение выводов СБИС 5](#_Toc11599938)

[1.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc11599939)

[1.7 Выводы 6](#_Toc11599940)

[2 Задание lab4\_2 7](#_Toc11599941)

[2.1 Задание 7](#_Toc11599942)

[2.2 Описание на языке Verilog 8](#_Toc11599943)

[2.3 Результат синтеза (RTL) 9](#_Toc11599944)

[2.4 Моделирование 10](#_Toc11599945)

[2.5 Назначение выводов СБИС 10](#_Toc11599946)

[2.6 Тестирование на плате 5CSEMA5F31C6 11](#_Toc11599947)

[2.7 Выводы 11](#_Toc11599948)

# Задание lab4\_1

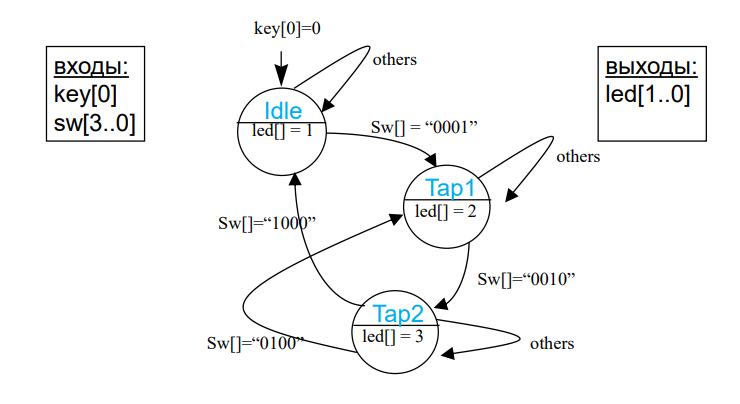
## Задание

На языке Verilog описать конечный автомат:

Тактовый сигнал – clk

- Входы sw[3:0] подать через два последовательно включенных триггера

- Вход key[0] (сигнал асинхронного сброса) подать через два последовательно включенных триггера.

Схема конечного автомата представлена ниже:

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

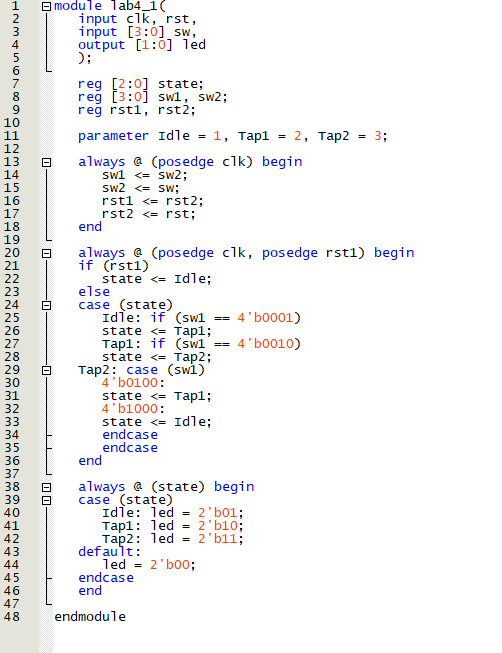
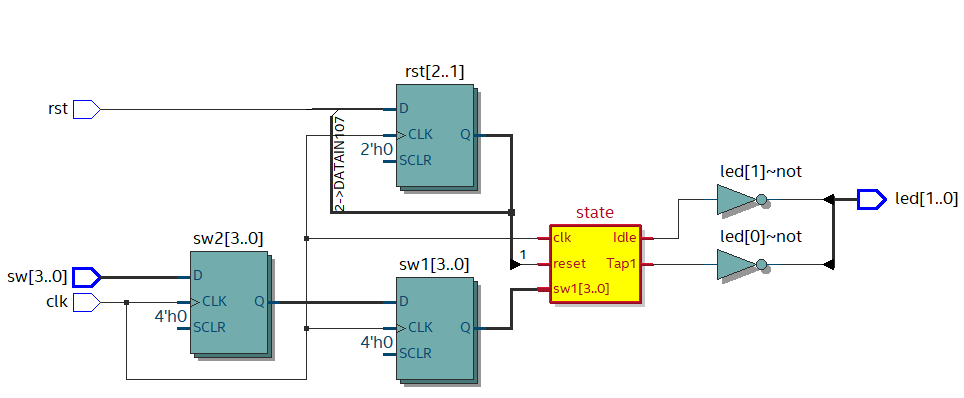


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* Изначально на выходе led[1:0] число 01, подаем на вход sw[3:0] 0001, на выходе led[1:0] видим 10, подаем на вход sw[3:0] 0010, на выходе led[1:0] видим 11, сбрасываем сигнал при помощи кнопки key, на выходе led[1:0] видим 01

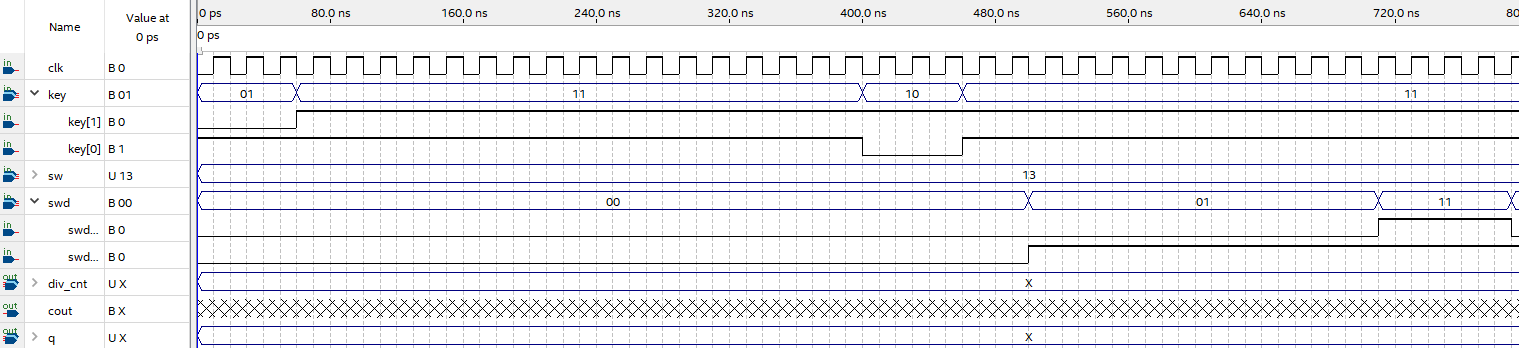
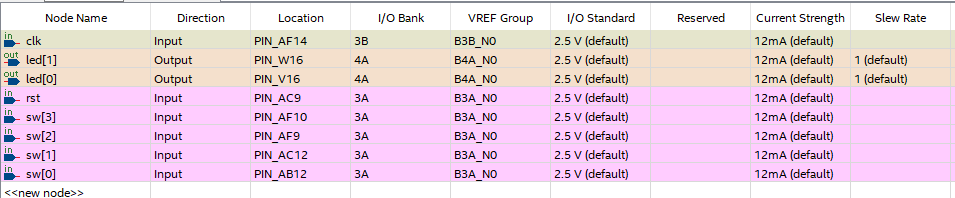
Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания было разработано устройство, реализующее конечный автомат Мура. Результаты на плате совпали с ожидаемыми, устройство работает исправно.

# Задание lab4\_2

## Задание

На языке Verilog опишите устройство, включающее:

- счетчик-делитель, обеспечивает счет деление на 25 000 000 и формирование сигнала переноса.

- Конечный автомат, граф переходов которого приведен на рисунке ниже (условия перехода показаны для нескольких состояний, для остальных – аналогично: из нечетных состояний переход при in2=x

В узлах автомата указано значение выходов автомата.

- in1, in2– входные сигналы автомата.

- Имена состояний автомата выбираются самостоятельно.

- Автомат имеет вход асинхронного сброса (сигнал rst не показан на графе) в состояние, в котором выходные сигналы 000 : при rst=0 – асинхронный сброс.

- Автомат имеет вход разрешения работы – ena ( при ena=1 – работа разрешена), подключенный к сигналу переноса счетчика-делителяВыводы устройства:

-Входы:

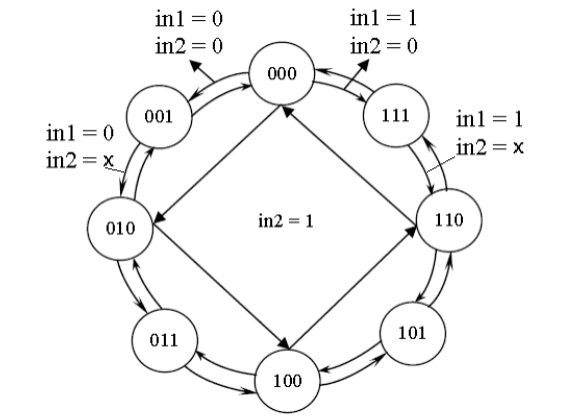
Переключатель sw[1] – вход in1

Переключатель sw[2] – вход in2

…Кнопка pba – вход асинхронного сброса (кнопка нажата – сброс).

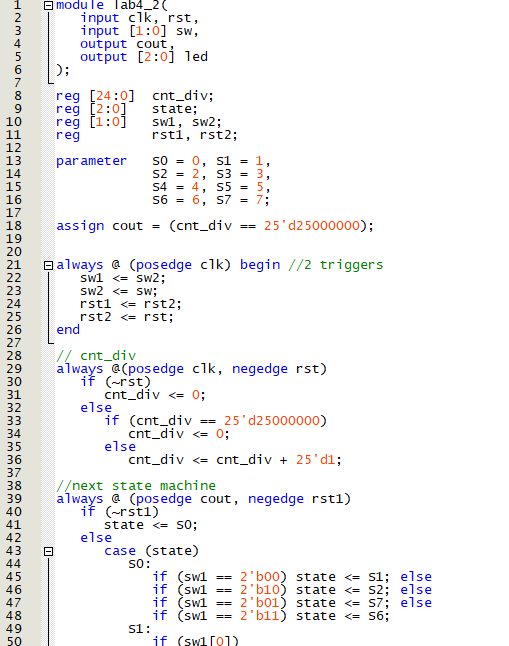
…Тактовый сигнал (clk) подается от тактового генератора (см. описание стенда). Частота тактового сигнала – 25МГц.

Выходы - светодиоды led[2:0] – выходы автомата



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.



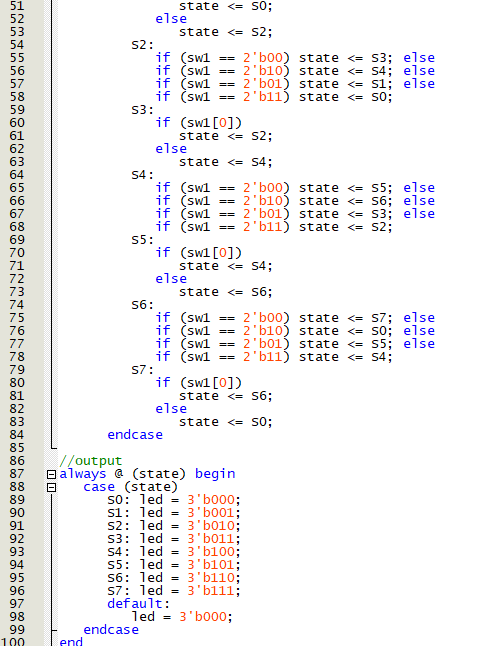
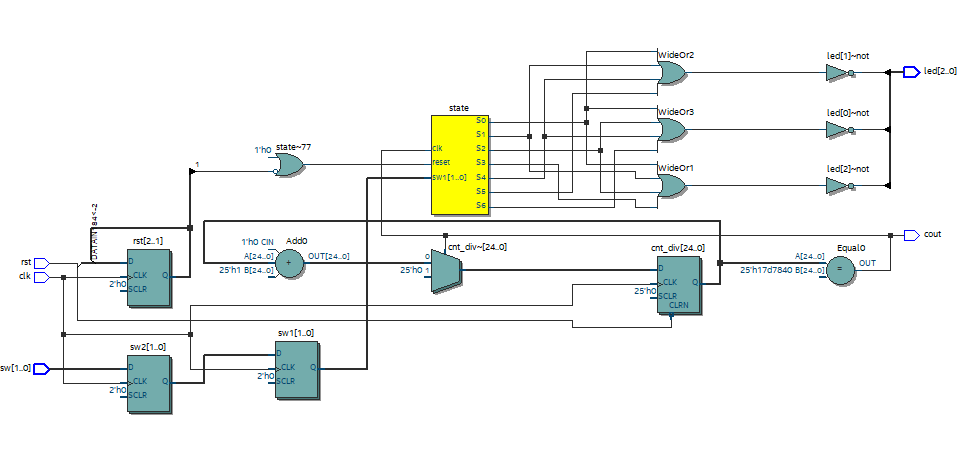


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* Входы in1=0, in2=0: значение на выходе инкрементируется;
* Входы in1=1, in2=0: значение на выходе декрементируется;
* Входы in1=0, in2=1: если значение на выходе нечетное, оно инкрементируется, иначе увеличивается на 2

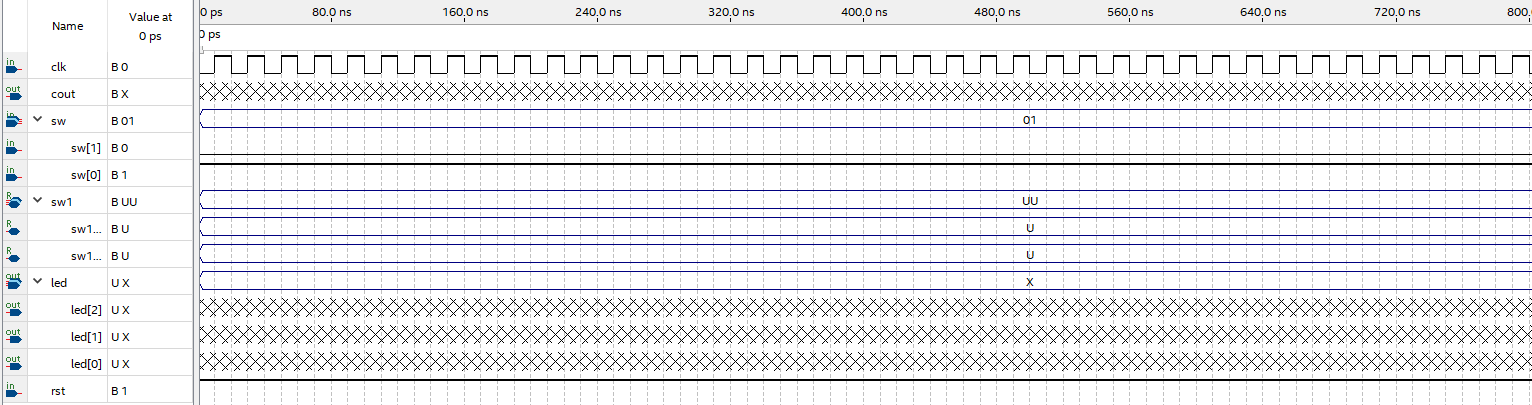
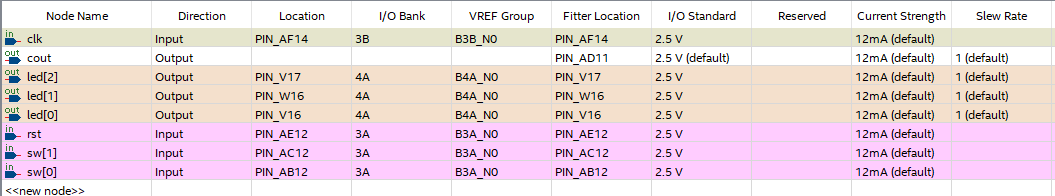
Результаты моделирования приведены на Рис. 2- 3

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания была разработана реализация конечного автомата с заданным набором состояний и переходов между ними с асинхронным сбросом к нулевому состоянию. Результаты на плате показали, что устройство работает корректно и в соответствии с заданием.