САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 5

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab5\_1 3](#_Toc11607616)

[1.1 Задание 3](#_Toc11607617)

[1.2 Описание на языке Verilog 3](#_Toc11607618)

[1.3 Результат синтеза (RTL) 4](#_Toc11607619)

[1.4 Моделирование 4](#_Toc11607620)

[1.5 Аппаратные затраты 5](#_Toc11607621)

[1.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc11607622)

[1.7 Выводы 6](#_Toc11607623)

[2 Задание lab5\_2 и lab5\_3 7](#_Toc11607624)

[2.1 Задание 7](#_Toc11607625)

[2.2 Описание на языке Verilog 7](#_Toc11607626)

[2.3 Результат синтеза (RTL) 8](#_Toc11607627)

[2.4 Моделирование 9](#_Toc11607628)

[2.5 Назначение выводов СБИС 9](#_Toc11607629)

[2.6 Тестирование на плате 5CSEMA5F31C6 10](#_Toc11607630)

[2.7 Выводы 10](#_Toc11607631)

[3 Задание lab5\_4 11](#_Toc11607632)

[3.1 Задание 11](#_Toc11607633)

[3.2 Описание на языке Verilog 11](#_Toc11607634)

[3.3 Результат синтеза (RTL) 12](#_Toc11607635)

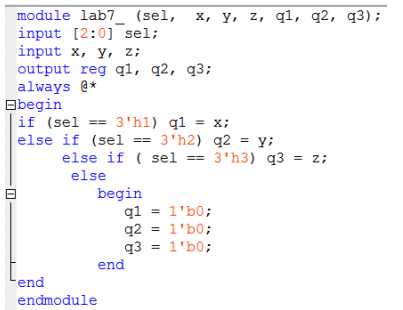
[3.4 Аппаратные затраты 13](#_Toc11607636)

[3.5 Выводы 14](#_Toc11607637)

# Задание lab5\_1

## Задание

На языке Verilog ввести представленный ниже текст



Исправить описание так, чтобы не нарушая логику работы исключить возможность появления триггеров-защелок.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

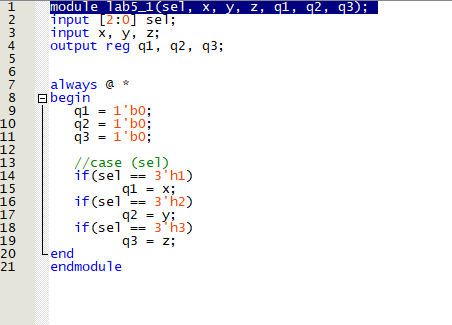
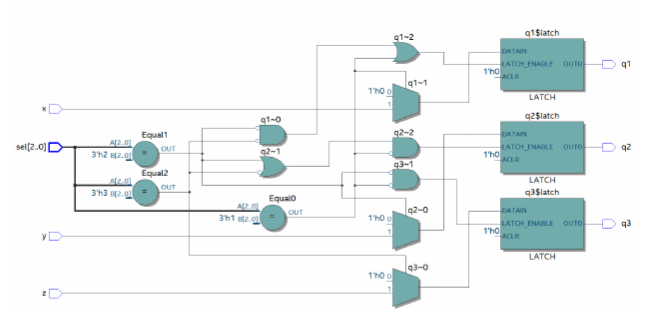
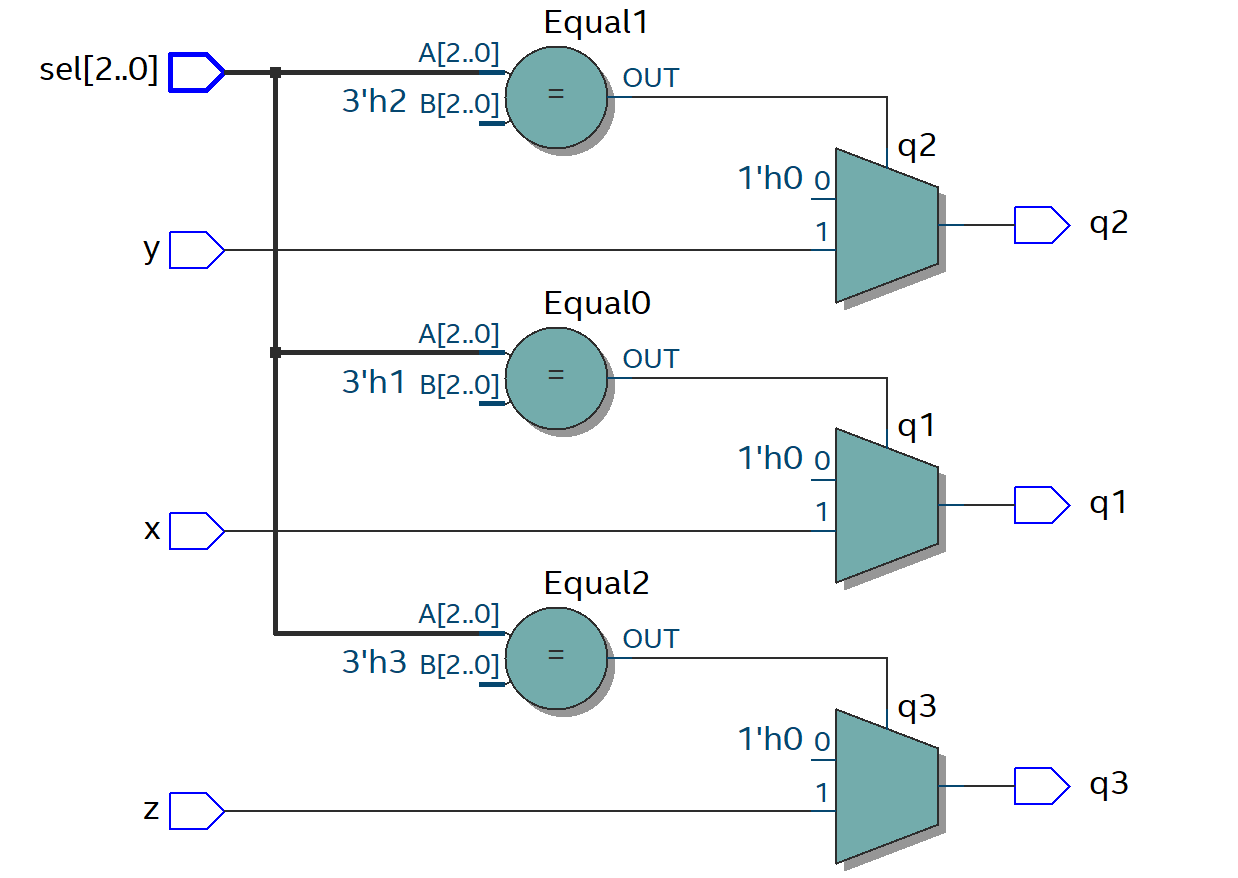


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

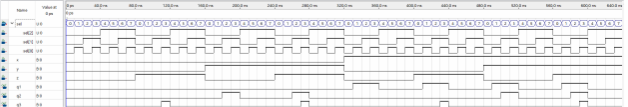
Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.



Рис. 1‑2 Синтезированные схемы (исходная и исправленная)

## Моделирование

Результаты моделирования приведены на Рис. 1‑3



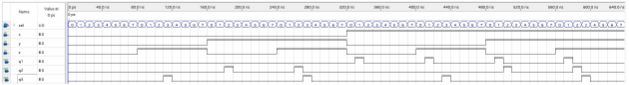
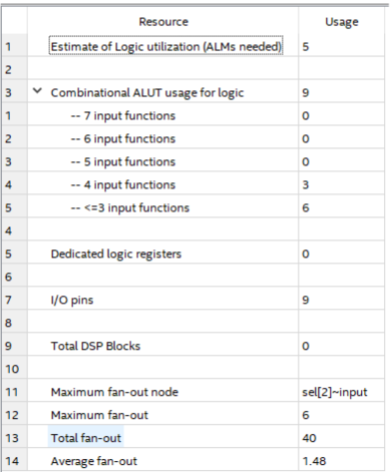


Рис. 1‑3 Результат моделирования средствами QII (исходный текст программы и исправленный)

## Аппаратные затраты

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4



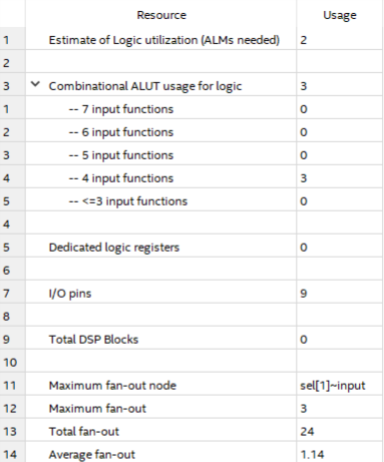


Рис. 1‑4 Аппаратные затраты исходного текста программы и исправленного

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания была произведена оптимизация исходной программы, которая порождала триггеры-защелки. В результате оптимизации схема была они триггеры-защелки были убраны и снижены общие аппаратные затраты.

# Задание lab5\_2 и lab5\_3

## Задание

На языке Verilog опишите устройство, реализующее 2 арифметических выражения:

- x=a\*c\*d+b\*c\*d

- y=a\*c\*d+c^2\*d

- Входы a, b, c, d – 2-разрядные (поступают с переключателей sw[7..0])

- Результат (8 разрядный) подается на светодиоды (led[7..0]): если кнопка pba=1, то на выход передается x; если pba=0 =>y;

- На входах устройства, выходах арифметических выражений и выходе устройства использовать регистры

- С помощью атрибута multstyle для ВСЕГО УСТРОЙСТВА задать реализацию умножителей на DSP блоках СБИС ПЛ.

- Провести исследование:

- Добиться того, чтобы для реализации арифметической части устройства требовалось 3 умножителя и 2 сумматора.

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.

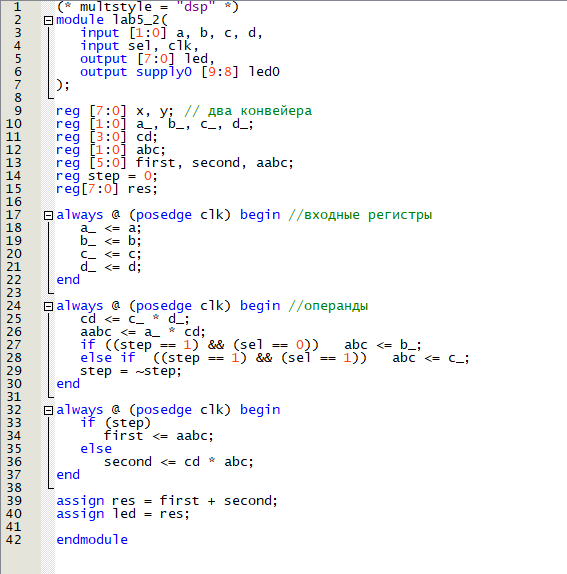
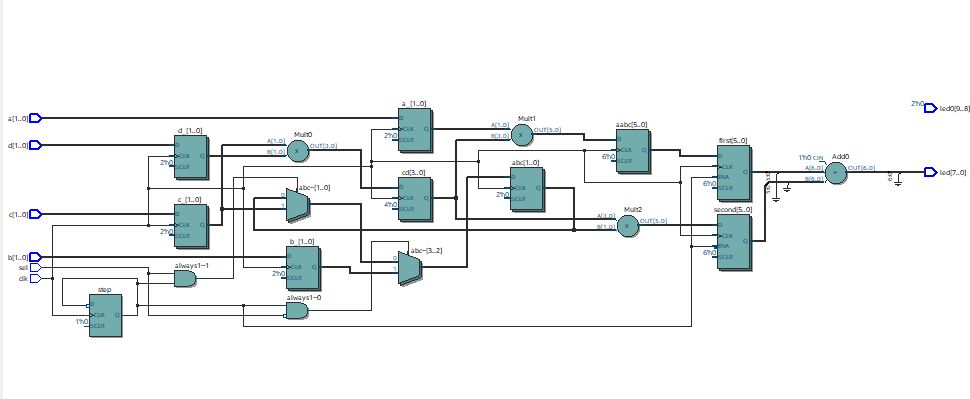


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход a,b,c,d подаются различные двухразрядные числа, для каждого из чисел проверяется результат вычислений. На выходе ожидаемый результат.

Результат моделирования представлен на Рис 2-3:

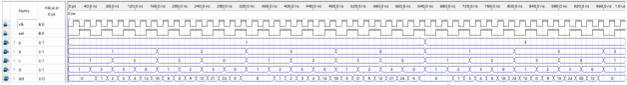
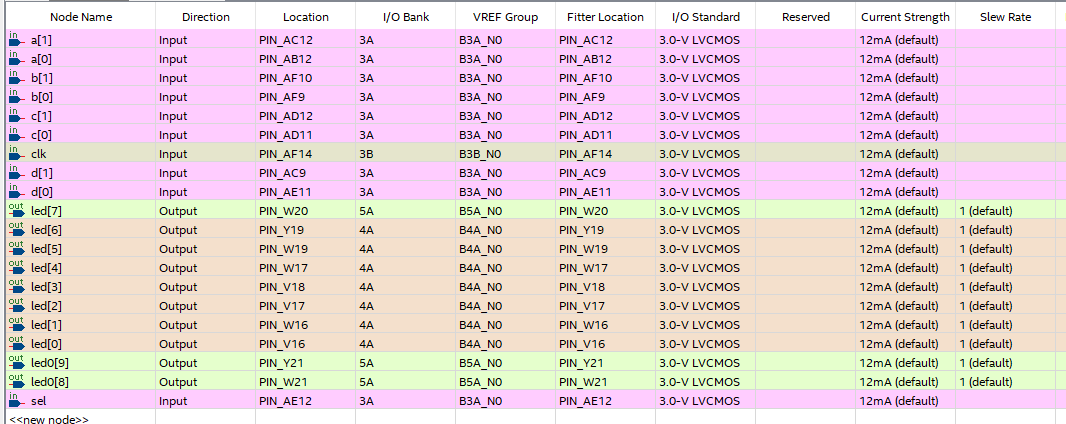


Рис. 2‑3 Результат моделирования средствами QP

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработано устройство, реализующее два арифметических выражения, содержащие, в общей сложности, 7 операций умножения, две сложения и одно возведение в квадрат. Была произведена конвейеризация устройства для оптимизации.

# Задание lab5\_4

## Задание

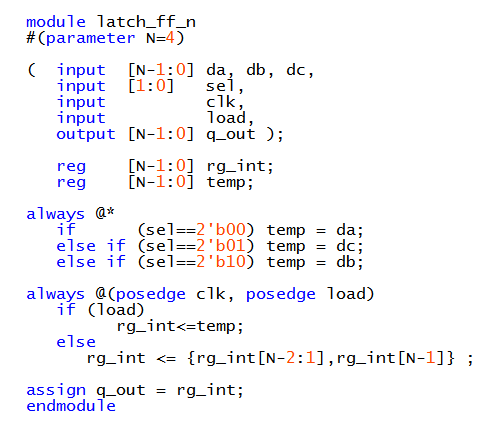
Введите приведенное ниже Verilog описание кольцевого сдвигающего регистра, имеющего:

- входы данных da, db, dc;

- вход выбора источника загрузки данных в регистр - sel;

- вход синхронной загрузки данных в регистр - load.

- Имя модуля исправьте на lab5\_4



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3‑1.

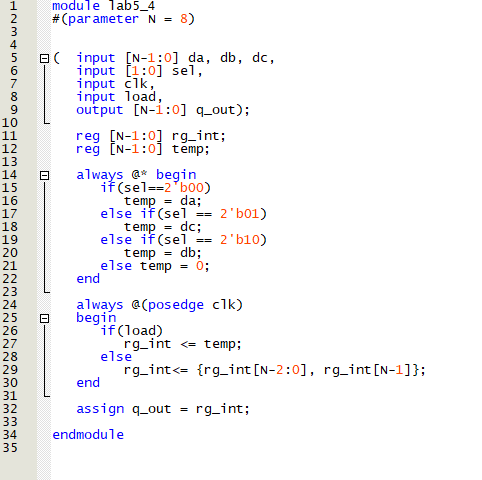


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3‑2. Изображение схемы получено с помощью приложения RTL Viewer.

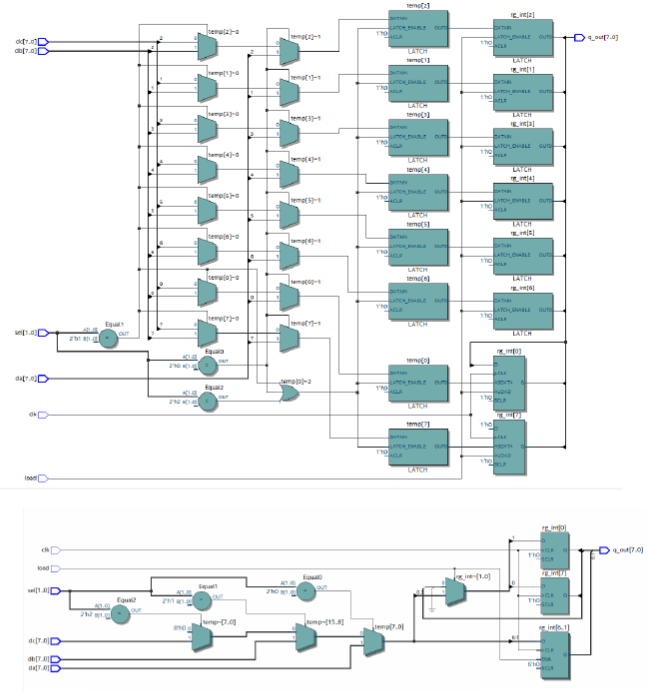


Рис. 4‑2 Синтезированные схемы (исходная и исправленная)

## Аппаратные затраты

Изначально заданные исходного текста программы и исправленные аппаратные затраты приведены на Рис. 3‑4

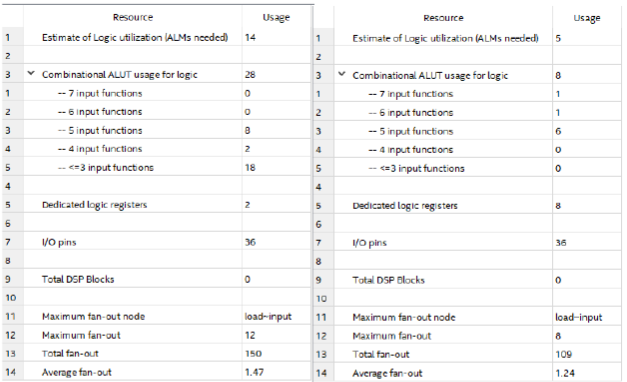


Рис. 4-3 Аппаратные затраты (изначально заданные исходного текста программы и исправленные)

## Выводы

В ходе задания оптимизировали программу и избавились от триггеров защелок.