САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 6

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab6\_1 3](#_Toc11601286)

[1.1 Задание 3](#_Toc11601287)

[1.2 Описание на языке Verilog 3](#_Toc11601288)

[1.3 Результат синтеза (RTL) 5](#_Toc11601289)

[1.4 Моделирование 5](#_Toc11601290)

[1.5 Назначение выводов СБИС 6](#_Toc11601291)

[1.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc11601292)

[1.7 Выводы 6](#_Toc11601293)

# Задание lab6\_1

## Задание

На языке Verilog разработать параметризированный модуль, который содержит:-2 входных регистра; Умножитель; Выходной регистр

- ena – (key[0]) – разрешение работы (при 1)

- arst - (key[1]) – асинхронный сброс (при 0)

- clk - тактовый сигнал

- da[3..0] – sw[7..4],

- db[3..0] – sw[3..0]

- result [7..0] – led [7..0]

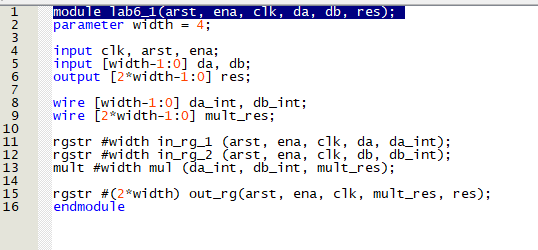
Необходимо создать:

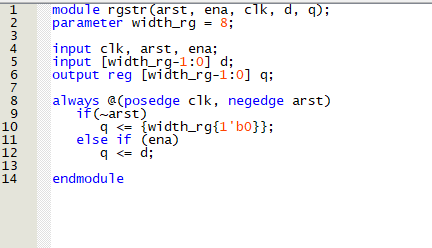
- Параметризированный регистр

- Параметризированный умножитель

- Параметризированное описание верхнего уровня

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на 



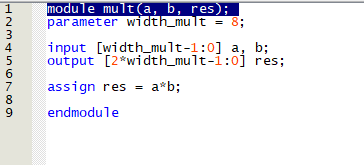
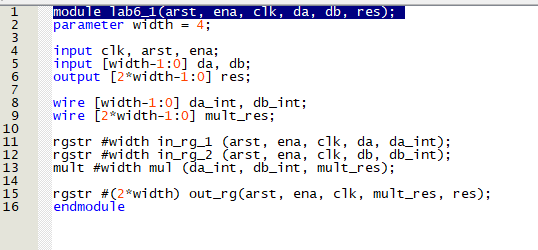
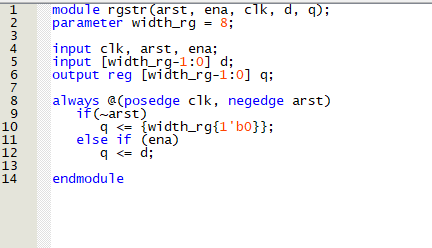


Рис. 1‑1.





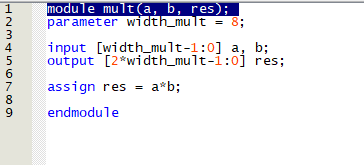
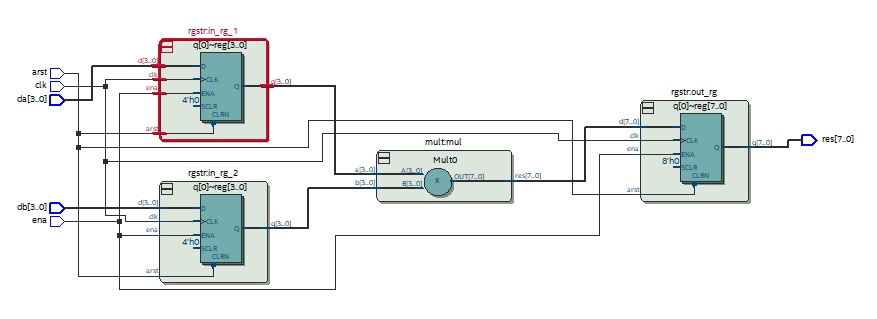
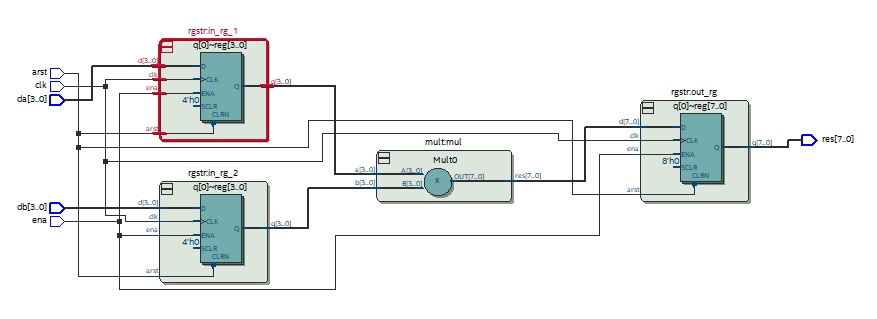


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход sw[7:4] подается число 1000, на вход sw[3:0] подается число 0100, на выходе led[7:0] получаем 1000000

Результаты моделирования приведены на Рис. 1‑3

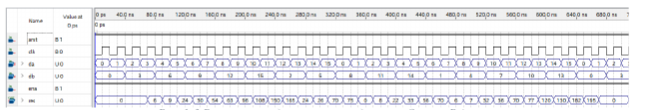


Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

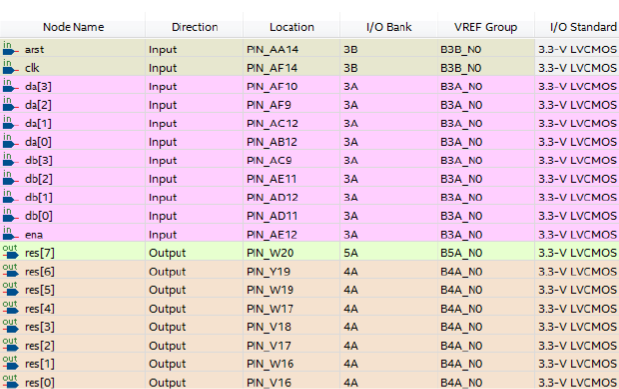


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был разработан умножитель, входы и выходы которого соединены через регистры, с помощью иерархической структуры проекта. Результаты на плате показали, что устройство работает корректно и в соответствии с ожиданием.