САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Кафедра компьютерных систем и программных технологий

Отчет

по Упражнению 7

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

выполнил:

Шаменов А.А.

группа: 13541/1

преподаватель:

Антонов А.П.

Оглавление

[1 Задание lab7\_1 3](#_Toc11609483)

[1.1 Задание 3](#_Toc11609484)

[1.2 Описание на языке Verilog 3](#_Toc11609485)

[1.3 Результат синтеза (RTL) 4](#_Toc11609486)

[1.4 Моделирование 5](#_Toc11609487)

[1.5 Назначение выводов СБИС 5](#_Toc11609488)

[1.6 Тестирование на плате 5CSEMA5F31C6 6](#_Toc11609489)

[1.7 Выводы 6](#_Toc11609490)

[2 Задание lab7\_2 7](#_Toc11609491)

[2.1 Задание 7](#_Toc11609492)

[2.2 Описание на языке Verilog 7](#_Toc11609493)

[2.3 Результат синтеза (RTL) 8](#_Toc11609494)

[2.4 Моделирование 9](#_Toc11609495)

[2.5 Назначение выводов СБИС 9](#_Toc11609496)

[2.6 Тестирование на плате 5CSEMA5F31C6 10](#_Toc11609497)

[2.7 Выводы 10](#_Toc11609498)

# Задание lab7\_1

## Задание

На языке Verilog создать описание:

- Задачи, реализующей сравнение двух чисел (a и b, разрядность 2) и передающей на выход min меньшее из них, а на выход max – большее

- Устройства, использующего созданную задачу и реализующего поиск максимального и минимального из четырех чисел а,b,c,d (разрядность чисел – 2).

- Найденные числа (максимальное и минимальное) отображаются на светодиодах led[7..6], led[1..0] соответственно.

Входные числа задаются следующим образом

– a – sw[7..6], b – sw[5..4], c – sw[3..2], d – sw[1..0]:

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

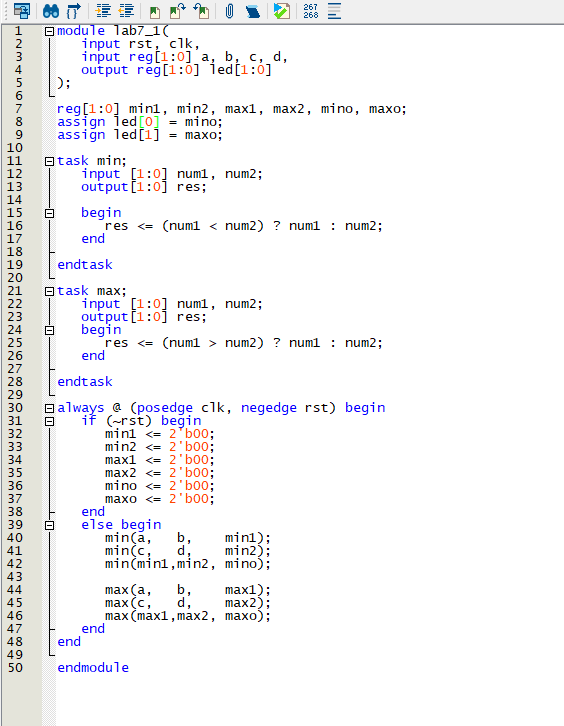
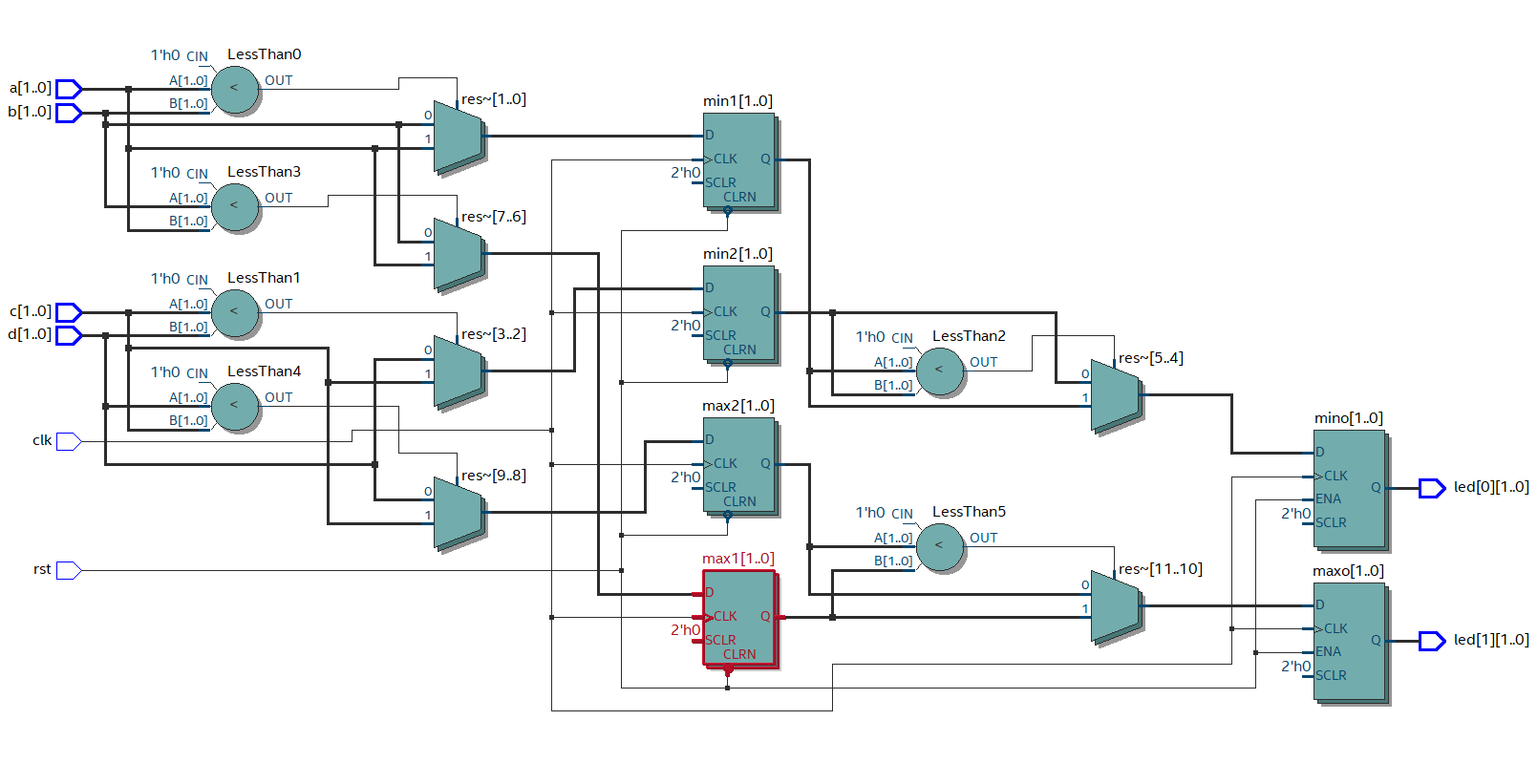


Рис. 1‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход a подается 11, на вход b подается 01, на вход c подается 10, на вход d подается 00, на выходе led[0] имеем 00, на выходе led[1] имеем 11.

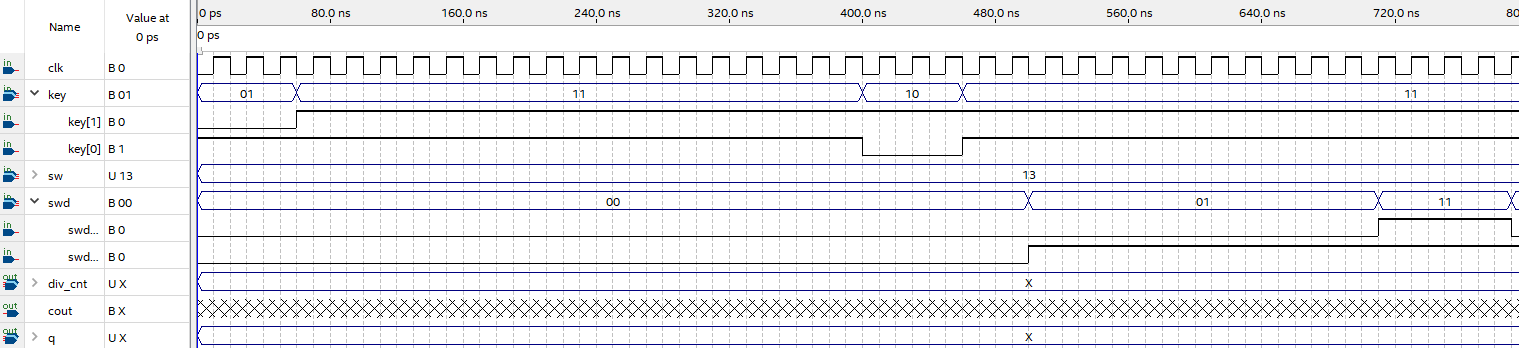
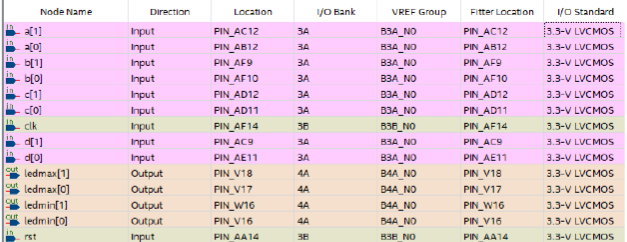
Результаты моделирования приведены на Рис. 1‑3

Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

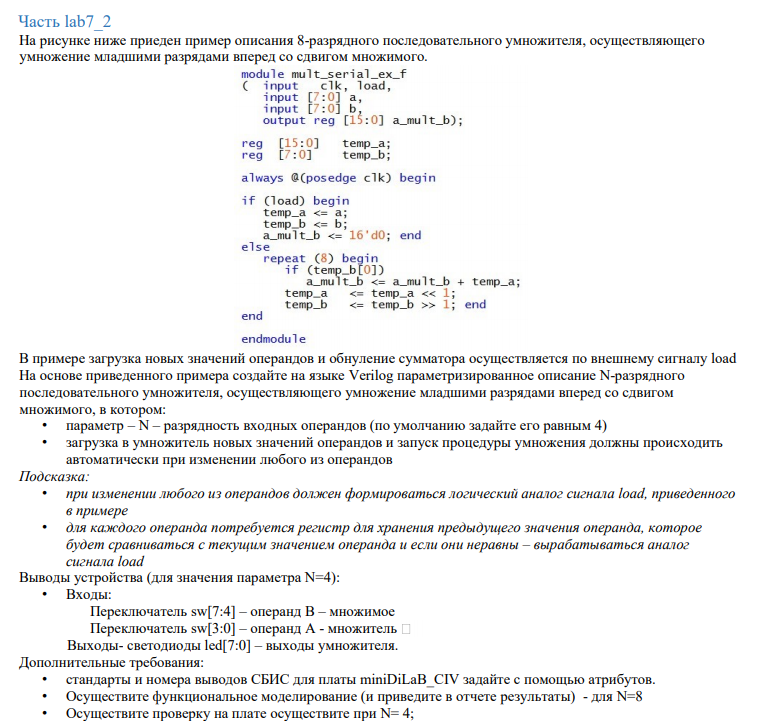
Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания было разработано устройство, сравнивающее четыре числа и выводящее максимальное и минимальное из них с помощью задач. Проведенные тесты на плате показывают, что устройство работает корректно и в соответствии с ожидаемыми значениями.

# Задание lab7\_2

## Задание



## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑2.

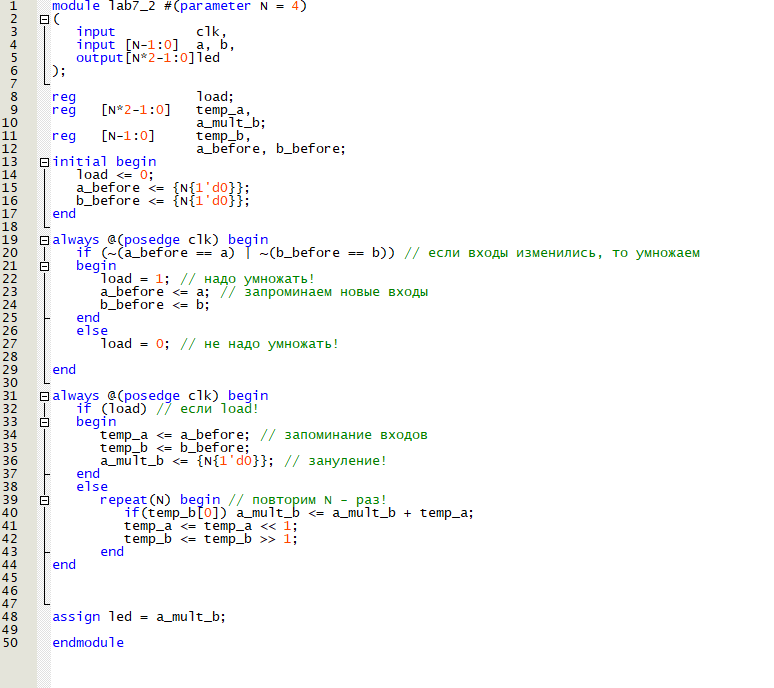
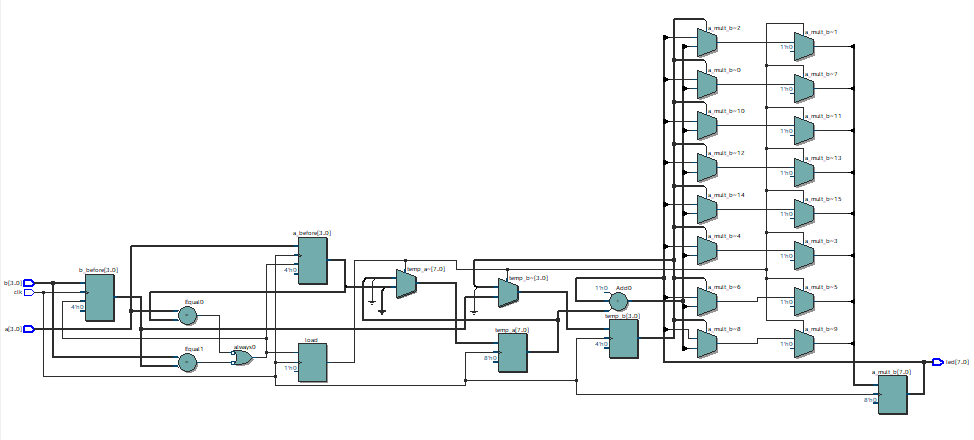


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑2. Изображение схемы получено с помощью приложения RTL Viewer.

Рис. 2‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

* на вход подаются числа a и b, на выходе рез-т их умножения

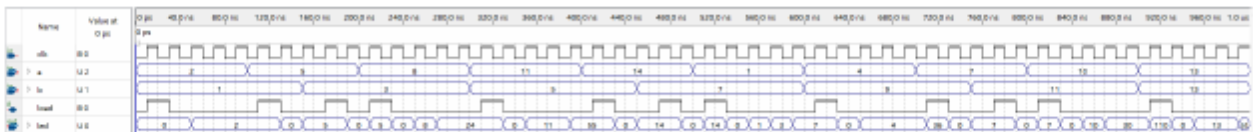
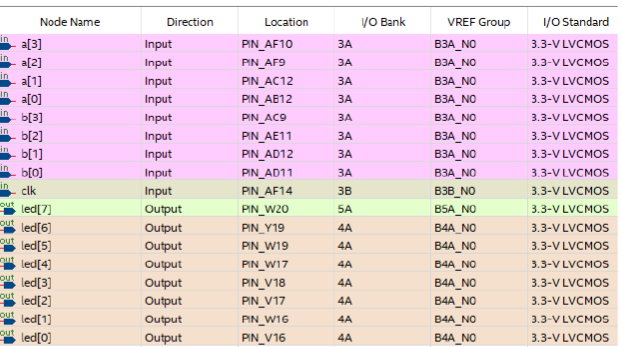
Результаты моделирования приведены на Рис. 2- 3

Рис. 2‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑4

Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате 5CSEMA5F31C6

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате 5CSEMA5F31C6 тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

В ходе выполнения данного задания был доработан последовательный умножитель. После доработки операнды загружаются не по внешнему сигналу, а при их изменении автоматически.