

**Arm® Cortex®-M4 32位 MCU+FPU, 170 MHz / 213 DMIPS,
128 KB SRAM, 丰富的模拟, 数学acc, 184 ps 12 chan高分
分辨率定时器**

提供vbat电源

特性

I包括ST最先进的专利技术

- 核心:Arm®32位Cortex®-M4 CPU与FPU, 自适应实时加速器(ART加速器)允许从闪存0等待状态执行, 频率高达170 MHz 213 DMIPS, MPU, DSP指令

- 操作条件:

- VDD、VDDA电压范围:1.71
V ~ 3.6 V

- 数学硬件加速器

- CORDIC用于三角函数加速
- FMAC:滤波数学加速器

- 记忆

- 512千字节的闪存与ECC支持, 两个银行读的同时写, 专有代码读出保护(PCROP), 安全的内存区域, 1千字节的OTP

- 96千字节的SRAM, 在前32千字节上实现了硬件奇偶校验

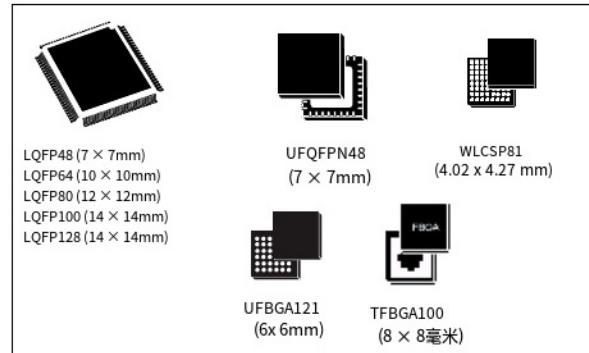
- 常规增强器:指令和数据总线上的32千字节SRAM, 具有硬件奇偶校验(CCM SRAM)

- 支持SRAM、PSRAM、NOR和NAND存储器的FSMC静态存储器外部接口

- Quad-SPI内存接口

- 重置和供应商管理

- 开机/下电复位(POR/PDR/BOR)
- 可编程电压检测器(PVD)
- 低功耗模式:睡眠、停止、待机和关机
- 为RTC和备份寄存器



- 时钟管理
 - 4至48 MHz晶体振荡器
 - 32 kHz振荡器与校准
 - 内部16 MHz RC带锁相环选项(±1%)
 - 内部32 kHz RC振荡器(±5%)
- 多达107个快速I/O
 - 所有可映射的外部中断向量
 - 具有5v容错能力的多个I/O
- 互连矩阵
- 16通道DMA控制器
- 5个12位adc 0.25μs, 最多42通道。分辨率高达16位, 硬件过采样, 0至3.6 V转换范围
- 7个12位DAC通道
 - 3 x缓冲外部通道1 MSPS
 - 4个无缓冲内部通道15个MSPS
- 7 x超高速轨对轨模拟比较器
- 6个运算放大器, 可用于PGA模式, 所有终端可访问
- 内部电压参考缓冲器(VREFBUF)支持三种输出电压(2.048 V, 2.5 V, 2.9 V)
- 17个定时器:
 - HRTIM(高分辨率和复杂波形生成器):6 x16位计数器, 184 ps分辨率, 12 PWM

- 2 x 32位定时器和2 x 16位定时器，最多四个IC/OC/PWM或脉冲计数器和正交(增量)编码器输入
- 3 x 16位8通道先进的电机控制定时器，具有多达8 x PWM通道，死区时间产生和紧急停止
- 1 x 16位定时器，2个IC/OCs，一个OCN/PWM，死区时间产生和紧急停止
- 2 x 16位定时器与IC/OC/OCN/PWM，死区时间产生和紧急停止
- 2 x 看门狗定时器(独立，窗口)
- 1 x SysTick计时器:24位下行计数器
- 2 x 16位基本定时器
- 1 x 低功耗定时器
- . 带有闹钟的日历RTC，从停止/待机中周期性唤醒
- . 通信接口
 - 3 x FDCAN控制器，支持灵活的数据速率
 - 4 x I2C快速模式加上(1 Mbit/s)与20 mA电流接收器，SMBus/PMBus，从停止唤醒
- 5 x USART/UARTs (ISO 7816 接口，LIN, IrDA, 调制解调器控制)
- 1 x LPUART
- 4个spi, 4到16个可编程位帧，2个带多路半双工I2S接口
- 1 x SAI(串行音频接口)
- USB 2.0全速接口，支持LPM和BCD
- IRTIM(红外接口)
- USB Type-C™/USB供电控制器(UCPD)
- . 真随机数生成器(RNG)
- . CRC计算单元，96位唯一ID
- . 开发支持:串行线调试(SWD), JTAG, Embedded Trace Macrocell™

表1。设备汇总

参考	零件号
STM32G474xB	Stm32g474cb、stm32g474mb、stm32g474rb、Stm32g474vb、stm32g474qb、stm32g474pb
STM32G474xC	STM32G474CC, STM32G474MC, STM32G474RC, Stm32g474vc, stm32g474qc, stm32g474pc
STM32G474xE系列	Stm32g474ce, stm32g474me, stm32g474re, STM32G474VE, STM32G474QE, STM32G474PE

内容

1	介绍	13
2	描述	14
3	功能概述	18
3.1	Arm® Cortex®-M4 core with FPU	18
3.2	自适应实时内存加速器(ART accelerator)	18
3.3	内存保护单元	18
3.4	嵌入式闪存	19
3.5	嵌入式SRAM	20
3.6	多ahb总线矩阵	21
3.7	引导模式	21
3.8	CORDIC	22
3.9	Filter mathematical accelerator (FMAC)	22
3.10	循环冗余校验计算单元(CRC)	23
3.11	电源管理	23
3.11.1	供电方案	23
3.11.2	供电主管	24
3.11.3	电压调节器	24
3.11.4	低功耗模式	25
3.11.5	重置模式	25
3.11.6	VBAT操作	26
3.12	互连矩阵	27
3.13	时钟和启动	29
3.14	通用输入/输出(gpio)	30
3.15	直接存储器存取控制器(DMA)	30
3.16	DMA请求路由器(DMAMUX)	31
3.17	中断和事件	31
3.17.1	嵌套矢量中断控制器(NVIC)	31
3.17.2	扩展中断/事件控制器(EXTI)	31
3.18	模数转换器(ADC)	32
3.18.1	温度传感器	32

3.18.2	内部电压基准(VREFINT)	33
3.18.3	VBAT电池电压监测	33
3.18.4	运算放大器内部output (OPAMPxINT):	33
3.19	数模转换器(DAC)	33
3.20	电压参考缓冲器(VREFBUF)	34
3.21	比较器(COMP)	35
3.22	运算放大器(OPAMP)	35
3.23	随机数生成器(RNG)	35
3.24	计时器和看门狗	35
3.24.1	高分辨率计时器(HRTIM)	36
3.24.2	高级电机控制定时器(TIM1, TIM8, TIM20)	36
3.24.3	通用定时器(TIM2, TIM3, TIM4, TIM5, TIM15, TIM16, TIM17)	37
3.24.4	基本定时器(TIM6和TIM7)	37
3.24.5	低功耗定时器(LPTIM1)	38
3.24.6	独立监察机构(IWDG)	38
3.24.7	系统窗口看门狗(WWDG)	38
3.24.8	SysTick计时器	38
3.25	实时时钟(RTC)和备份寄存器	39
3.26	Tamper和backup registers (TAMP)	39
3.27	红外发射机	40
3.28	Inter-integrated circuit interface (I ₂ C)	41
3.29	通用同步/异步接收器发射器(USART)	42
3.30	低功耗通用异步接收器发射器(LPUART)	43
3.31	串行外设接口(SPI)	43
3.32	串行音频接口(SAI)	44
3.33	控制器局域网(FDCAN1, FDCAN2, FDCAN3)	45
3.34	通用串行总线(USB)	45
3.35	USB Type-C™/ USB供电控制器(UCPD)	45
3.36	时钟恢复系统(CRS)	46
3.37	柔性静态内存控制器(FSMC)	46
3.38	Quad-SPI内存接口(QUADSPI)	47
3.39	开发支持	48
3.39.1	Serial wire JTAG debug port (SWJ-DP)	48
3.39.2	嵌入式trace macrocell™	48

4	引脚和引脚描述	49
4.1	UFQFPN48引脚描述	49
4.2	LQFP48引脚描述	50
4.3	LQFP64引脚描述	50
4.4	LQFP80引脚描述	51
4.5	LQFP100引脚描述	52
4.6	LQFP128引脚描述	53
4.7	WLCSP81引脚描述	54
4.8	TFBGA100引脚描述	54
4.9	UFBGA121引脚描述	55
4.10	销	56 定义
4.11	备用功能	73
5	电特性	80
5.1	.	80 参数条件
5.1.1	最小值和最大值	80
5.1.2	典型值	80
5.1.3	典型曲线	80
5.1.4	加载电容	80
5.1.5	引脚输入电压	80
5.1.6	供电方案	81
5.1.7	电流消耗测量	82
5.2	绝对最大收视率	82
5.3	操作条件	84
5.3.1	一般操作条件	84
5.3.2	上电/下电时的运行条件	85
5.3.3	嵌入式复位和电源控制块特性	85
5.3.4	嵌入式电压基准	87
5.3.5	电源电流特性	88
5.3.6	从低功耗模式和电压缩放唤醒时间 过渡时期	114
5.3.7	外部时钟源特性	115
5.3.8	内部时钟源特性	120
5.3.9	锁相环特征	123
5.3.10	闪存特性	124
5.3.11	EMC特性	125

5.3.12	电灵敏度特性	126
5.3.13	I/O电流注入特性	127
5.3.14	I/O端口特性	128
5.3.15	NRST引脚特性	133
5.3.16	高分辨率计时器(HRTIM)	134
5.3.17	扩展中断和事件控制器input (EXTI)特性	136
5.3.18	模拟开关升压器	137
5.3.19	模数转换器特性	138
5.3.20	数模转换器特性	153
5.3.21	电压基准缓冲器特性	160
5.3.22	比较器特点	163
5.3.23	运算放大器特性	164
5.3.24	温度传感器特性	168
5.3.25	VBAT监控特性	168
5.3.26	计时器	169 特点
5.3.27	通信接口特点	170
5.3.28	加以	180 特点
5.3.29	QUADSPI	197 特点
5.3.30	UCPD	199 特点
6	包信息	200
6.1	WLCSP81包信息	200
6.2	UFQFPN48套餐信息	203
6.3	LQFP48包装信息	206
6.4	LQFP64包信息	210
6.5	LQFP80套餐信息	213
6.6	TFBGA100套餐信息	216
6.7	LQFP100套餐信息	219
6.8	LQFP128封装信息	222
6.9	UFBGA121包装信息	225
6.10	热特性	228
6.10.1	参考文档	229
6.10.2	选择产品温度范围	230
7	订购信息	232

8	修订历史	233
---	------------	-----

表列表

表 1.	设备总结	2
表 2.	STM32G474xB/xC/xE特性和外设计数	15
表 3.	STM32G474xB/xC/xE外设互连矩阵	27
表 4.	直接存储器存取实现	30
表 5.	温度传感器校准值	33
表 6.	内部电压参考校准值	33
表 7.	定时器功能对比	35
表 8.	实现I2C.	41
表 9.	42 USART / UART / LPUART特性	
表 10.	SAI功能实现	44
表 11.	引脚表中使用的图例/缩写	56
表 12.	STM32G474xB/xC/xE引脚定义	57
表 13.	备用功能	73
表 14.	电压特性	82
表 15.	当前特征	83
表 16.	热特性.	83
表 17.	一般操作条件	84
表 18.	上电/下电时的运行情况	85
表 19.	嵌入式复位和电源控制块特性.	85
表 20.	嵌入式内部电压基准.	87
表 21.	运行和低功耗运行模式下的电流消耗, 带有数据的代码 处理从Flash运行在单个银行, ART启用(Cache ON Prefetch OFF)	89
表 22.	运行和低功耗运行模式下的电流消耗, 带有数据的代码 处理从Flash运行在双银行, ART启用(Cache ON Prefetch OFF)	91
表 23.	运行和低功耗运行模式下的电流消耗, 从SRAM运行的数据处理代码1	93
表 24.	运行和低功耗运行模式下的典型电流消耗, 具有不同的代码 从Flash运行, ART启用(Cache ON Prefetch OFF)	95
表 25.	运行和低功耗运行模式下的典型电流消耗, 具有不同的代码 从SRAM运行1	97
表 26.	运行和低功耗运行模式下的典型电流消耗, 具有不同的代码 从SRAM运行2	98
表 27.	运行和低功耗运行模式下的典型电流消耗, 具有不同的代码 从CCMSRAM运行	99
表 28.	睡眠和低功耗睡眠模式下的电流消耗Flash ON	100
表 29.	低功耗睡眠模式下的电流消耗, 关机时的Flash.	101
表 30.	停止1模式下的电流消耗	102
表 31.	停止0模式下的电流消耗	103
表 32.	待机模式下的电流消耗	103
表 33.	关机模式下的电流消耗	105
表 34.	VBAT模式下的当前消耗	107
表 35.	外设电流消耗	109
表 36.	低功耗模式唤醒时序	114
表 37.	稳压器模式转换次数	115
表 38.	使用USART/LPUART唤醒时间.	115
表 39.	高速外部用户时钟特性.	115
表 40.	低速外部用户时钟特性	116
表 41.	HSE振荡器特性	117

表 42.	LSE振荡器特性(fLSE = 32.768 kHz)	119
表 43.	HSI16振荡器特性	120
表 44.	HSI48振荡器特性	121
表 45.	LSI振荡器特性	122
表 46.	锁相环特征	123
表 47.	闪存特性	124
表 48.	闪存续航和数据保留	124
表 49.	EMS	125 特点
表 50.	EMI特性	126
表 51.	ESD绝对最大额定值	126
表 52.	电敏感性	127
表 53.	I/O电流注入磁化率	127
表 54.	I/O静态特性	128
表 55.	输出电压特性	130
表 56.	I/O (FT_c除外)AC特性	131
表 57.	I/O FT_c AC特性	132
表 58.	NRST引脚特性	133
表 59.	HRTIM特性	134
表 60.	HRTIM输出故障保护响应	135
表 61.	HRTIM对外部事件的输出响应1到5 (低延迟模式)	135
表 62.	HRTIM对外部事件1到10的输出响应(同步模式).	136
表 63.	HRTIM同步输入/输出.....	136
表 64.	EXTI输入特性.....	136
表 65.	模拟开关升压特性.....	137
表 66.	ADC特性	138
表 67.	最大ADC RAIN	141
表 68.	ADC精度限制测试条件 1	143
表 69.	ADC精度限制测试条件 2	145
表 70.	ADC精度限制测试条件 3	147
表 71.	ADC精度(多个ADC操作)-有限的测试条件 1	149
表 72.	ADC精度(多个ADC操作)-有限的测试条件 2	150
表 73.	ADC精度(多个ADC操作)-有限的测试条件 3	151
表 74.	DAC 1MSPS特性	153
表 75.	DAC 1MSPS精度	156
表 76.	DAC 15MSPS特性	157
表 77.	DAC 15MSPS精度	159
表 78.	VREFBUF	160 特点
表 79.	COMP	163 特点
表 80.	OPAMP	164 特点
表 81.	TS	168 特点
表 82.	VBAT监控特性	168
表 83.	VBAT充电特性	168
表 84.	TIMx	169 特点
表 85.	IWDG 32 kHz时的最小/最大超时时间(LSI).	170
表 86.	WWDG 170 MHz时的最小/最大超时值(PCLK).....	170
表 87.	所有I2C模式下I2CCLK最小频率	171
表 88.	I2C模拟滤波器特性.....	171
表 89.	SPI	172 特点
表 90.	i ₂	175 特点
表 91.	赛	177 特点
表 92.	USB电气特性	179

表 93.	USART电气特性	179
表 94.	异步非多路SRAM/PSRAM/NOR读取时序	182
表 95.	异步非多路SRAM/PSRAM/NOR读- nwait定时	182
表 96.	异步非多路SRAM/PSRAM/NOR写定时	183
表 97.	异步非多路SRAM/PSRAM/NOR写- nwait定时	184
表 98.	异步多路PSRAM/NOR读取时序	185
表 99.	异步多路PSRAM/NOR读- nwait时序	185
表 100.	异步多路PSRAM/NOR写定时	187
表 101.	异步多路PSRAM/NOR写- nwait定时	187
表 102.	同步多路NOR/PSRAM读取时序	189
表 103.	同步多路PSRAM写定时	191
表 104.	同步非多路NOR/PSRAM读取时序	192
表 105.	同步非多路PSRAM写定时	194
表 106.	NAND闪存读取周期的开关特性	196
表 107.	NAND闪存写周期的开关特性	196
表 108.	SDR模式下的四路SPI特性	197
表 109.	DDR模式下QUADSPI特性	197
表 110.	UCPD	199 特点
表 111.	WLCSP81 -机械数据	201
表 112.	WLCSP81 -推荐的PCB设计规则	202
表 113.	UFQFPN48 -机械数据	204
表 114.	LQFP48 -机械数据	207
表 115.	LQFP64 -机械数据	210
表 116.	LQFP80 -机械数据	213
表 117.	TFBGA100 -机械数据	217
表 118.	TFBGA100 -推荐的PCB设计规则	217
表 119.	LQPF100 -机械数据	219
表 120.	LQFP128 -机械数据	222
表 121.	UFBGA121 -机械数据	226
表 122.	UFBGA121 -推荐的PCB设计规则	227
表 123.	封装热特性	228
表 124.	订购信息	232
表 125.	文档修订历史	233

图单

图 1.	STM32G474xB/xC/xE方框图	17
图 2.	Multi-AHB总线矩阵	21
图 3.	电压基准缓冲器	34
图 4.	红外发射机	40
图 5.	STM32G474xB/xC/xE UFQFPN48引脚	49
图 6.	STM32G474xB/xC/xE LQFP48引脚	50
图 7.	STM32G474xB/xC/xE LQFP64引脚	50
图 8.	STM32G474xB/xC/xE LQFP80引脚	51
图 9.	STM32G474xB/xC/xE LQFP100引脚	52
图 10.	STM32G474xB/xC/xE LQFP128引脚	53
图 11.	STM32G474xB/xC/xE WLCSP81引脚	54
图 12.	STM32G474xB/xC/xE TFBGA100引脚	54
图 13.	STM32G474xB/xC/xE UFBGA121引脚	55
图 14.	引脚加载情况	80
图 15.	引脚输入电压	80
图 16.	供电方案	81
图 17.	电流消耗测量	82
图 18.	VREFINT与温度的关系	88
图 19.	高速外部时钟源交流时序图	116
图 20.	低速外部时钟源AC时序图	116
图 21.	8 MHz晶体的典型应用	118
图 22.	32.768 kHz晶体的典型应用	119
图 23.	HSI16频率与温度的关系	121
图 24.	HSI48频率与温度的关系	122
图 25.	I/O输入特性	129
图 26.	I/O AC特性定义(1)	133
图 27.	推荐NRST引脚保护	134
图 28.	ADC精度特性	152
图 29.	使用带有FT/TT引脚的ADC时的典型连接图 具有模拟开关功能	152
图 30.	12-bit缓冲/非缓冲DAC	155
图 31.	VRS = 00	161 的VREFOUT_TEMP
图 32.	VRS = 01	162 的VREFOUT_TEMP
图 33.	VRS = 10	162 的VREFOUT_TEMP
图 34.	OPAMP噪声密度@ 25°C	167
图 35.	SPI时序图-奴隶模式和CPHA = 0	173
图 36.	SPI时序图-奴隶模式和CPHA = 1	174
图 37.	SPI时序图-主模式	174
图 38.	SAI主时序波形	178
图 39.	SAI从定时波形	178
图 40.	异步非多路SRAM/PSRAM/NOR读取波形	181
图 41.	异步非多路SRAM/PSRAM/NOR写波形	183
图 42.	异步多路PSRAM/NOR读取波形	184
图 43.	异步多路PSRAM/NOR写波形	186
图 44.	同步多路NOR/PSRAM读取时序	188
图 45.	同步多路PSRAM写定时	190
图 46.	同步非多路NOR/PSRAM读取时序	192
图 47.	同步非多路PSRAM写定时	193

图 48.	用于读访问的NAND控制器波形	195
图 49.	用于写访问的NAND控制器波形	195
图 50.	用于普通存储器读访问的NAND控制器波形	195
图 51.	NAND控制器波形用于普通存储器写访问.	196
图 52.	四路SPI时序图- SDR模式	198
图 53.	四路SPI时序图- DDR模式	199
图 54.	WLCSP81 -大纲	200
图 55.	WLCSP81 -推荐的足迹	201
图 56.	UFQFPN48 -概述	203
图 57.	UFQFPN48 -推荐占用	204
图 58.	UFQFPN48俯视图示例	205
图 59.	LQFP48 -大纲	206
图 60.	LQFP48 -建议占用空间	208
图 61.	LQFP48俯视图示例	209
图 62.	LQFP64 -大纲	210
图 63.	LQFP64 -建议占用空间	211
图 64.	LQFP64俯视图示例	212
图 65.	LQFP80 -外形	213
图 66.	LQFP80 -建议占用空间	214
图 67.	LQFP80俯视图示例	215
图 68.	TFBGA100 -大纲	216
图 69.	TFBGA100 -推荐足迹	217
图 70.	TFBGA100 -俯视图示例	218
图 71.	LQFP100 -概要	219
图 72.	LQFP100 -建议占用空间	220
图 73.	LQFP100俯视图示例	221
图 74.	LQFP128 -轮廓	222
图 75.	LQFP128 -建议占用空间	223
图 76.	LQFP128俯视图示例	224
图 77.	UFBGA121 -大纲.....	225
图 78.	UFBGA121 -推荐的足迹	227

1 介绍

该数据表提供了STM32G474xB/xC/xE微控制器的订购信息和机械设备特性。

本文档应与参考手册RM0440一起阅读
“STM32G4系列高级Arm®32位mcu”。参考手册可从意法半导体官网www.st.com获取。

有关Arm®(a) Cortex®-M4内核的信息，请参阅www.arm.com网站上的Cortex®-M4技术参考手册。

arm

a. Arm is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

2 描述

STM32G474xB/xC/xE器件基于高性能Arm®Cortex®-M4 32位RISC内核。它们的工作频率高达170 MHz。

Cortex-M4核心采用单精度浮点单元(FPU)，支持所有Arm单精度数据处理指令和所有数据类型。它还实现了一整套DSP(数字信号处理)指令和内存保护单元(MPU)，增强了应用程序的安全性。

这些器件嵌入高速存储器(高达512千字节的闪存和128千字节的SRAM)，用于静态存储器的灵活外部存储器控制器(FSMC)(用于具有100引脚及以上封装的器件)，Quad-SPI闪存接口，以及连接到两个APB总线，两个AHB总线和32位multi-AHB总线矩阵的广泛增强I/ o和外设。

该器件还为嵌入式闪存和SRAM嵌入了几种保护机制:读出保护、写入保护、安全存储区域和专有代码读出保护。

这些器件嵌入了允许数学/算术函数加速的外设(用于三角函数的CORDIC和用于滤波函数的FMAC单元)。

它们提供5个快速12位adc(4个Msps)，7个比较器，6个运算放大器，7个DAC通道(3个外部和4个内部)，一个内部电压参考缓冲器，一个低功耗RTC，两个通用32位定时器，三个专用于电机控制的16位PWM定时器，7个通用16位定时器，一个16位低功耗定时器和一个分辨率为184 ps的高分辨率定时器。

它们还具有标准和先进的通信接口，例如:

-四个i2c接口

- 4个spi多路复用2个半双工i2s - 3个usart, 2个UART和1个低功耗UART。-三个fdcan

- SAI一个

- USB设备

--UCPD

器件工作在-40至+85°C(+105°C结)和-40至+125°C(+130°C结)温度范围1.71至3.6 V电源。一套全面的省电模式允许设计低功耗应用。

支持一些独立电源，包括ADC、DAC、opamp和比较器的模拟独立电源输入。VBAT输入允许备份RTC和寄存器。

STM32G474xB/xC/xE系列提供从48引脚到128引脚的9个封装。

表2。STM32G474xB/xC/xE特性及外设计数

	STM32G474Rx			克莱斯	黄士	TI	奥利
外围		π				π	
闪存	128 KB中文 256 KB 512 KB	2	256 KB 512 KB	28	2	512 KB 128 KB 26	512 KB 128 KB 2
SRAM	128 (80 + 16+ 32) KB						
静态存储器(FSMC)外部存储器控制器	没有	没有	没有	是的(1)	是的(2)	是的	
QUADSPI		1					
计时器	先进的电机控制 HRTIM 通用 基本 低功率 SysTick计时器 看门狗定时器 (独立，窗口)	3(16位) 1 5(16位) 2(32位) 2(16位) 1(16位) 1 2					
SPI (I2S) (3)	3 (2)				4 (2)		
2摄氏度		4					
USART		3					
UART	0				2		
通讯接口	LPUART FDCANs USB设备 UCPD的 有	1 3 是的 是的 是的					
清债信托公司		是的					
夯针	2				3		
随机数发生器		是的					
CORDIC		是的					
FMAC		是的					

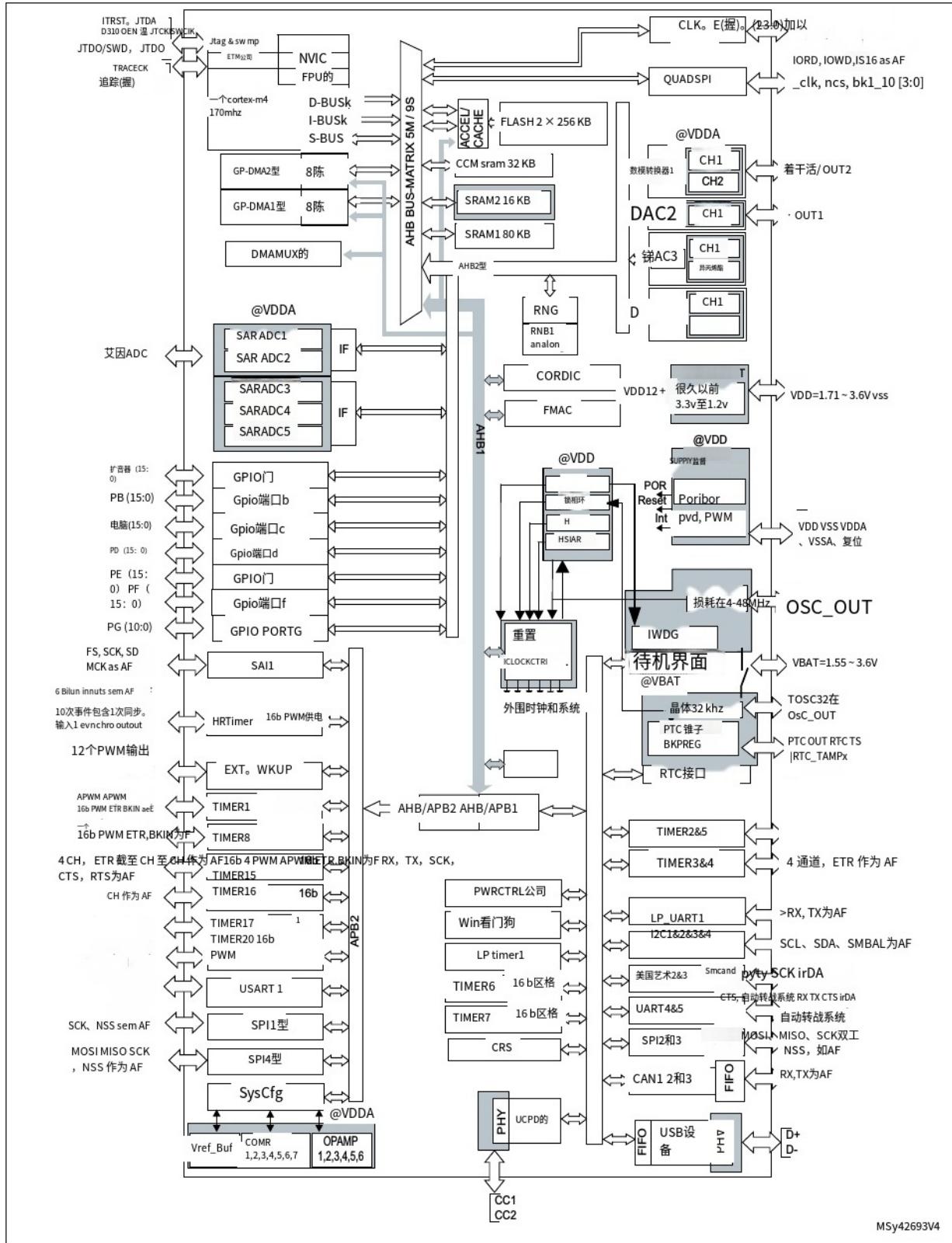
表2。STM32G474xB/xC/xE特性及外设计数(续)

外围	STM32G474Cx	STM32G474Rx	□	STM32G474Vx	□	□
GPIO的 唤醒针	38和LQFP48 42和 UFQFPN48 3	52 4	67 和 WLCSP81 66 和 LQFP80 4	86 5	102 5	107 1
12位adc通道数			5			
	20和LQFP48 21和 UFQFPN48	26	42 和 WLCSP81 41 和 LQFP80	42	42	42
12位DAC通道数 考缓冲			4 7(3外部+ 4内部)			
PWM通道(全部)	33	41	42	4	4	4
PWM通道 (补充除外)	28	30	32	33	32	32
模拟比较器			7			
运算放大器			6			
Max。CPU频率			170兆赫			
工作电压			1.71 V ~ 3.6 V			
工作温度			环境工作温度:-40 ~ 85°C/-40 ~ 125°C			
包	LQFP48/ UFQFPN48	LQFP64型	WLCSP81 LQFP80	LQFP100 / TFBGA100	UFBGA121	LQFP128

1. LQFP100包只提供FMC bank1和NAND bank。Bank1只能支持使用NE1芯片选择的多路NOR/PSRAM存储器。

2. 对于UFBGA121包，只有FMC bank1/bank4和NAND bank可用。Bank1/Bank4只能支持a
多路NOR/PSRAM内存使用NE1/NE4芯片选择。
3. SPI2/3接口可以在SPI模式或I2S音频模式下以独占方式工作。

图1所示。STM32G474xB/xC/xE框图



1. AF: I/O引脚的交替功能。

3 功能概述

3.1 Arm® Cortex®-M4核心与FPU

Arm® Cortex®-M4与FPU处理器是最新一代的Arm处理器的嵌入式系统。它的开发是为了提供一个低成本的平台，满足MCU实现的需求，减少引脚数和低功耗，同时提供出色的计算性能和对中断的高级响应。

Arm® Cortex®-M4与FPU 32位RISC处理器具有卓越的代码效率，在通常与8位和16位设备相关的内存大小中提供预期的高性能。

该处理器支持一组DSP指令，可实现高效的信号处理和复杂的算法执行。它的单精度FPU通过使用元语言开发工具来加速软件开发，避免饱和。

凭借其嵌入式Arm核心，STM32G474xB/xC/xE系列与所有Arm工具和软件兼容。

[图1](#)显示了STM32G474xB/xC/xE器件的总体框图。

3.2 自适应实时内存加速器(ART加速器)

ART加速器是针对STM32工业标准Arm® Cortex®-M4处理器进行优化的内存加速器。它平衡了Arm® Cortex®-M4相对于闪存技术的固有性能优势，后者通常需要处理器在更高频率下等待闪存。

3.3 内存保护单元

MPU (memory protection unit)用于管理CPU对内存的访问，防止某个任务意外损坏内存或其他活动任务使用的资源。这个内存区域被组织成多达8个保护区域，每个保护区域可以被分成8个子区域。保护区的大小范围从32字节到整个4gb的可寻址内存。

MPU对于需要保护某些关键代码或认证代码以防止其他任务的不当行为的应用程序特别有用。它通常由RTOS(实时操作系统)管理。如果一个程序访问了MPU禁止的内存位置，RTOS可以检测到它并采取行动。在RTOS环境中，内核可以根据要执行的进程动态更新MPU区域设置。

MPU是可选的，可以绕过不需要它的应用程序。

3.4 嵌入式闪存

STM32G474xB/xC/xE设备具有高达512 kb的嵌入式闪存，可用于存储程序和数据。

Flash接口特点:

- 单或双银行操作模式
- 双银行模式下的读写模式

该特性允许在对另一个银行执行擦除或编程操作的同时从一个银行执行读取操作。双银行启动也被支持。

由于选项bytes，可以配置灵活的保护:

- 读出保护(RDP)保护整个内存。可提供三种级别的保护:
 - 0级:无读出保护
 - 1级:内存读出保护;如果连接了调试功能或选择了在RAM或引导加载程序中启动，则Flash内存无法读取或写入
 - 2级:芯片读出保护;调试功能(Cortex-M4 JTAG和串行线)、RAM引导和引导加载程序选择被禁用(JTAG熔断器)。这种选择是不可逆的。
- 写保护(WRP):保护区域不被擦除和编程。
- 专有代码读出保护(PCROP):闪存的一部分可以防止第三方读取和写入。受保护的区域是只执行的，它只能被STM32 CPU作为指令码到达，而所有其他访问(DMA，调试和CPU数据读，写和擦除)是严格禁止的。一个额外的选项位(PCROP_RDP)允许选择当RDP保护从1级更改为0级时是否擦除PCROP区域。
- 安全内存区域:闪存的一部分可以通过选项字节配置为安全的。重置后，这个安全内存区域是不安全的，它的行为就像主闪存的其余部分(执行，读，写访问)。当安全时，对该安全内存区域的任何访问都会产生相应的读/写错误。安全内存区域的目的是保护敏感代码和数据(安全密钥存储)，这些代码和数据只能在启动时执行一次，除非发生新的重置，否则永远不会再次执行。

闪存嵌入了纠错码(ECC)功能，支持:

- 单个错误检测和纠错
- 双重错误检测
- ECC故障的地址可以在ECC寄存器中读取
- 1kbyte(128双字)OTP(一次性可编程)用于用户数据。OTP区仅在银行1可用。OTP数据不可擦除，只能写入一次。

3.5 嵌入式SRAM

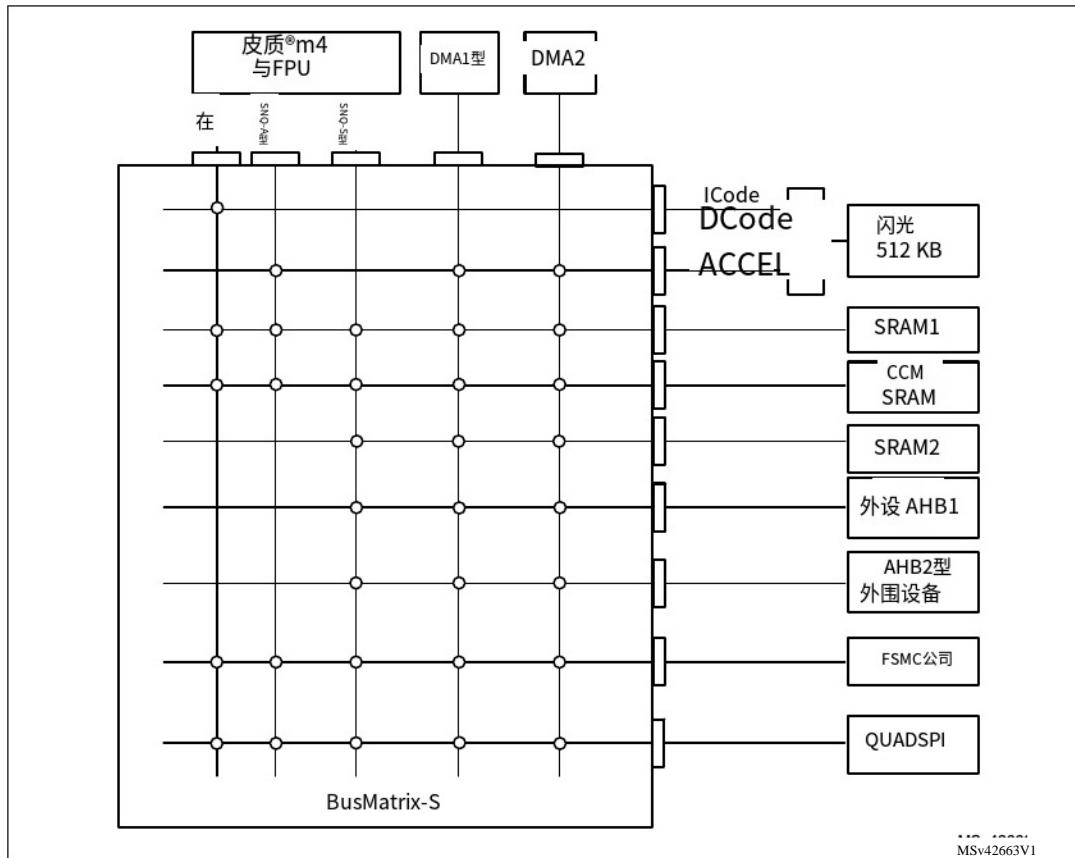
STM32G474xB/xC/xE器件具有128 千字节的嵌入式SRAM。这个SRAM被分成三个块:

- 80 千字节映射到地址0x2000 0000 (SRAM1)。CM4可以通过系统总线访问SRAM1(或通过I-Code/D-Code总线, 当选择从SRAM1启动或当SYSCFG_MEMRMP寄存器选择物理重新映射时)。SRAM1的前32千字节支持硬件奇偶校验。
 - 16千字节映射到地址0x2001 4000 (SRAM2)。CM4可以通过系统总线访问SRAM2。SRAM2可以保留在备用模式。
 - 32千字节映射到地址0x1000000 (CCM SRAM)。它由CPU通过I-Code/D-Code总线访问, 以获得最大性能。
它也被别名为0x2001 8000地址, 所有主机(CPU、DMA1、DMA2)通过SBUS连续访问SRAM1和SRAM2。CCM SRAM支持硬件奇偶校验, 并可以1-Kbyte粒度的写保护。
- 内存可以在最大CPU时钟速度下读取/写入, 等待状态为0。

3.6 多ahb总线矩阵

32位multi-AHB总线矩阵连接所有主(CPU, dma)和从(闪存, RAM, FSMC, QUADSPI, AHB和APB外设)。即使在多个高速外设同时工作的情况下, 它也能确保无缝高效的运行。

图2。多ahb总线矩阵



3.7 引导模式

在启动时, 一个BOOT0引脚(或nBOOT0选项位)和一个nBOOT1选项位用于选择三种启动选项之一:

- 从用户Flash启动
- 从系统内存启动
- 从嵌入式SRAM启动

BOOT0值可能来自PB8-BOOT0引脚或nBOOT0选项位, 这取决于用户nBOOT_SEL选项位的值, 以便在需要时释放GPIO垫。

引导加载程序位于系统内存中。它用于通过DFU(设备固件升级)使用USART、I2C、SPI和USB对闪存进行重新编程。

3.8 CORDIC

CORDIC提供某些数学函数的硬件加速，特别是三角函数，通常用于电机控制，计量，信号处理和许多其他应用。

与软件实现相比，它加快了这些函数的计算速度，允许更低的工作频率，或释放处理器周期，以便执行其他任务。

Cordic特性

- 24位CORDIC旋转引擎
- 圆形和双曲模式
- 旋转和矢量模式
- 函数:Sine, Cosine, Sinh, Cosh, Atan, Atan2, Atanh, Modulus, 平方根, 自然对数
- 可编程精度高达20位
- 快速收敛:每个时钟周期4位
- 支持16位和32位定点输入输出格式
- 低延迟AHB从接口
- 结果可以在没有轮询或中断的情况下立即读取
- DMA读写通道

3.9 濾波数学加速器(FMAC)

filter数学加速器单元对向量进行算术运算。它包括一个乘数/累加器(MAC)单元，以及地址生成逻辑，它允许它索引保存在本地内存中的向量元素。

该单元包括对输入和输出上的圆形缓冲器的支持，这允许实现数字滤波器。有限和无限脉冲响应滤波器都可以实现。

该单元允许频繁或冗长的滤波操作从CPU中卸载，释放处理器用于其他任务。在许多情况下，与软件实现相比，它可以加速此类计算，从而加快时间关键任务的速度。

FMAC特性

- 16 × 16位乘法器
- 24+2位加减法累加器
- 16位输入输出数据
- 256 × 16位本地内存
- 最多可以在内存中定义三个区域用于数据缓冲区(两个输入, 一个输出), 由可编程的基址指针和相关的大小寄存器定义
- 输入和输出样本缓冲区可以是循环的
- 缓冲“水印”功能减少中断模式下的开销
- 过滤功能:FIR, IIR(直接形式I)
- AHB从接口
- DMA读写数据通道

3.10 循环冗余校验计算单元(CRC)

CRC(循环冗余校验)计算单元使用多项式值和大小的可配置生成器获得CRC码。

在其他应用中, 基于crc的技术用于验证数据传输或存储的完整性。在EN/IEC 60335-1标准的范围内, 它们提供了一种验证闪存完整性的方法。

CRC计算单元有助于在运行时计算软件的签名, 该签名可以与链接时生成的参考签名进行比较, 并且可以存储在给定的内存位置。

3.11 电源管理

3.11.1 供电方案

STM32G474xB/xC/xE器件需要1.71 V至3.6 V VDD工作电压电源。几个独立电源, 可针对特定外设提供:

- VDD = 1.71 V ~ 3.6 V

VDD是I/o、内部稳压器和系统模拟(如复位、电源管理和内部时钟)的外部电源。它是通过VDD引脚对外提供的。

- VDDA = 1.62 V至3.6 V(参见[第5节](#):ADC, DAC, COMP, OPAMP, VREFBUF操作所需的最小VDDA电压的[电气特性](#))。

VDDA是A/D转换器、D/A转换器、电压基准缓冲器、运算放大器和比较器的外部模拟电源。VDDA电压电平独立于VDD电压, 在不使用这些外设时最好连接到VDD。

- VBAT = 1.55 V ~ 3.6 V

当VDD不存在时, VBAT是RTC, 外部时钟32 kHz振荡器和备用寄存器(通过电源开关)的电源。

- VREF -, VREF +

VREF+是adc和dac的输入参考电压。当使能时，它也是内部电压参考缓冲器的输出。

当VDDA < 2v时，VREF+必须等于VDDA。

当VDDA ≥ 2v时，VREF+必须在2v和VDDA之间。

内部电压参考缓冲器支持3个输出电压，在VREFBUF_CSR寄存器中配置VRS位：

- VREF + = 2.048 v

- VREF + = 2.5 v

- VREF + = 2.9 v

VREF与vsd成双键。

3.11.2 电源主管

该设备具有集成的超低功耗断电复位(BOR)，在所有模式下都有效(关机模式除外)。BOR用于保证设备上电和下电过程中的正常运行。当被监控的电源电压VDD低于指定阈值时，设备保持复位模式，不需要外部复位电路。

上电时最低BOR电平为1.71 V，其他更高的阈值可以通过选项字节选择。该器件具有嵌入式可编程电压检测器(PVD)，可监测VDD电源并将其与VPVD阈值进行比较。当VDD低于VPVD阈值和/或VDD高于VPVD阈值时，可以产生中断。然后中断服务程序可以生成警告消息和/或使MCU进入安全状态。PVD通过软件使能。

此外，该器件还嵌入了一个外围电压监测器，该监测器将独立电源电压VDDA与固定阈值进行比较，以确保外围设备处于其功能供电范围内。

3.11.3 电压调节器

两个嵌入式线性稳压器，主稳压器(MR)和低功率稳压器(LPR)，提供了器件中的大部分数字电路。MR仅在运行和睡眠模式下使用。LPR用于低功耗运行、低功耗睡眠和停止模式。在待机和关机模式下，两个稳压器都断电，其输出设置为高阻抗状态，例如使其电流消耗接近于零。

该器件支持动态电压缩放，以优化其在Run模式下的功耗。提供逻辑(VCORE)的主稳压器的电压可以根据系统的最大工作频率进行调整。

主调节器(MR)在以下范围内工作：

- 范围1升压模式与CPU运行在高达170 MHz。
- 范围1正常模式与CPU运行在高达150 MHz。
- 范围2，最大CPU频率为26 MHz。

3.11.4 低功耗模式

默认情况下，系统复位或电源复位后，单片机处于Run模式。用户可自行选择下面介绍的低功耗模式：

- **休眠模式:**休眠模式下，只有CPU处于休眠状态。当中断/事件发生时，所有外设继续运行并可以唤醒CPU。
- **低功耗运行模式:**该模式是通过低功率稳压器提供的VCORE来实现的，以尽量减少稳压器的工作电流。代码可以从SRAM或Flash执行，CPU频率限制为2 MHz。具有独立时钟的外设可以通过HSI16进行时钟处理。
- **低功耗休眠模式:**从低功耗运行模式进入该模式。只有CPU时钟停止。当被事件或中断触发唤醒时，系统恢复到低功耗运行模式。
- **停止模式:**在停止模式下，设备达到最低功耗，同时保留SRAM和寄存器内容。VCORE域内所有时钟停止。锁相环，以及HSI16 RC振荡器和HSE晶体振荡器被禁用。LSE或LSI继续运行。RTC可以保持活动状态(有RTC的停止模式，没有RTC的停止模式)。一些具有唤醒能力的外设可以在停止模式下使能HSI16 RC，从而获得处理唤醒事件的时钟。
- **待机模式:**待机模式通过断电复位、BOR等方式实现最低功耗。关闭内部稳压器，使VCORE域下电。锁相环，以及HSI16 RC振荡器和HSE晶体振荡器也断电。RTC可以保持激活状态(有RTC的待机模式，没有RTC的待机模式)。BOR在Standby模式下始终保持活动状态。对于每个I/O，软件可以确定在待机模式下是否应对该I/O施加上拉、下拉或不施加电阻。在进入待机模式时，除了RTC域和备用电路中的寄存器外，SRAM和寄存器内容将丢失。当外部复位事件(NRST引脚)、IWDG复位事件、唤醒事件(WKUP引脚，可配置上升沿或下降沿)或RTC事件(告警、周期性唤醒、时间戳、篡改)或LSE检测到故障(LSE上的CSS)时，设备退出待机模式。
- **关机模式:**关机模式允许实现最低的功耗。关闭内部稳压器，使VCORE域下电。锁相环，以及HSI16和LSI rc振荡器和HSE晶体振荡器也断电。RTC可以保持活动状态(带RTC关机模式，不带RTC关机模式)。关机模式下BOR不可用。在此模式下无法进行电源电压监控。因此不支持切换到RTC域。除了RTC域中的寄存器外，SRAM和寄存器内容都会丢失。当外部复位事件(NRST引脚)、IWDG复位事件、唤醒事件(WKUP引脚，可配置上升沿或下降沿)或RTC事件(告警、周期性唤醒、时间戳、篡改)时，设备退出Shutdown模式。

3.11.5 复位模式

为了提高复位下的消耗，复位下和复位后的I/O状态为“模拟状态”(I/O施密特触发器禁用)。此外，当复位源为内部时，内部复位上拉失效。

3.11.6 VBAT操作

VBAT引脚允许在没有外部电池和有外部超级电容时，从外部电池、外部超级电容或从VDD为设备VBAT域供电。VBAT引脚为RTC提供LSE和备份寄存器。VBAT模式下有三个防篡改检测引脚。

当VDD不存在时，VBAT操作会自动激活。内置VBAT电池充电电路，当VDD存在时可以激活。

注意：当微控制器由VBAT提供时，无论是外部中断还是RTC告警/事件都不会从VBAT操作中退出微控制器。

3.12 互连矩阵

几个外围设备之间有直接连接。这允许在外设之间进行自主通信，从而节省CPU资源，从而节省电源消耗。此外，这些硬件连接允许快速和可预测的延迟。

根据外设的不同，这些互连可以在运行、睡眠和停止模式下运行。

表3。STM32G474xB/xC/xE外设互连矩阵

互连源	互连的目的地	互连的行动	deep sleep	eMod-Mo	deels	两个
TIMx	TIMx	定时器同步或连锁	Y	Y	Y	-
	ADCx	转换触发	Y	>	Y	-
	DACx					
	直接存储器存取	内存到内存传输触发器	Y	Y	v	-
	COMPx	比较器输出消隐	Y	Y	< Y	-
TIM16 / TIM17	伊尔蒂姆	红外接口输出	Y	Y	A Y	-
COMPx	tim1,8,20 tim2,3,4,5	定时器输入通道，触发，中断模拟信号比较	Y	YYY		-
	LPTIMER1	模拟信号比较触发的低功耗定时器	YYIYIY			
	HRTIM	复杂输出是HRTIM的输入事件或故障输入	YYIY Y			-
ADCx的	tim1,8,20	由模拟看门狗触发的定时器	吃			-
	HRTIM	HRTIM外部事件源可以ADCx模拟看门狗	YYIYIY			-
RTC	TIM16	定时器输入通道来自RTC事件	圆柱体			-
	LPTIMER1	低功耗定时器触发RTC报警或篡改	YIY 吃			
所有时钟源(内部和外部)	TIM5, Tim15、16、17	时钟源用作RC测量和修整的输入通道	Y	YYY		-
USB接口	TIM2	定时器触发USB SOF	Y	Y	-	-
CSS	Tim1、8、20 tim15、16、 17 hrtim	定时器中断 HRTIM SYSFLT		YYIY		-
RAM(奇偶校验错误)闪 存(ECC错误)compxpvd						

表3。STM32G474xB/xC/xE外设互连矩阵(续)

互连源	互连的目的地	互连的行动	UNV	V	一个表情符	details	两个
CPU(硬故障)	Tim1、8、20 tim15/16/17 hrtim	定时器中断 HRTIM SYSFLT		v v	v v	-	
GPIO系统	TIMx LPTIMER1	外部触发外部触 发		v v	< <	-	
HRTIM	ADCx DACx DACx/ADCx型 GPIO系统	HRTIM的外部故障/事件/同步输入 转换外部触发器 转换触发 HRTIM的同步输出	伊伊伊 YYYY YYYY Y YYY				

3.13 时钟和启动

时钟控制器将来自不同振荡器的时钟分配到核心和外围设备。它还管理低功耗模式的时钟门控，并确保时钟稳健性。它的特点：

- **时钟预分频器:**为了获得速度和电流消耗之间的最佳权衡，CPU和外设的时钟频率可以通过可编程预分频器进行调整
- **安全时钟切换:**时钟源可以通过配置寄存器在运行模式下安全切换。
- **时钟管理:**为了减少功耗，时钟控制器可以停止时钟到核心，个别外设或内存。
- **系统时钟源:**三种不同的时钟源可以提供SYSCLK系统时钟：
 - 4 - 48 MHz高速振荡器与外部晶体或陶瓷谐振器(HSE)。它可以为系统PLL提供时钟。对于外部时钟，HSE也可以配置为bypass模式。
 - 16 MHz高速内部RC振荡器(HSI16)，可通过软件调谐。它可以为系统PLL提供时钟。
 - 系统PLL，最大输出频率为170 MHz。它可以与HSE或HSI16时钟馈电。
- **带时钟恢复系统的RC48 (HSI48):**内部的HSIRC48 MHz时钟源可用于驱动USB或RNG外设。
- **辅助时钟源:**两个超低功耗时钟源，用于实时时钟(RTC)：
 - 32.768 kHz低速振荡器与外部晶体(LSE)，支持四种驱动能力模式。LSE也可以配置为bypass模式，使用外部时钟。
 - 32 kHz低速内部RC振荡器(LSI)，精度为±5%，也用于独立看门狗的时钟。
- **外设时钟源:**几个外设(I2S, USART, I2C, LPTimer, ADC, SAI, RNG)有自己的时钟独立于系统时钟。
- **时钟安全系统(CSS):**在HSE时钟发生故障时，系统时钟自动切换到HSI16，如果使能，则会产生软件中断。LSE时钟故障也可以被检测到并产生中断。
- **Clock-out能力:**
 - **MCO:**微控制器时钟输出：它输出一个内部时钟供应用程序外部使用
 - **LSCO:**低速时钟输出：在所有低功耗模式下输出LSI或LSE。

几个预分频器允许配置AHB频率，高速APB (APB2)和低速APB (APB1)域。AHB域和APB域的最大频率为170 MHz。

3.14 通用输入/输出(gpio)

每个GPIO引脚都可以通过软件配置为输出(推挽或开漏), 输入(带或不带上拉或下拉)或外设备用功能。大多数GPIO引脚与数字或模拟替代功能共享。由于它们在AHB2总线上的映射, 可以实现快速I/O切换。

如果需要, 可以按照特定的顺序锁定I/O替代功能配置, 以避免对I/O寄存器进行虚假写入。

3.15 直接存储器存取控制器(DMA)

该设备嵌入了2个dma。有关功能实现, 请参见[表4:DMA实现](#)。

使用直接存储器访问(DMA)是为了在外设和存储器之间以及从存储器到存储器之间提供高速数据传输。数据可以通过DMA快速移动, 而无需任何CPU操作。这使得CPU资源可以自由地用于其他操作。

两个DMA控制器总共有16个通道, 每个通道专门用于管理来自一个或多个外设的内存访问请求。每个控制器都有一个仲裁器, 用于处理DMA请求之间的优先级。

DMA支持:

- 16个独立可配置的通道(请求)
 - 每个通道都连接到一个专用的硬件DMA请求, 每个通道上也支持一个软件触发器。这个配置是由软件完成的。
- 来自一个DMA通道的请求之间的优先级都是软件可编程的(4个级别:非常高, 高, 中, 低)或硬件可编程的(请求1优先于请求2, 等等)
- 独立的源和目标传输大小(字节, 半字, 字), 模拟打包和拆包。源/目的地址必须在数据大小上对齐。
- 支持循环缓冲区管理
- 3个事件标志(DMA传输一半, DMA传输完成和DMA传输错误)逻辑上在每个通道的单个中断请求中一起
- 内存到内存传输
- 外设到内存、内存到外设和外设到外设传输
- 访问Flash, SRAM, APB和AHB外设作为源和目标
- 可编程的数据传输数量:高达65536。

表4。DMA实现

DMA功能	DMA1型	DMA2
常规频道数	8	8

3.16 DMA请求路由器(DMAMUX)

当外设通过设置其DMA请求线来指示DMA传输请求时，该DMA请求将挂起，直到它被服务并且相应的DMA请求线被重置。DMA请求路由器允许在外设和产品的DMA控制器之间路由DMA控制线。

嵌入式多通道DMA请求生成器可以看作是这样的外设之一。路由功能由多通道DMA请求线路多路复用器保证。每个通道选择一组独特的DMA控制线，无条件地或与同步输入上的事件同步。

为简单起见，功能描述仅限于DMA请求行。其他DMA控制线没有在图中显示或在文本中描述。DMA请求生成器根据DMA请求触发器输入上的事件产生DMA请求。

3.17 中断和事件

3.17.1 嵌套矢量中断控制器(NVIC)

STM32G474xB/xC/xE设备嵌入了一个嵌套的矢量中断控制器，该控制器能够管理16个优先级级别，并处理多达102个可屏蔽中断通道以及Cortex®-M4的16条中断线。

NVIC的好处如下：

- 紧密耦合的NVIC提供低延迟中断处理
- 中断入口向量表地址直接传递到核心
- 允许中断的早期处理
- 处理延迟到达的高优先级中断
- 支持尾链
- 自动保存处理器状态

中断入口在中断退出时恢复，没有指令开销

NVIC硬件块以最小的中断延迟提供灵活的中断管理功能。

3.17.2 扩展中断/事件控制器(EXTI)

扩展中断/事件控制器由44条边缘检测器线组成，用于生成中断/事件请求并从停止模式唤醒系统。每条外部线都可以独立配置以选择触发事件(上升沿，下降沿，两者都有)，并且可以独立屏蔽。

暂挂寄存器维护中断请求的状态。内部线路连接到具有从停止模式唤醒能力的外设。EXTI可以检测脉冲宽度小于内部时钟周期的外部线路。16条外部中断线最多可以连接107个gpio。

3.18 模数转换器(ADC)

该器件嵌入了5个连续近似模数转换器，具有以下特点：

- 12位原生分辨率，内置校准
- 4 Msps最大转换率与全分辨率
 - 采样时间低至41.67 ns
 - 提高低分辨率的转换率(6位分辨率高达6.66 Msps)
- 所有封装上都有一个外部参考引脚，允许输入电压范围独立于电源
- 单端和差分模式输入
- 低功耗设计
 - 能够在低转换率下进行小电流工作(功耗随速度线性降低)
 - 双时钟域架构:ADC速度与CPU主频无关
- 高度通用的数字接口
 - 基于单镜头或连续/不连续序列器的扫描模式:可编程2组模拟信号转换，以区分背景和高优先级实时转换
 - 每个ADC支持多个触发输入，与片上定时器和外部信号同步
 - 结果存储到数据寄存器或支持DMA控制器的RAM中
 - 数据预处理:左/右对齐和每个通道偏移补偿
 - 内置过采样单元，增强信噪比
 - 通道可编程采样时间
 - 模拟看门狗自动电压监测，产生中断和触发选定的计时器
 - 硬件助手准备注入通道的上下文，以允许快速上下文切换
 - 灵活的采样时间控制
 - 硬件增益和偏移补偿

3.18.1 温度传感器

温度传感器(TS)产生一个随温度线性变化的电压VTS。温度传感器内部连接到adc输入通道，用于将传感器输出电压转换为数字值。

该传感器提供良好的线性度，但必须对其进行校准，以获得良好的整体温度测量精度。由于温度传感器的偏移量因工艺变化而因芯片而异，因此未校准的内部温度传感器适用于仅检测温度变化的应用。

为了提高温度传感器测量的精度，每个设备都由ST单独进行工厂校准，温度传感器工厂校准数据由ST存储在系统内存区域中，以只读模式访问。

表5所示。温度传感器校准值

校准值名称	描述	内存地址
TS_CAL1	在30°C(±5°C)温度下获取的TS ADC原始数据, VDDA=VREF+=3.0 V (± 10 mV)	0x1FFF 75A8-0x1FFF 75A9
TS_CAL2	在a处获取的TS ADC原始数据 温度为130°C(±5°C), VDDA=VREF+=3.0 V (± 10 mV)	0x1FFF 75CA-0x1FFF 75CB

3.18.2 内部基准电压(VREFINT)

内部基准电压(VREFINT)为ADC和比较器提供稳定的(带隙)电压输出。VREFINT内部连接到ADC_x_IN18, x = 1,3,4,5输入通道。VREFINT的精确电压由ST在生产测试期间为每个部件单独测量，并存储在系统内存区。可在只读模式下访问。

表6所示。内部电压参考校准值

校准值名称	描述	内存地址
VREFINT (英语)	在温度为30°C(±5°C)时获得的原始数据; VDDA=VREF+=3.0 V (± 10 mV)	0x1FFF 75AA-0x1FFF 75AB

☒ V_{BAT} 电池电压监测

这种嵌入式硬件使应用程序能够使用内部ADC1_IN17通道测量VBAT电池电压。由于VBAT电压可能高于VDDA，因此在ADC输入范围之外，因此VBAT引脚内部通过3连接到桥式分压器。因此，转换的数字值是VBAT电压的三分之一。

3.18.4 运算放大器内部输出(OPAMPxINT):

OPAMP_x (x = 1···6)输出OPAMP_xINT可以使用ADC_x (x = 1···5)内部输入通道进行采样。在这种情况下，映射OPAMP_x输出的I/O可以用作GPIO。

3.19 数模转换器(DAC)

7个12位DAC通道(3个外部缓冲和4个内部非缓冲)可用于将数字信号转换为模拟电压信号输出。所选择的设计结构由集成电阻串和反相配置的放大器组成。

该数字接口支持以下功能:

- 最多两个DAC输出通道
- 8位或12位输出模式
- 缓冲偏移校准(工厂和用户微调)
- 12位模式下的左或右数据对齐
- 同步更新功能
- 产生噪声波
- 三角波生成
- 锯齿波生成
- 双DAC通道独立或同步转换
- 每个通道的DMA能力
- 转换的外部触发器
- 采样和保持低功耗模式，内部或外部电容器
- 最多1 Msps的外部输出和15 Msps的内部输出

DAC通道通过计时器更新输出触发，计时器更新输出也连接到不同的DMA通道。

3.20 电压参考缓冲器(VREFBUF)

STM32G474xB/xC/xE器件嵌入了一个电压参考缓冲器，可以作为ADC、dac的电压参考，也可以通过VREF引脚作为外部元件的电压参考。

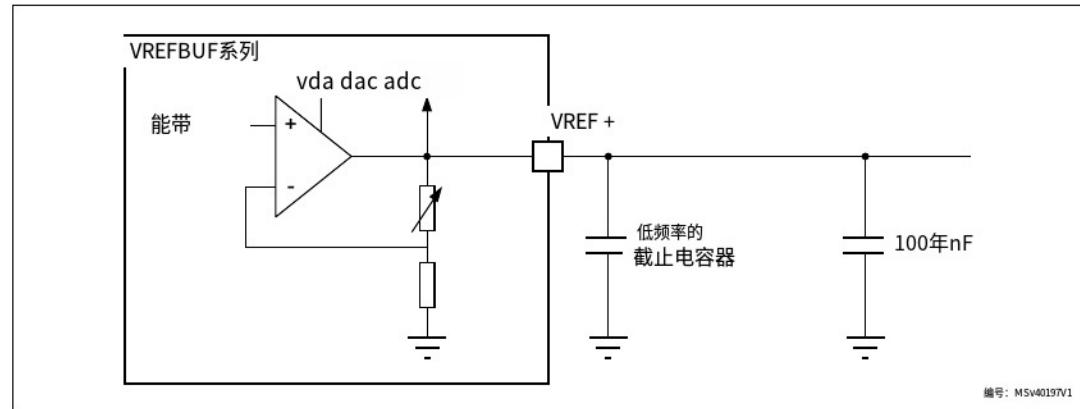
内部电压参考缓冲器支持三种电压:

- 2.048 v
- 2.5 v
- 2.9 v

当内部参考电压缓冲器关闭时，可以通过VREF+引脚提供外部参考电压。

在某些封装上，VREF+引脚与VDDA双键合。在这些封装中，内部电压参考缓冲器不可用。

图3。电压参考缓冲器



3.21 比较器(COMP)

STM32G474xB/xC/xE器件嵌入7个轨对轨比较器，具有可编程参考电压(内部或外部)，滞后。

参考电压可为以下任意一种：

- 外部I/O
- DAC输出通道
- 内部参考电压或子倍数(1/4,1/2,3/4)。

所有比较器都可以从停止模式唤醒，为计时器产生中断和中断。

3.22 运算放大器(OPAMP)

STM32G474xB/xC/xE器件嵌入六个运算放大器，具有外部或内部跟随器路由和PGA功能。

该运放的特点：

- 13 MHz带宽
- 轨对轨输入/输出
- PGA具有非反相增益范围2,4,8,16,32或64或反相增益范围-1, -3, -7, -15, -31或-63

3.23 随机数生成器(RNG)

所有设备都嵌入了一个RNG，该RNG提供由集成模拟电路生成的32位随机数。

3.24 定时器和看门狗

STM32G474xB/xC/xE设备包括一个高分辨率时间，三个高级电机控制计时器，多达九个通用计时器，两个基本计时器，一个低功耗计时器，两个看门狗计时器和一个SysTick计时器。下表比较了高级电机控制定时器、通用定时器和基本定时器的特点。

表7所示。定时器功能对比

计时器类型	计时器	Counter prescaler	分辨率类型	因素	DMA请求生成	捕获/比较互补	输出通道
高分辨率定时器	HRTIM	16位	向上。	/1 /2 /4 (x2 x4 x8 x16 x32, 带 DLL)	是的	12	是的
先进的电机控制	, , tim20	16位	上,下, 上/下	1和之间的任意整数 65536	是的	4	4
通用的	TIM2, TIM5	32位	向上, 下来, 上/下	1和之间的任意整数 65536	是的	4	没有

表7所示。定时器特性对比(续)

计时器类型	计时器	计数器分辨率类型		预定标器的因素	DMA请求生成	捕获/比较互补输出通道	
generalpurpose	TIM3, TIM4	16位	上、下、上/下	1和之间的任意整数 65536	是的	4	没有
通用的	TIM15	16位	向上。	1和之间的任意整数 65536	是的	2	-
通用的	TIM16, TIM17	16位	向上。	1和之间的任意整数 65536	是的	-	-
基本	TIM6, TIM7	16位	向上。	1和之间的任意整数 65536	是的	-	没有

3.24.1 高分辨率定时器(HRTIM)

高分辨率定时器(HRTIM)允许生成具有高精度定时的数字信号，例如PWM或相移脉冲。

它由7个定时器、1个主定时器和6个从定时器组成，共12个高分辨率输出，可成对耦合，用于死区插入。它还具有6个用于保护目的的故障输入和10个用于处理电流限制，零电压或零电流开关等外部事件的输入。

HRTIM定时器是由一个时钟频率为170 MHz的数字内核和延迟线组成的。具有闭环控制的延迟线保证了184 ps的分辨率，无论电压，温度或芯片到芯片的制造过程偏差如何。所有工作模式下的12个输出都具有高分辨率:可变占空比，可变频率和恒定导通时间。

从计时器可以组合控制多开关复杂转换器或独立操作以管理多个独立转换器。

波形由用户定义的定时和外部事件(如模拟或数字反馈信号)的组合来定义。

HRTIM定时器包括消隐和过滤虚假事件或错误的选项。它还提供了特定的模式和功能来卸载CPU: DMA请求，突发模式控制器，推挽和谐振模式。

它支持许多拓扑，包括LLC，全桥移相，降压或升压转换器，无论是在电压或电流模式下，以及照明应用(荧光灯或LED)。它也可以用作通用定时器，例如实现高分辨率pwm模拟DAC。

在调试模式下，HRTIM计数器可以冻结，PWM输出进入安全状态。

3.24.2 高级电机控制定时器(TIM1, TIM8, TIM20)

先进的电机控制定时器可以被看作是一个四相PWM多路复用8通道。它们具有互补的PWM输出

可编程插入死机时间。它们也可以被看作是完整的通用计时器。

这4个独立的通道可以用于:

- 输入捕获
- 输出比较
- PWM产生(边缘或中心对齐模式)与全调制能力(0-100%)
- 单脉冲模式输出

在调试模式下，可以冻结先进的电机控制定时器计数器，并禁用PWM输出，以关闭由这些输出驱动的任何电源开关。

使用相同的架构，许多特性与通用TIMx定时器(在[第3.24.3节](#)中描述)共享，因此高级电机控制定时器可以通过计时器链接特性与TIMx定时器一起工作，以实现同步或事件链。

3.24.3 通用定时器(TIM2, TIM3, TIM4, TIM5, TIM15, TIM16, TIM17)

在STM32G474xB/xC/xE设备中嵌入了最多7个可同步的通用计时器(差异见[表7](#))。每个通用定时器可用于产生PWM输出，或作为一个简单的时基。

- TIM2, TIM3, TIM4和TIM5

它们是功能齐全的通用定时器:

- TIM2和TIM5有一个32位自动加载上行/下行计数器和32位预分频器
- TIM3和TIM4有16位自动加载上行/下行计数器和16位预分频器。这些定时器具有4个独立的通道，用于输入捕获/输出比较，PWM或单脉冲模式输出。它们可以一起工作，也可以通过计时器链接功能与其他通用计时器一起工作，以实现同步或事件链。

计数器可以在调试模式下冻结。

都有独立的DMA请求生成，并支持正交编码器。

- TIM15, 16和17

它们是具有中档功能的通用定时器:

它们有16位自动加载上行计数器和16位预分频器。

- TIM15有2个通道和1个互补通道

- TIM16和TIM17有1通道和1互补通道

所有通道可用于输入捕获/输出比较，PWM或单脉冲模式输出。

计时器可以通过定时器链接功能一起工作，用于同步或事件链接。计时器有独立的DMA请求生成。

计数器可以在调试模式下冻结。

3.24.4 基本定时器(TIM6和TIM7)

基本定时器主要用于DAC触发器的生成。它们也可以用作通用的16位时基。

3.24.5 低功耗定时器(LPTIM1)

该器件嵌入了一个低功耗定时器。这个计时器有一个独立的时钟，如果它是由LSE, LSI或外部时钟计时，则运行在停止模式。它能够将系统从停止模式中唤醒。

LPTIM1在停止模式下处于活动状态。

这款低功耗定时器支持以下功能：

- 16位向上计数器与16位自动加载寄存器
- 16位比较寄存器
- 可配置输出:脉冲、PWM
- 连续/一次拍摄模式
- 可选的软件/硬件输入触发器
- 可选时钟源
 - 内部时钟源:LSE、LSI、HSI16或APB时钟
 - 外部时钟源通过LPTIM输入(工作即使没有内部时钟源运行，脉冲计数器应用使用)。
- 可编程数字故障滤波器
- 编码器模式

3.24.6 独立看门狗(IWDG)

独立看门狗基于一个12位下行计数器和一个8位预分频器。它的时钟从一个独立的32千赫内部RC (LSI)，因为它的操作独立于主时钟，它可以在停止和待机模式下操作。它既可以用作看门狗，当出现问题时复位设备，也可以用作应用程序超时管理的自由运行计时器。它是通过选项字节进行硬件或软件配置的。计数器可以在调试模式下冻结。

3.24.7 系统窗口看门狗(WWDG)

窗口看门狗基于一个7位下行计数器，可以设置为自由运行。它可以作为看门狗，在出现问题时复位设备。它的时钟来自主时钟。它具有预警中断能力，计数器可以在调试模式下冻结。

3.24.8 SysTick计时器

这个定时器是专用于实时操作系统的，但也可以用作标准的down计数器。它的特点：

- 24位下行计数器
- 自动加载功能
- 当计数器达到0时，可屏蔽系统中断生成。
- 可编程时钟源

3.25 实时时钟(RTC)和备份寄存器

RTC支持以下特性:

- 日历与秒，分钟，小时(12或24格式)，星期，日期，月，年，在BCD(二进制编码的十进制)格式。
- 自动校正28日，29日(闰年)，30日和31日的月。
- 两个可编程报警。
- 从1到32767 RTC时钟脉冲的动态校正。这可以用来与主时钟同步。
- 参考时钟检测:可以使用更精确的秒源时钟(50或60 Hz)来增强日历精度。
- 具有0.95 ppm分辨率的数字校准电路，以补偿石英晶体的不准确性。
- 时间戳功能，可用于保存日历内容。该函数可以由时间戳引脚上的事件触发，也可以由篡改事件触发，也可以通过切换到VBAT模式触发。
- 17位自动加载唤醒定时器(WUT)，用于具有可编程分辨率和周期的周期性事件。

RTC通过一个开关供电，该开关要么从VDD电源供电，要么从VBAT引脚供电。

RTC时钟源包括:

- 32.768 kHz外部晶体(LSE)
- 外部谐振器或振荡器(LSE)
 - 内部低功率RC振荡器(LSI，典型频率为32 kHz)
- 高速外部时钟(HSE)除以32。

RTC在VBAT模式和所有低功耗模式下工作，当它被LSE时钟时。当RTC被LSI定时，不能在VBAT模式下工作，只能在除Shutdown模式外的所有低功耗模式下工作。

所有RTC事件(Alarm, WakeUp Timer, Timestamp)都可以产生中断并从低功耗模式唤醒设备。

3.26 篡改和备份寄存器(TAMP)

- 32位备份寄存器，保留在所有低功耗模式和VBAT模式。它们可用于存储敏感数据，因为它们的内容受到篡改检测电路的保护。它们不会被系统或电源重置，也不会在设备从待机或关机模式唤醒时被重置。
- 最多三个篡改引脚用于外部篡改检测事件。外部篡改引脚可配置为边缘检测，边缘和电平，带滤波的电平检测。
- 5个内部篡改事件。
- 任何篡改检测都可以生成一个RTC时间戳事件。
- 任何篡改检测都会擦除备份寄存器。
- 任何篡改检测都可以产生中断并从所有低功耗模式唤醒设备。

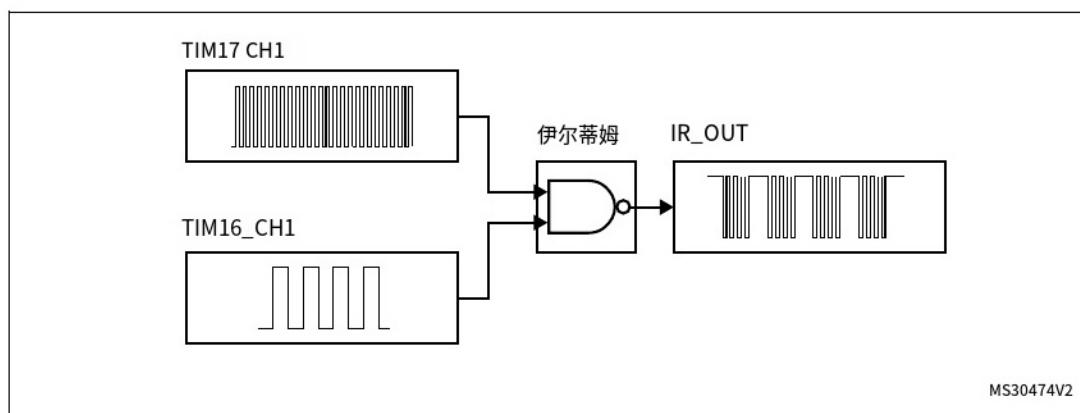
3.27 红外发射机

STM32G474xB/xC/xE器件提供红外发射机解决方案。该解决方案基于TIM16和TIM17之间内部连接，如下图所示。

TIM17用于提供载波频率，TIM16提供要发送的主信号。红外输出信号可在PB9或PA13上使用。

为了产生红外遥控信号，必须配置TIM16通道1和TIM17通道1，以产生正确的波形。所有标准的红外脉冲调制模式都可以通过编程两个定时器输出比较通道来获得。

图4。红外发射机



3.28 内部集成电路接口(I2C)

器件内嵌4个I2C接口。有关功能实现, 请参见[表8:I2C实现](#)。

I2C总线接口处理微控制器和串行I2C总线之间的通信。它控制所有I2C总线特定的排序、协议、仲裁和定时。

I2C外设支持:

- I²C-bus规范和用户手册rev. 5兼容性:
 - 从主模式, 多主功能
 - 标准模式(Sm), 比特率高达100kbit /s
 - 快速模式(Fm), 比特率高达400kbit /s
 - 快速模式Plus (Fm+), 比特率高达1mbit /s, 输出驱动I/ o为20ma
 - 7-bit和10-bit寻址模式, 多个7-bit从地址
 - 可编程设置和保持时间
 - 可选的时钟拉伸
- 系统管理总线(SMBus)规范rev 2.0兼容性:
 - 具有ACK控制的硬件PEC(数据包错误检查)生成和验证
 - 支持地址解析协议(ARP)
 - SMBus告警
- 电源系统管理协议(PMBusTM)规范版本1.1兼容性
- 独立时钟:独立时钟源的选择, 允许I2C通信速度独立于PCLK重编程。
- 地址匹配时从停止模式唤醒
- 可编程模拟和数字噪声滤波器
- 具有DMA功能的1字节缓冲区

表8所示。I2C实现

I2C功能(1)	I2C1	I2C2	I2C3	I2C4
标准模式(最高100kbit /s)	X	X	X	X
快速模式(高达400kbit /s)	X	X	X	X
带有20mA输出驱动I/ o的Fast-mode Plus(高达1mbit /s)	X	X	X	X
可编程模拟和数字噪声滤波器	X	X	X	X
SMBus/PMBus硬件支持	X	X	X	X
独立的时钟	X	X	X	X
地址匹配时从停止模式唤醒	X	X	X	X

1. X:支持

3.29 通用同步/异步接收/发送(USART)

STM32G474xB/xC/xE器件具有三个嵌入式通用同步接收发射机(USART1, USART2和USART3)和两个通用异步接收发射机(UART4, USART5)。

这些接口提供异步通信, IrDA SIR ENDEC支持, 多处理器通信模式, 单线半双工通信模式, 并具有LIN主/从能力。它们提供CTS和RTS信号的硬件管理, 并启用RS485驱动程序。

USART1、USART2和USART3还提供智能卡模式(符合ISO 7816标准)和类似spi的通信能力。

USART带有发送FIFO (TXFIFO)和接收FIFO (RXFIFO)。FIFO模式由软件开启, 默认关闭。

所有USART都有一个独立于CPU时钟的时钟域, 允许U(S)ARTx (x=1,2,3,4,5)从停止模式唤醒MCU。从Stop模式唤醒可以通过以下方式完成:

- 启动位检测
- 任何接收到的数据帧
- 一个特定的编程数据帧
- 当FIFO模式启用时, 一些特定的TXFIFO/RXFIFO状态中断

所有USART接口都可以由DMA控制器提供服务。

表9所示。USART/UART/LPUART特性

USART模式/特点(1)	美国艺术1	美国艺术2	USART3	UART4	UART5	LPUART1
调制解调器的硬件流控制	X	X	X	X	X	X
使用DMA进行连续通信	X	X	X	X	X	X
多处理器通信	X	X	X	X	X	X
同步模式	X	X	X	-	-	-
智能卡模式	X	X	X	-	-	-
单线半双工通信	X	X	X	X	X	X
IrDA SIR ENDEC块	X	X	X	X	X	-
林模式	X	X	X	X	X	-
双时钟域	X	X	X	X	X	X
从停止模式中唤醒	X	X	X	X	X	X
接收器超时中断	X	X	X	X	X	-
Modbus通信自动波特率	X	X	X	X	X	-
检测	X(4种模式)					-
驱动程序支持	X	X	X	X	X	X
LPUART/USART数据长度	7,8和9位					

表9所示。USART/UART/LPUART特性(续)

USART模式/功能(1)	美国艺术1	美国艺术2	USART3	UART4	UART5	LPUART1
Tx / Rx FIFO				X		
Tx / Rx FIFO 大小				8		

1. X =支持。

3.30 低功率通用异步收发器(LPUART)

STM32G474xB/xC/xE器件嵌入一个低功耗UART。LPUART支持异步串行通信，功耗最小。支持半双工单线通信和调制解调器操作(CTS/RTS)。它允许多处理器通信。

LPUART带有一个发送FIFO (TXFIFO)和一个接收FIFO (RXFIFO)。FIFO模式由软件开启，默认关闭。它具有独立于CPU时钟的时钟域，可以将系统从Stop模式唤醒。从Stop模式唤醒可以通过以下方式完成：

- 启动位检测
- 任何接收到的数据帧
- 一个特定的编程数据帧
- 当FIFO模式启用时，一些特定的TXFIFO/RXFIFO状态中断

只需要32.768 kHz时钟(LSE)就可以实现高达9600波特的LPUART通信。因此，即使在停止模式下，LPUART也可以以极低的能耗等待传入帧。可以使用更高速度的时钟来达到更高的波特率。

LPUART接口可以由DMA控制器提供服务。

3.31 串行外设接口(SPI)

四个SPI接口允许通信高达75 Mbits/s的主和高达41 Mbits/s的从，半双工，全双工和单工模式。3位预分频器提供8个主模式频率，帧大小从4位到16位可配置。SPI接口支持NSS脉冲模式、TI模式和硬件CRC计算。

支持四种不同音频标准的两个标准I2S接口(与SPI2和SPI3多路复用)可以在半双工通信模式下作为为主或从操作。它们可以配置为传输16位和24位或32位，具有16位或32位的数据分辨率，并由特定信号同步。音频采样频率从8 kHz到192 kHz可以通过8位可编程线性预分频器设置。当在主模式下工作时，它可以以256倍的采样频率输出外部音频组件的时钟。

所有SPI接口都可以由DMA控制器提供服务。

3.32 串行音频接口(SAI)

该设备嵌入1个SAI。SAI总线接口处理微控制器和串行音频协议之间的通信。

SAI外设支撑:

- 两个独立的音频子块，可以是具有各自FIFO的发射器或接收器。
- 每个音频子块的8字集成fifo。
- 音频子块之间的同步或异步模式。
- 主从配置独立于两个音频子块。
- 时钟发生器为每个音频块的目标独立音频采样时，两个音频子块配置在主模式。
- 数据大小可配置:8-, 10-, 16-, 20-, 24-, 32位。
- 外设具有较大的可配置性和灵活性，允许以以下音频协议为例:I2S, LSB或MSB-justified, PCM/DSP, TDM, AC '97和SPDIF out。
- 多达16个插槽，可配置大小，并有可能选择哪些是活跃的音频帧。
- 每帧的比特数可以配置。
- 帧同步活动水平可配置(偏移量，位长度，水平)。
- 槽中的第一个活动位位置是可配置的。
- LSB优先或MSB优先进行数据传输。
- 静音模式。
- 立体声/单声道音频帧功能。
- 通信时钟频闪边缘可配置(SCK)。
- 错误标志与相关的中断，如果分别启用。
 - 超限和欠运行检测。
 - 从模式下预期帧同步信号检测。
 - 从模式下延时帧同步信号检测。
 - 在接收AC '97模式时编解码器还没有准备好。
- 中断源启用时:
 - 错误。
 - FIFO请求。
- DMA接口与2个专用通道来处理访问每个SAI音频子块的专用集成FIFO。

表10。SAI功能实现

赛的特性	支持(1)
I2S, LSB或MSB-justified, PCM/DSP, TDM, AC'97	X
静音模式	X
立体声/单声道音频帧功能	X
16位	X

表10。SAI功能实现(续)

赛的特性	支持(1)
数据大小可配置:8-、10-、16-、20-、24-、32位	X
FIFO大小	X(8字)
SPDIF公司	X

1. X:支持。

3.33

控制器局域网(FDCAN1、FDCAN2、FDCAN3)

控制器局域网(CAN)子系统由三个CAN模块和一个共享消息RAM存储器组成。

三个CAN模块(FDCAN1、FDCAN2和FDCAN3)符合ISO 11898-1 (CAN协议规范2.0版A、B部分)和CAN FD协议规范1.0版本。

一个3kbyte的消息RAM存储器实现过滤器，接收fifo，接收缓冲区，发送事件fifo，发送缓冲区。这个消息RAM在三个FDCAN模块之间共享。

3.34

通用串行总线(USB)

STM32G474xB/xC/xE器件嵌入了一个符合USB规范2.0版本的全速USB设备外设。内部USB PHY支持USB FS信令，嵌入式DP上拉以及根据电池充电规范修订1.2的电池充电检测。USB接口实现了12mbit /s的全速功能接口，增加了对USB 2.0 Link Power Management的支持。它具有软件可配置的端点设置，数据包内存高达1kbyte，并支持挂起/恢复。它需要一个精确的48 MHz时钟，可以从内部主锁相环产生(时钟源必须使用HSE晶体振荡器)或由内部48 MHz振荡器在自动修整模式下产生。该振荡器的同步可以从USB数据流本身(SOF信号)中获取，这允许较少的晶体操作。

3.35

USB Type-C™/ USB Power Delivery控制器(UCPD)

设备内置1个UCPD控制器，符合USB Type-C Rev. 1.2和USB Power Delivery Rev. 3.0规范。

控制器使用支持USB Type-C和USB Power Delivery要求的特定I/ o，具有：

- USB Type-C上拉(Rp，所有值)和下拉(Rd)电阻“死电池”支持
- USB Power Delivery消息传输和接收FRS(快速角色交换)支持
-

数字控制器处理显著:

- USB c型电平检测与反反弹, 产生中断
- FRS检测, 产生中断
- 字节级接口USB供电有效载荷, 产生中断(DMA兼容)
- USB供电时间分配器(包括时钟预缩放器)
- CRC生成/检查
- 4b5b编码/解码
- 有序集(接收端带有可编程有序集掩码)
- 在序文期间接收器的频率恢复

该接口提供与停止模式兼容的低功耗操作, 保持检测传入USB供电消息和FRS信号的能力。

3.36 时钟恢复系统(CRS)

该设备嵌入了一个特殊的块, 可以自动修剪内部48 MHz振荡器, 以保证其在整个设备工作范围内的最佳精度。该自动修整基于外部同步信号, 该信号可以来自USB SOF信号, 也可以来自LSE振荡器, 也可以来自CRS_SYNC引脚上的外部信号, 也可以由用户软件生成。为了在启动过程中更快地锁定, 也可以将自动微调与手动微调动作相结合。

3.37 柔性静态存储器控制器(FSMC)

柔性静态存储器控制器(FSMC)包括两个存储器控制器:

- NOR/PSRAM存储器控制器
- NAND/内存控制器

这种存储器控制器也被称为柔性存储器控制器(FMC)。

FMC控制器的主要特点如下:

- 与静态内存映射设备的接口, 包括:
 - 静态随机存取存储器(SRAM)
 - NOR闪存/OneNAND闪存
 - PSRAM(4个存储库)
 - 具有ECC硬件的NAND闪存, 可检查高达8 kb的数据
 - 铁电RAM (FRAM)
- 8位、16位数据总线宽度
- 独立的芯片选择控制每个存储库
- 每个内存库的独立配置
- 写FIFO
- 同步访问的最大FMC_CLK频率为HCLK/2。

LCD并行接口

FMC可以配置为与大多数图形LCD控制器无缝接口。它支持英特尔8080和摩托罗拉6800模式，并且足够灵活，可以适应特定的LCD接口。这种LCD并行接口能力使得使用带有嵌入式控制器的LCD模块或使用带有专用加速的外部控制器的高性能解决方案轻松构建具有成本效益的图形应用程序。

3.38 Quad-SPI内存接口(QUADSPI)

Quad-SPI是一个专门的通信接口针对单，双或四SPI闪存存储器。它可以在以下三种模式中的任何一种下工作：

- 间接模式:所有操作都使用QUADSPI寄存器执行状态轮询模式:定期读取外部Flash状态寄存器，并且在标志设置的情况下可以生成中断
- 内存映射模式:外部闪存是内存映射的，系统将其视为内部存储器。

吞吐量和容量都可以增加两倍使用双闪存模式，其中两个四SPI闪存存储器被同时访问。

Quad-SPI接口支持:

- 间接模式:所有操作都使用QUADSPI寄存器执行
- 状态轮询模式:定期读取外部Flash状态寄存器，并在标志设置的情况下产生中断
- 内存映射模式:外部闪存是内存映射，被系统视为内部存储器
- 三种功能模式:间接、状态轮询和内存映射
- SDR和DDR支持
- 完全可编程的操作码间接和内存映射模式
- 完全可编程帧格式的间接和内存映射模式
 - 以下5个阶段中的每一个都可以独立配置(启用，长度，单/双/四路通信)
 - 指令阶段
 - 地址阶段
 - 备用字节阶段
 - 虚拟周期阶段
 - 数据阶段
- 集成FIFO接收和传输
- 允许8位、16位和32位数据访问
- 用于间接模式操作的DMA通道
- 外部Flash标志管理的可编程屏蔽
- 超时管理
- 在FIFO阈值，超时，状态匹配，操作完成和访问错误时产生中断

3.39 开发支持

3.39.1 串口线JTAG调试口(SWJ-DP)

Arm SWJ-DP接口是嵌入式的，它是JTAG和串行线调试端口的组合，可以将串行线调试或JTAG探针连接到目标。

调试只使用2个引脚而不是JTAG要求的5个引脚(JTAG引脚可以作为具有替代功能的GPIO重新使用):JTAG TMS和TCK引脚分别与SWDIO和SWCLK共享，并且TMS引脚上的特定序列用于在JTAG- dp和SW-DP之间切换。

3.39.2 嵌入式跟踪macrocell™

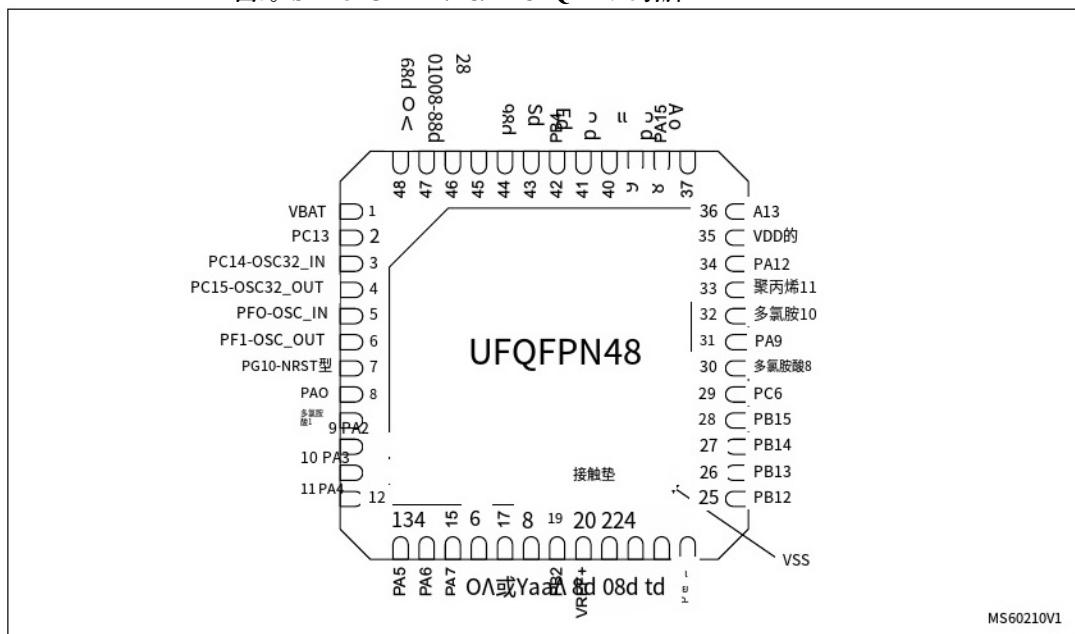
Arm嵌入式跟踪宏单元通过将压缩数据以非常高的速率从STM32G474xB/xC/xE设备通过少量ETM引脚传输到外部硬件跟踪端口分析仪(TPA)设备，提供了CPU核心内部指令和数据流的更大可见性。实时指令和数据流活动被记录下来，然后在运行调试器软件的主机上格式化显示。TPA硬件可以从公共开发工具供应商处获得。

嵌入式跟踪macrocell与第三方调试软件工具一起操作。

4 引脚和引脚描述

4.1 UFQFPN48引脚描述

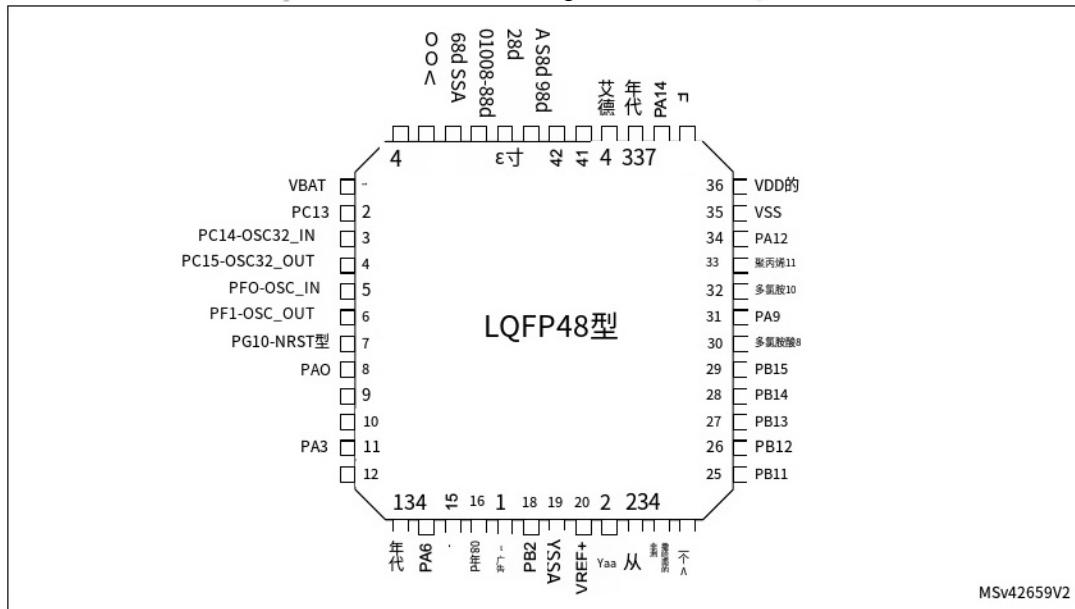
图5。STM32G474xB/xC/xE UFQFPN48引脚



1. 上图为包装俯视图。
2. VSS垫连接到外露的垫上。

4.2 LQFP48引脚描述

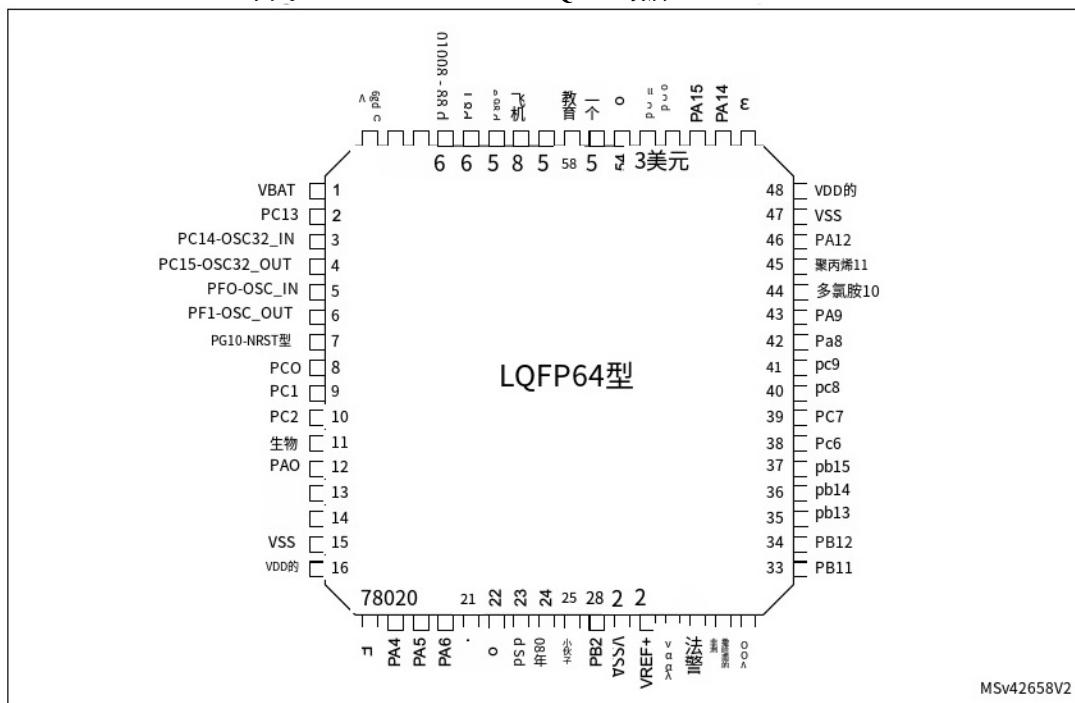
图6。STM32G474xB/xC/xE LQFP48引脚



1. 上图为包装俯视图。

4.3 LQFP64引脚描述

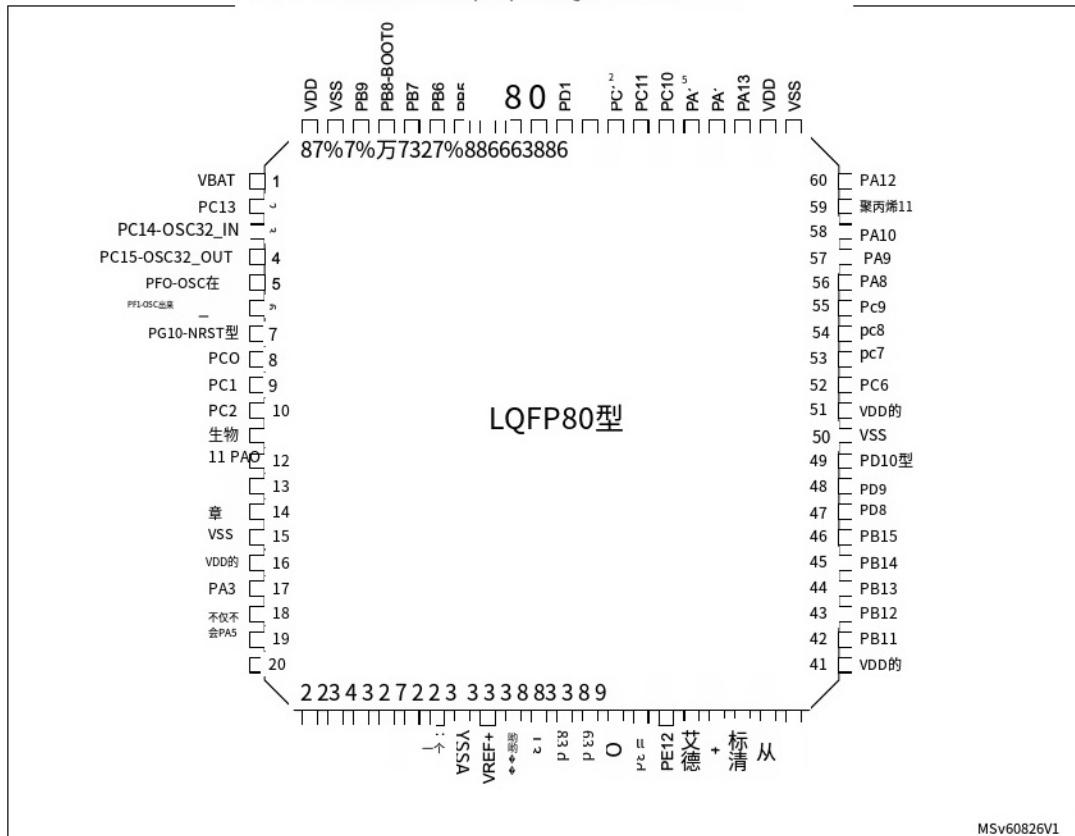
图7。STM32G474xB/xC/xE LQFP64引脚



1. 上图为包装俯视图。

4.4 LQFP80引脚说明

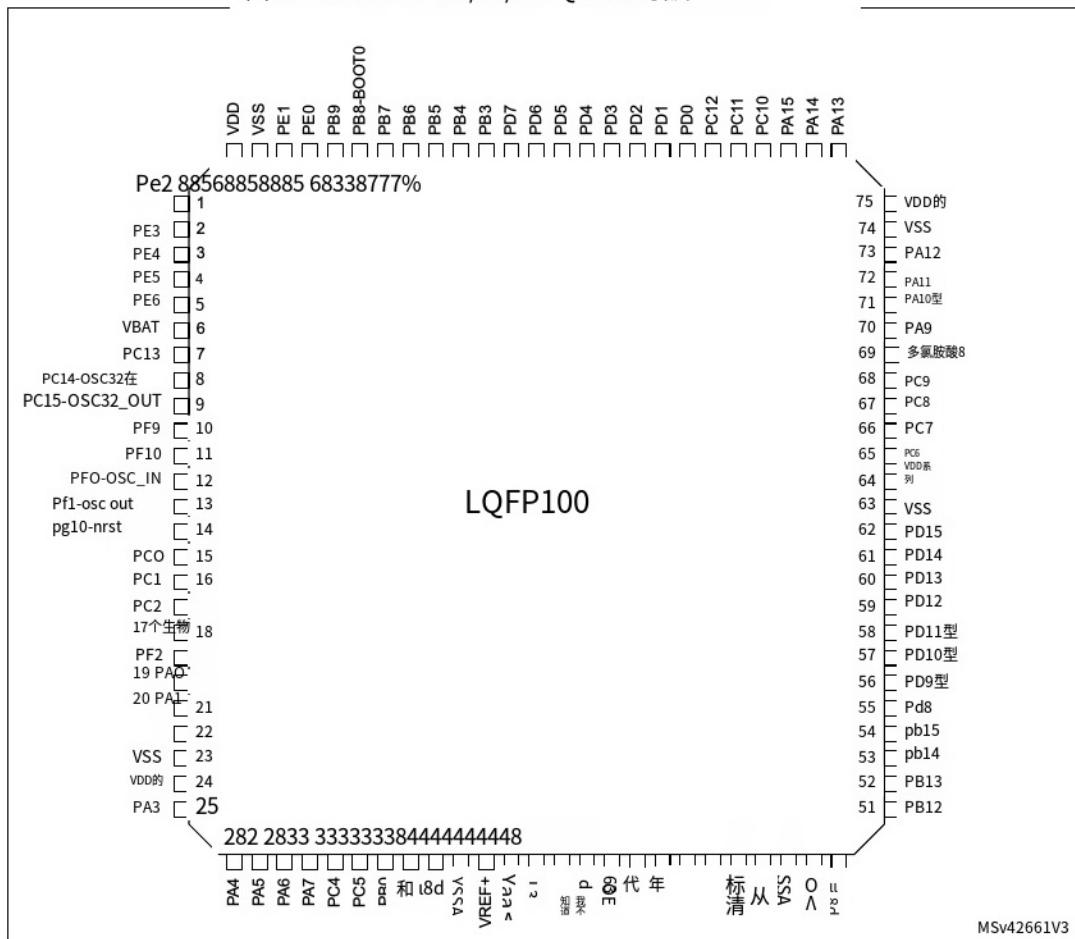
图8。STM32G474xB/xC/xE LQFP80引脚



1. 上图为包装俯视图。

4.5 LQFP100引脚说明

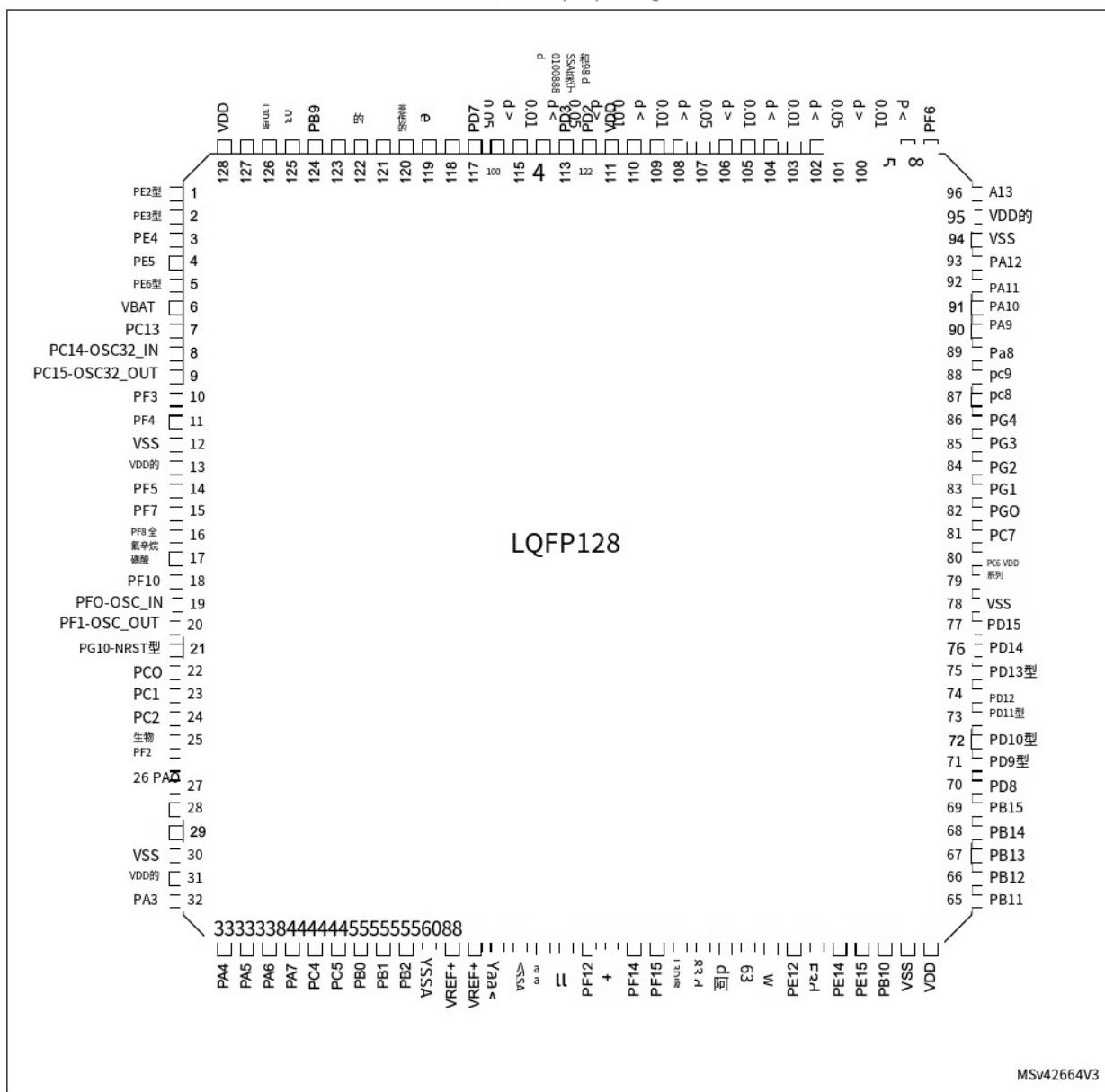
图9。STM32G474xB/xC/xE LQFP100引脚



1. 上图为包装俯视图。

4.6 LQFP128引脚描述

图10。STM32G474xB/xC/xE LQFP128引脚



1. 上图为包装俯视图。

4.7 WLCSP81引脚描述

图11。STM32G474xB/xC/xE WLCSP81引脚

	1	2	3	4	5	6	7	8	9
A	VDD的	聚丙烯15	PC12	PD1型	PB3		PB9	VSS	VDD的
B	VSS	PA13	PC10	PDO	PD2	PB5 pb6 pb4	PB8-布托	PC13	VBAT
C	PA12	PA11型	PA14	PC11	PC8		PB7	PC1	OSC32_IN
D	多氯酚酸8	PC3	多氯酚10	PA9	PC7	不仅 不会	PAO	PG10-NRST型	PC15OSC32出来
E	VDD的	PD11型	PC6	PB15	PE12型	PC4	PA1	PCO	
F	VSS	PE15 PB14型	PD9型		PE9 PES	恶唑	PC2 PA6系列	osC_OUT	
G	PD8		PB12	PE13型	系列	PB1	PA2 PC5		生物
H	PB13	PB11	PB10	PE11	PE7型	VSSA	Vcc PB3	PA3	
J	VDD的	Vss	好	PE10型	VDD4的	VREF+		多氯酚7	VDD的

MSV48046V1

1. 上图为包装俯视图。

4.8 TFBGA100引脚描述

图12。STM32G474xB/xC/xE TFBGA100引脚

	1	2	3	4	5	6	7	8	9	10
B	PE4	PB9	PB8-800TO	PB6	PB3	PD6	PDS	PD4	PD1型	PC12
C	PES	PE3型	PE1型	PB7	PB5	PD7型	PD2型	PDO	聚丙烯15	
D	PC15OSC2_IN	PE6型	PE2型	了吗	PB4	PD3型	PC11		PA12	聚丙烯11
E	PC15OSC2_OUT	VSS	VBAT	PC13	VDD的	VSS	VDD的	PC10 pa13 PCB	多氯酚10	PA9
F	PFO-OSCE	PF10SC_OUT	PF9	PF10	VSS	VSS	VSS		PC9	
G	PC2	PCO	PG10-NRST型	PC1	VDD的	vss	VDD的	PD14	PC6	PC7
H	生物	多氯酚1	PF2	PAO	PE7型	PE12型	PD9型	PD13型	PD15型	
J	多氯酚2	聚丙烯4	PA3	PB0	PE8型	PE9型	PD10	PD11	PA14	PD11型
K	没有		PC5	PB2	VDD4的	PE11	PE14	PB10	PB13	PD12型
	多氯酚7	PC4	PB1	VSSA	VREF	PE10型	PE13型	PB12	PB15	PD8

MS48951V1

1. 上图为包装俯视图。

4.9 UFBGA121引脚描述

图13。STM32G474xB/xC/xE UFBGA121引脚

	1	2	3	4	5	6	7	8	9	10	11
B	PE4	PE2型	VDD的	PB9	PB6	PB3	PD4	VDD的	PD1型	聚丙烯15	PF6
B	PES	PE3型	VSS	了吗	PB5	PD7型	PD3型	VSS	PDO	多氯酸14	A13
C	PC13	VBAT	PE6型	PE1型	PB7	PB4	PD2型	PC11	PC10	VSS	VDD的
D	PC14 PC15 PF1OSC_in	PF3	PF4	PBB-BOOT0	PD6	PC12	PA9	多氯酸10	PA12 PA11/PG4		
E	VDD的	VSS	PF5	PF7	PF8	PD5	PAB系列	PC9	电脑		
F	PF0-OSC在	PF10SC_OUT	PF9	PF10	PG10-NRST型	PD15型	PG2	PG1	PGO	PG3电脑	PC7
G	PC1	PC0	PC2 PA4型	PA0	PB1	PF15	PD11型	PD12型	PD13型	PD14	VDD的
H	生物	PF2		个人电脑	PF12	PF14	PE10型	PB15	PDS	PD9型	PD10型
J	VDD的	VSS	多氯酸2	聚噁唑	PF11	PF13	PE9	PE13型	PB12	PB14	PB13
K	PA3	没有	多氯酸7	PB2	VSSA	VSS	PE8	PE12型	PE14	VSS	VDD的
	聚丙烯4	没有	PC4	VREF+	VDDA的	VDD的	PE7型	PE11	PE15	PB10	PB11

MS52876V1

- 上图为包装俯视图。

4.10 销的定义

表11所示。引脚表中使用的图例/缩写

名字。	缩写	定义
销的名字		除非在引脚名称下面的括号中另有说明，引脚函数期间和之后 Reset与实际引脚名相同
针式	年代	供应销
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	英国《金融时报》	5V容错I/O
	TT系列	3.6 V容错I/O
	B	专用BOOT0引脚
	NRST标准	双向复位引脚嵌入弱上拉电阻
		TT或FT I/o选项
	(1) ——	I/O, 具有由VDDA提供的模拟开关功能
	_c	I/O, USB Type-C PD功能
	d	I/O, USB Type-C PD待机功能
	f (2)	I/O, Fm+能力
	(3)	I/O, 带USB功能
笔记		除非另有说明，所有I/o在复位期间和复位后都被设置为浮动输入
销功能	备用功能	通过GPIOx_AFR寄存器选择的函数
	额外的功能	通过外围寄存器直接选择/启用的功能

1. 表12中相关的I/O结构为:FT_a、FT_fa、TT_a。

2. 表12中相关的I/O结构是:FT_f, FT_fa。

3. 表12中相关的I/O结构为FT_u。

表12。STM32G474xB/xC/xE引脚定义

密码															
M P8 - C 5 C N	LQFP48	LQFP64	QJ	TFBGA100	JU	UFBGA121	LPQF128	ee id	(Lese ee	不	FNN O	所以	替代功能	额外的功能	
-	-	-	-	-	-	1	A2	1	PE2型	I/O	FT	-	Traceck, tim3 ch1, sai1_ck1, spi4_sck, tim20_ch1, fmc_a23, sai1 MCLK a, eventout	-	
-	-	-	-	-	B2	2	B2	2	PE3型	I的	英国《金融时报》	-	TRACED0, TIM3 CH2. SPI4_NSS, TIM20 CH2, FMC_A19, SAI1 SD B, EVENTOUT	-	
-	-	-	-	-	A1	3	A1	3	PE4	I/O	英国《金融时报》	-	Traced1 tim3_ch3, sai1_d2, spi4 nss, tim20 ch1n, fmc_a20, sai1 fs a, eventout	-	
-	-	-	-	-	B1	4	B1	4	PE5	I的	英国《金融时报》	-	TRACED2、 TIM3_CH4、 SAI1 CK2、 SPI4 MISO、 TIM20_CH2N、 FMC_A21、 SAI1 SCK A. 事件输出	-	
-	-	-	-	-	C2	5	C3	5	PE6型	I的	英国《金融时报》	-	TRACED3、 SAI1 D1、 SPI4 MOSI、 TIM20 CH3N。 WKUP3 FMC_A22, RTC_TAMP3 SAI1_SD_A, EVENTOUT	-	
B91 1 1 1				D3	6	C2	6	VBAT	S	-	-	-	-	-	
B8 2 2 2 d4					7	C1		PC13	I的	英国《金融时报》	(2)	Wkup2、 Tim1 CH1N、 Rtc_tamp1, tim8 ch4n; RTC ts, eventout	RTC_OUT1		
C9 3 3 3 c1					8	D1	8	Pc14 osc32_in	I / OI /	英国《金融时报》	22	活动	OSC32_IN		
D9 4 4 4 d1						D2	9	pc15osc32 out	O	英国《金融时报》	22	活动	OSC32_OUT		
-	-	-	-	-	-	D3	10	PF3	I的	英国《金融时报》	-	Tim20_ch4, 12c3 scl, FMC_A3, EVENTOUT	-		

表12。STM32G474xB/XC/XE引脚定义(续)

L8SMN系列	N	密码					(Lese's eme uid	e我 o	年代	替代功能	额外的功能		
		LQFP48	LQFP64	LQFP80	TFBGA100	U							
-	-	-	-	-	-	D4	11	PF4	I/O	FT_f	-	Comp1_out, tim20 ch1n, 2c3sda FMC eventout	
F1	-	-	-	-	D2	-	E2	12	VSS	年代	-	-	
C	-	-	-	-	D5	-	E1	13	VDD的	年代	-	-	
-	-	-	-	-	-	-	E3	14	PF5	I/O	英国《金 指针报》	TIM20 CH2N, FMC a5, 事件结束	
-	-	-	-	-	-	-	E4	15	PF7	I/O	英国《金 指针报》	Tim20_bkin, tim5 c2, quadspi1_bk1_io2, emc a1。 Sai1 MCLK b. eventout	
-	-	-	-	-	-	-	E5	16	PF8	I/O	英国《金 指针报》	TIM20_BKIN2、 TIM5_CH3、 QUADSPI1_BK1_IO0、 FMC A24、SAI1_SCK_B 、EVENTOUT	
-	-	-	-	-	E3	10	F3	17	PF9	I/O	英国《金 指针报》	TIM20_BKIN, TIM15_CH1, SPI2_SCK, TIM5_CH4, QUADSPI1 BK1_I01, SAI1_FS b FMC_A25,	
-	-	-	-	-	E4	11	F4	18	PF10	I/O	英国《金 指针报》	TIM20_BKIN2、TIM15 CH2、SPI2_SCK、 QUADSPI1时钟、 FMC A0, SAI1 D3, EVENTOUT 12C2 SDA, SPI2_NSS/I2S2_WS,	
E9	5	55 5 e1				12	F1	19	PFO-OSC_IN	/O	FT_fa	-	ADC1_IN10, TIM1_CH3N, Osc_in eventout
F9	6 6 6 6 e2 13 f2 20							PF10OSC_OUT	I/O	FT_a	-	spi2_sck / i2s2_ck, eventout	
D8	77 77 f3 14 f5 21							PG10-NRST型	I/O	NRST标准 (4)	-	城市相比,EVENTOUT	
												NRST标准	

表12。STM32G474xB/xC/xE引脚定义(续)

密码										恩斯 eme uid	不	O	年代	替代功能	额外的功能
I/O	N	LQFP48	LQFP64	LQFP80	TFBGA100	U	UFBGA121	LPQF128							
代年	-	-	8	8	F2	15	G2	22	PCO	I/O	FT_a	-	LPTIM1_IN1、 TIM1、CH1、 LPUART1_RX、 EVENTOUT	ADC12_IN6, COMP3_INM	
C8	-	-	9	9	F4	16	G1	23	PC1	I/O	TT_a	-	LPTIM1_OUT, TIM1CH2, LPUART1_TX。 QUADSPI1_BK2_100、 SAI1_SD_A、事件输出	ADC12_IN7, COMP3_INP	
F8	-	-	10	10	F1	17	G3	24	PC2	I/O	FT_a	-	Lptim1_in2, tim1_ch3, comp3 out, tim20 ch2, quadspi1_bk2_i01, eventout	ADC12_IN8	
国	-	-	11	11	G1	18	H1	25	生物	I/O	TT_a	-	LPTIM1_ETR, tim1ch4, sai1_d1, TIM1_BKIN2, Quadspi1_bk2_1o2, sai1_sd_a, eventout	ADC12_IN9, OPAMP5_VINP	
-	-	-	-	-	G3	19	H2	26	PF2	I/O	英国《金融时报》	-	tim20ch3, I2C2_SMBA_FMC_A2, eventout	-	
D7	-	8	12	12	G4	20	G4	27	PAO	I/O	TT_a	-	Tim2_ch1, tim5 ch1, usart2 cts。 Comp1_out, tim8_bkin, tim8_etr, tim2_etr, eventout	ADC12三机一体。 Comp1inm, comp3inp。 RTC_TAMP2,周UP1	
E7	9	9	13	13	G2	21	H3	28	多氯胺酸1	I/O	TT_a	-	RTC精炼, tim2_ch2, tim5 ch2, usart2 RTS de eventout	ADC12_IN2、 COMP1_INP、 OPAMP1_VINP、 OPAMP3_VINP、 OPAMP6_VINM	
八国集团	10	10	14	14	H1	22	J3	29	多氯胺酸2	我	FT_a	-	Tim15 ch1n, tim2_ch3, tim5_ch3, usart2 tx, comp2 out, tim15_ch1, quadspi1_bk1_NCS LPUART1_TX, UCPD1_FRSTX, EVENTOUT	ADC1_IN3、 COMP2 INM、 OPAMP1 VOUT WKUP4/LSCO	

表12。STM32G474xB/xC/xE引脚定义(续)

MOSPin	N	密码								EME 我	EME 他	Notes	替代功能	额外的功能
		LQFP48	LQFP64	PLT80	TFBGA100	LPQF100	UFBGA121	LQF128						
H9	-	-	15	15	8	22	12	12	VSS	年代	-	-	-	-
9	-	-	16	16	D7	24	11	11	VDD的	年代	-	-	-	-
H8	11	11	17	17	H3	25	K1	32	PA3	I/O	TT_a	-	Tim2 ch4, tim5_ch4, ADC1_IN4, UPS1 CK1。 COMP2输入。Usart2 rx, tim15ch2 OPAMP1_VINM / OPAMP QUADSPI1 CLK, 1 VINP, LPUART1 RX, SAI1_MCLK_A, EVENTOUT	OPAMP5_VINM
D6	12	12	18	18	H2	26	L1	33	聚丙烯酸4	I/O	TT_a	-	Tim3 ch2, spi1 nss, spi3_nss / i2s3_ws, usart2 ck, sai1 fs b, eventout	ADC2 输入17, DAC1输出1。 COMP1 INM公司
F7	13	13	19	19	j-1	27	K2	34	PA5	O	TT_a	-	TIM2 CH1, ADC2 IN13、TIM2 ETR、 DAC1_OUT2、COMP2 INM、UCPD1 FRSTX、 EVENTOUT	SPI1 SCK, OPAMP2_VINM
七国集团 (G7)	14	14	20	20	J2	28	L2	35	多氯胺六酚	I/O	TT_a	-	TIM16 CH1, TIM3 CH1, TIM8 BKIN, SPI1 MISO ADC2 IN3、TIM1 BKIN、 Dac2 out1, comp1 out。 QUADSPI1_BK1_IO3, LPUART1_CTS, EVENTOUT	OPAMP2_VOUT
J8	15	15	21	21	K1	29	K3	36	多氯胺酸7	I/O	TT_a	-	TIM17_CH1, TIM3 CH2, TIM8 CH1N, ADC2 IN4、SPI1_MOSI、 COMP2输入。TIM1 CH1N, Opamp1 vinp comp2 out, quadspi1_bk1_1o2, ucpd1first, eventout	OPAMP2_VINP
E6	16	-	22	22	K2	30	L3	37	PC4	I/O	FT_fa	-	TIM1 ETR、I2C2 SCL、 USART1 TX、 QUADSPI1_BK2_1O3、 EVENTOUT	ADC2_IN5

表12。STM32G474xB/xC/xE引脚定义(续)

密码										ens 的	替代功能	额外的功能	
N 系 列	W QFP48	L QFP64	TFBGA100	J U	G N	LPQF128	E ME	P S D 我	D —				
J6	-	-	23	23	J3	31	H4	38	PC5	1 / 0	TT_a	-	TIM15_BKIN SAI1_D3, ADC2_IN11 TIM1_CH4N, OPAMP1_VINM, USART1_RX, OPAMP2_VINM, HRTIM1_EEV10, WKUP5 EVENTOUT
F6	17	16	24	24	H4	32	阁下	39	恶唑	—	TT_a	-	Tim3_ch3, tim8_ch2n, tim1_ch2n, quadspi1 bk1 io1, HRTIM1_FLT5、 UCPD1_FRSTX、 EVENTOUT
G6	18	17	25	25	K3	33	G5	40	PB1	IO	TT_a	-	TIM3_CH4, TIM8_CH3N, ADC3_IN1/TIM1_CH3N, Adc1_in12, comp4_out, Comp1_inp quadspi1_bk1 io0, lpart1_RTS_h Rtim1_scout, 事件结束
J7	19	18	26	26	阁下	34	K4	41	PB2	1 / 0	TT_a	-	RTC_out2, lptim1_out, tim5 ch1, ADC2_IN12、TIM20 comp4inm, 12c3 smba, quadspi1_bk2_i01, HRTIM1_SCIN, EVENTOUT
编辑27卫星	19	2	45	35			42	VSSA	年代	-	-	-	-
28 J5	20	20	28			36	L4	43	Vref+	年代	-	-	VREFBUF_OUT
[qh]	-	-	-	-	-	-	44 L5		Vref+	年代	-	-	VREFBUF_OUT
[qh]	21	21	29	J5	37				vdda	年代	-	-	-
	-	-	-	-	45 E5	-	转K6		VSS	年代	-	-	-
	-	-	-	-	F5	-	16种	47	VDD的	年代	-	-	-
	-	-	-	-	-	-	J5	48	PF11	πO	英国《金融时报》	-	Tim20_etr, fmc_ne4, eventout tim20_ch1,
	-	-	-	-	-	-	H5	49	PF12	ππ	英国《金融时报》	-	fmc_a6, eventout Tim20_ch2。 12c4
	-	-	-	-	-	-	卫星	50	PF13	的	英国《金融时报》	-	smba, FMC_a7, eventout

表12。STM32G474xB/xC/xE引脚定义(续)

密码										Notes	替代功能	额外的功能	
MOSI	N	LQFP48	LQFP64	QU	TFBGA100	U	UFBGA121	LPQF128	ESE FFO EME 我				
-	-	-	-	-	-	-	H6	51	PF14	I/O	FT_f	-	Tim20_ch3, 2c4 scl, FMC_a8, eventout
-	-	-	-	-	-	-	J	J	PF15	I/O	FT_f	-	Tim20_ch4, 12c4_sda, fmc_a9, eventout
I	-	-	-	30	G5	38		53	PE7型	>	TT_a	-	TIM1_ETR、FMC_D4、 SAI1_SD_B、EVENTOUT
G5	-	-	-	31	H5	39	K7	54	PE8型	I/O	自由贸易协定	-	提下巴，提下巴。 FMC_d5, sai1_sck_b, eventout
F5	-	-	-	32	编辑	40	J7	55	PE9型	I/O	FT_a	-	Tim5_ch4, tim1_ch1, fmc_d6, sa1_fs_b, eventout
阁下	-	-	-	33	转K6	41	H7	56	PE10型	I/O	FT_a	-	Tim1_ch2n, quadspi1_clk, FMC d7, sai1_mclk_b, eventout
H4	-	-	-	34	卫星	42	垫片 18个	57	PE11	I/O	FT_a	-	Tim1_ch2, spi4_nss, quadspi1_bk1_NCS MCD8 eventout
E5	-	-	-	35	G6	43	美丽	58	PE12型	I/O	FT_a	-	TIM1_CH3N, SPI4_SCK, QUADSPI1_BK1_I00, FMC_D9, EVENTOUT
G4	-	-	-	36	K7	44	J8	59	PE13型	I/O	FT_a	-	TIM1_CH3、SPI4 MISO、 QUADSPI1_BK1_I01、 FMC_D10、EVENTOUT
J3	-	-	-	37	J7	45	K9	60	PE14	I/O	FT_a	-	TIM1_CH4, SPI4_MOSI, TIM1_BKIN2, Quadspi1_bk1_1o2, FMC_d11, eventout

表12。STM32G474xB/xC/xE引脚定义(续)

密码									我很高兴。 他和我	I/O structure	年代	替代功能	额外的功能	
L8MS系列	N	LQFP48	LQFP64	LQFP80	TFBGA100	UU	UFBGA121	LPQF128						
v	-	-	-	38	H7	46	L9	61	PE15型	I/O	FT_a	-	Tim1 bkin, Tim1 ch4n, usart3 rx, quadspi1_bk1_103, FMC d12, eventout	ADC4_IN2
H3	22	22	30	39	J8	47	L10	62	PB10	I/O	TT_a	-	TIM2 CH3、 USART3 TX、 LPUART1 RX、 - = ytet -伊甸园字 幕组= -翻译： SAI1_SCK_A, EVENTOUT	COMP5_INM、 OPAMP3_VINM、 OPAMP4_VINM
J2	-	23	31	40	E6	48	K10	63	VSS	年代	-	-	-	-
j-1	23	24	32	41	F7	49	K11	64	VDD的	年代	-	-	-	-
H2	24	25	33	42	H8	50	不断变化	65	PB11	I/O	TT_a	-	TIM2 CH4、 USART3 RX、 LPUART1 TX。 QUADSPI1_BK1_NCS 、HRTIM1_FLT4 EVENTOUT	ADC12_IN14、 COMP6 INP.OPAMP4_VINP, OPAMP6_VOUT
G3	25	26	34	43	美丽	51	J9	66	PB12	IO	TT_a	-	TIM5 ETR、2C2SMBA SPI2 NSS/I2S2_WS 、TIM1 BKIN、 USART3 CK、 LPUART1 RTS DE。 FDCAN2 接收、 HRTIM1_CHC1、事件 输出	ADC4_IN3/ADC1 IN11, COMP7 INM.OPAMP4 VOUT, OPAMP6_VINP
H1	26	27	35	44	J9	52	J11	67	PB13	I/O	TT_a	-	SPI2_SCK/I2S2_CK, TIM1 CH1N, USART3 CTS, LPUART1 CTS FDCAN2 TX、 HRTIM1_CHC2、 EVENTOUT	ADC3_IN5.COMP5 INP、OPAMP3 VINP OPAMP4_VINP OPAMP6_VINP
G2	27	28	36	45	H9	53	J10	68	PB14	I/O	TT_a	-	时间15 CH1, SPI2 MISO，时间1 CH2N， USART3 RTS DE， COMP4 OUT， HRTIM1_CHD1， EVENTOUT	ADC4_IN4/ADC1 IN5.COMP7_INP OPAMP2_VINP OPAMP5_VINP

表12。STM32G474xB/xC/xE引脚定义(续)

密码												(ESE 的 FMEIIIIU)	呃，我	D	儿子	替代功能	额外的功能
W	R	N	LQFP48	LQFP80	I	LPQF100	在 中8d/M	LPQF128									
E4	28	29	37	46	K9	54	H8	69	PB15	I/O	TT_a	-	RTC精炼, tim15_ch2, tim15_ch1n, comp3 out, Tim1_ch3n, spi2_mosi / i2s2_sd, HRTIM1_CHD2, EVENTOUT			ADC4_IN5/ADC2 IN15 COMP6 INM_OPAMP5_VINM	
G1	-	-	-	47	K10	55	H9	70	PD8	I/O	TT_a	-	Usart3_tx, FCD事件			ADC4_IN12/ ADC5_IN12, OPAMP4_VINM	
F3	-	-	-	48	八国集团	56	H10	71	PD9型	I/O	TT_a	-	Usart3_rx, fmc_d14, eventout			ADC4_IN13/ADC5 IN13, OPAMP6 VINP —	
F2	-	-	-	49	七国集团(G7)	57	H11	72	PD10型	I/O	FT_a	-	Usart3_ck, FMC d15, eventout			Adc345_in7, comp6_inm	
E2	-	-	-	-	H10	58	七国集团(G7)	73	PD11型	3	TT_a	-	[au:] [au:]Usart3_cts, FMC_a16, eventout			ADC345_IN8、 COMP6_INP、 OPAMP4_VINP	
-	-	-	-	-	J10	59	八国集团	74	PD12型	/ O	TT_a	-	TIM4_CH1、 USART3_RTS_DE、 FMC_A17、 EVENTOUT			ADC345_IN9, COMP5_INP, OPAMP5_VINP	
-	-	-	-	-	国	60	国	75	PD13型	I/O	FT_a	-	Tim4_ch2, fmc_a18, eventout tim4_ch3, FMC do, eventout			ADC345_IN10、 COMP5_INM	
-	-	-	-	-	F8	61	十国集团	76	PD14	I/O	TT_a	-				ADC345_IN11、 COMP7_INP OPAMP2_VINP	
-	-	-	-	-	十国集团	62	F6	77	PD15型	I/O	FT_a	-				COMP7_INM	
B1	-	-	-	50	E7	63	-	78	Vss	年代	-	-	Tim4_ch4, spi2_nss, FMC_d1, eventout			-	
E1	-	-	-	51	-	64	为G11	79	VDD的	年代	-	-	tim3_ch1, hrtim1			-	
E3	29	-	38	52	F9	65	F10	80	PC6	I/O	FT_f	-	eev10, tim8_ch1, i2s2_mck, comp6_out, i2c4_scl, hrtim1_chf1, eventout			-	

表12。STM32G474xB/xC/xE引脚定义(续)

密码										我知道。 ○	(那) 艾德 我	是她 她	替代功能 S	额外的功能
W N I P D G P A B H L Q F P 6 4 8	N	LQFP48	LQFP64	D	P	D	U	LPQF128						
88	-	-	39	53	F10	66	季	81	PC7	1/0	FT_f	-	TIM3_CH2、 HRIIM1_FL15、 TIM8_CH2、 I2S3_MCK、 COMP5_OUT、 12C4_SDA、 HRTIM1_CHF2 、EVENTOUT	-
-	-	-	-	-	-	-	8 F9	82	PG0	1/0	英国《金 报时报》	-	TIM20_CH1N、 FMC_A10、 EVENTOUTI	-
-	-	-	-	-	-	-	F8	»	PG1	1/ 0/ 0	英国《金 报时报》	-	TIM20_CH2N、 FMC_A11、 EVENTOUT	-
-	-	-	-	-	-	-	F7	84	PG2	1/0	英国《金 报时报》	-	TIM20_CH3N、 SPI1_SCK、FMC_A12、 事件输出	-
-	-	-	-	-	-	-	E11	85	PG3	1/0	FT_f	-	TIM20_BKIN、 2C4_SCL、 SPI1_MISO、 TIM20_CH4N、 FMCA13、 EVENTOUT	-
-	-	-	-	-	-	-	E10汽油	86	PG4	1/0	FT_f	-	TIM20_BKIN2、 12C4_SDA、 SPI1_MOSI、 FMC_A14、 EVENTOUT	-
C5	-	-	40	54	E8	67	E9	87	PC8	1/0	FT_f	-	Tim3_ch3, hrtim1_chel, tim8_ch3, tm20_ch3, comp7_out, 12c3_scl, eventout	-
D2	-	-	41	55	E9	68	E8	88	PC9	1/0	FT_f	-	TIM3_CH4、 HRIIM1_CHE2、 TIM8_CH4, 12SCKIN, 事件发生了	-

表12。STM32G474xB/xC/xE引脚定义(续)

密码									我知道了。 (lessee)	EDI的	这是	年代	替代功能	额外的功能
W sp81 →	N	LQFP48	LQFP64	J	J	TFBGA100	J	UFBGA121	LPQF128					
D1	30	30	42	56	E10	69	E7	89	多氯胺8	I/O	FT_a	-	MCO, i2c3_scl, 12c2_sda, 12s2 MCK, tim1ch1, usart1ck。COMP7,	ADC5三机一体。TIM4_ETR, OPAMP5_VOUT FDCAN3_RX。SAI1 CK2 , HRTIM1_CHA1, 我说, SCK, 事 件结束
D4	31	31	43	57	D10	70	D8	90	PA9	/OFT食品药品监督管理局		-	2C3SMBA 2C2 SCL.J2S3 MCK.TIM1 CH2 USART1_TX, OMP5_OUT,	ADC5_IN2 TIM15_BKIN, UCPD1_DBCC1 TEAM2 CH3, HRTIM1_CHA2, SAI1 FS A. EVENTOUT
D3	32	32	44	58	D9	71	D9	91	多氯胺10	I/O	FT_fda	-	TIM17_BKIN, Usb_crs_sync, 2c2 smba spi2 miso, tim1_ch3, usart1 rx。UCPD1_DBCC2 COMP6_OUT,	Pvd_in tim2 ch4, tim8_bkin, sai1_d1, HRTIM1_CHB1.事件输出 Sai1_sd_a,
C2	33	33	45	59	10大	72	这里	92	聚丙烯11	/O	FT_u	-	SPI2_MOSI/I2S2_SD 、TIM1_CH1N、 USART1_CTS、 COMP1_OUT、 FDCAN1_RX、 TIM4_CH1、TIM1_CH4 。TIM1_BKIN2, Hrtim1_chb2, 事件 结束	USB_DM

表12。STM32G474xB/xC/xE引脚定义(续)

密码										pin 号 数 量	() eme re se	e我	D	C	替代功能	额外的功能
N	LQFP48	LQFP64	U	TFBGA100	UU	UFBGA121	LPQF128									
C1	34	34	46	60	耐候过塑	73	D10	93	PA12	1/0	FTu	-			TIM16 CH1,I2SCKIN, TIM1 CH2N, USART1_RTS_DE, COMP2 OUT, FDCAN1_TX, TIM4_CH2, TIM1_ETR, HRTIM1 FLT1, EVENTOUT	USB_DP
A8	-	35	47	61	F6	74	94		VSS	年代	-	-	-	-	-	-
A1	35	36	48	62	-	75	C11	95	VDD的	年代	-	-	-	-	-	-
B2	36	37	49	63	D8	76	B11	96	A13	1/0	FT_f	(5)		SWDIO-JTMS, TIM16 CH1N, 2c4 scl, i2c1 scl, r u usart3_cts, tim4ch3, sai1_sd_b, eventout	-	
-	-	-	-	-	-	-	A11	97	PF6	1/0	FT_f	-		Tim5 etr, tim4 ch4, sai1 sd b . 2c2_scl, tim5_ch1, USART3_RTS, QUADSPI1BK1I03, EVENTOUT	-	
C3	37	38	50	64	B10	77	B10	98	多氯胺14	1/0	FT_f	(5)		SWCLK-JTCK, LPTIM1_OUT、 2C4SBA I2C1 SDA 、TIM8_CH2、 TIM1 BKIN。 USART2 TX、 SAI1_FS_B、 EVENTOUT JTDI 、TIM2 CH1、	-	
A2	38	39	51	65	B9	78	A10	99	聚丙烯15	1/0	FT_f	(5)		TIM8_CH1, I2C1_SCL, SPI1 NSS, SPI3 NSS/12S3 WS, USART2 RX, UART4_RTS_DE TIM1 BKIN。 FDCAN3 TX. HRTIM1_FLT2, tim2_路通	-	

表12。STM32G474xB/xC/xE引脚定义(续)

密码										eme id	e (那) S 编 号 在	替代功能	额外的功能	
N	LQFP48	LQFP64	U	TFBGA100	UFBGA121	LPQF128								
B3	39	-	52	66	C8	79	制备过 程	100	PC10	I/O	英国《金 手册》	TIM8 CH1N, USART4_TX, SPI3 SCK/I2S3 CK, USART3_TX, HRTIM1_FLT6, EVENTOUT	-	
C4	40	-	53	67	C7	80	C8	101	PC11	I/O	FT_f	-	r2n, USART4_RX, SPI3 MISO, USART3_RX, 12C3 SDA even 路通	-
A3	-	-	54	68	A10	81	D7	102	PC12	I/O	英国《金 手册》	-	TIM5_CH2, HRTIM1 EEV1, TIM8_CH3N, UART5_TX, SPI3 MOSI/I2S3 SD, USART3 CK, UCPD1_FRSTX, EVENTOUT	-
-	-	-	-	-	-	-	-	103	PG5	I/O	英国《金 手册》	-	Tim20_etr, spil_nss, lpuart1_cts, fmc_a15, eventout	-
-	-	-	-	-	-	-	-	104	PG6	I/O	英国《金 手册》	-	TIM20_BKIN, 2C3_SMBA LPUART1 RTS DE, FMC输入, 事件输出	-
-	-	-	-	-	-	-	-	105	PG7	我	FT_f	-	SAI1_CK1、I2C3_SCL、 LPUART1_TX、 FMC INT、SAI1 MCLK A. EVENTOUT 2C3	-
-	-	-	-	-	-	-	-	106	PG8	我	FT_f	-	SD LPUART1_RX 、FMC_NE3、 EVENTOUT	-
-	-	-	-	-	-	-	-	107	结果I/O	我	英国《金 手册》	-	SPI3 SCK, USART1_TX. FMC_NCE/FMC_NE2, TIM15_CH1N、 EVENTOUT TIM8	-
B4	-	-	-	69	B8	82	-	108	PDO	-	英国《金 手册》	-	CH4N、FDCAN1_RX、 FMC_D2、EVENTOUT	-

表12。STM32G474xB/xC/xE引脚定义(续)

系列 NS	N	密码						我 ○ 请 原 后 ○ function after 原	D P I O	I/O structure	年 代	替代功能	额外的功能		
		LQFP48	LQFP64	LQFP80	TFBGA100	LPQF100	UFBGA121								
A4	-	-	-	-	70	A9	83	A9	109	PD1型	5	英国《金融时报》	-	Tim8_ch4, tim8_bkin2, fdcan1_tx, fmc_d3, eventout	-
-	-	-	-	-	-	-	-	B8	110	VSS	年代	-	-	-	-
不	-	-	-	-	-	-	-	A8	111	VDD的	年代	-	-	-	-
B5	-	-	55	71	B7	84	C7	112		PD2型	I/O	英国《金融时报》	-	tim3etr, tim8_bkin, wart5rx, eventout	-
-	-	-	-	-	C6	85	B7	113		PD3型	I/O	英国《金融时报》	-	TIM2_CH1/ TIM2_ETR, USART2 CTS, Quadspi1_bk2_ncs, fmc clk, eventout	-
-	-	-	-	-	-	A8	86	A7	114	PD4	I/O	英国《金融时报》	-	Tim2 ch2, usart2_rts_de, QUADSPI1_BK2_100, FMC的东西, EVENTOUT	-
-	-	-	-	-	-	A7	87	E6	115	PD5	I/O	英国《金融时报》	-	USART2 TX, QUADSPI1_BK2_I01, FMC_NWE, EVENTOUT	-
-	-	-	-	-	-	A6	88	D6	116	PD6	I/O	英国《金融时报》	-	TIM2_CH4、SAI1_D1、USART2 接收、QUADSPI1_BK2_102, SAI1_SD_A、EVENTOUT FMC_NWAIT,	-
-	-	-	-	-	-	B6	89	B6	117	PD7型	I/O	英国《金融时报》	-	TIM2_CH3、USART2 CK QUADSPI1_BK2_I03、FMC_NCE/FMC_NE1, EVENTOUT	-

表12。STM32G474xB/xC/xE引脚定义(续)

密码										我知道。 (Lese)	e我	恩斯 O	年代	替代功能	额外的功能
WLCSP81	N	LQFP48	LQFP64	LQFP80	TFBGA100	LPQF100	UFBGA121	LPQF128							
A5	41	40	56	72	A5	90	A6	118	PB3	I/O		(5)		JTDO-TRACESWO, TIM2_CH2, TIM4_ETR, UCPD1_CRS_SYNC, TIM8_CH1N, SPI1 SCK, SPI3 SCK/I2S3 CK, USART2_TX, TIM3 ETR, FDCAN3 RX, HRTIM1_SCOUT, HRTIM1_EEV9, SAI1_SCK_B, EVENTOUT	-
C6	42	4	57	73	C5	91	C6	119	PB4	I/O	FT_c	(6)		JTRST, TIM16_CH1, TIM3_CH1, TIM8_CH2N, SPI1 MISO, SPI3 MISO, USART2_RX UART5_RTS_DE, TIM17_BKIN, FDCAN3 TX, HRTIM1_EEV7, SAI1_MCLK_B,	UCPD1_CC2
A6	43	42	58	74	B5	92	B5	120	PB5	I/O	FT_f	-		even16_bkin, TIM3_CH2, TIM8_CH3N, 12C1 SMBA。 - SPI1动作, spi3_mop /I2S3_SD, USART2 CK。 2C3 FDCAN2_RX, 铅17 CH1, LPTIM1_IN1, SAI1 SD B, HRTIM1_EEV6, UART5 CTS。	-
														活动	

表12。STM32G474xB/xC/xE引脚定义(续)

密码										替代功能	额外的功能					
M	C	S	8	N	LQFP48	LQFP64	QU	TFBGA100	UU	UFBGA121	LPQF128	eme uid	(Lese e eme)	EDI 的	Usu n	N
B6	44	43	59	75	A4	93	A5	121	PB6	1 / 0	FT_c	(6)	Tim16_ch1n, tim4_ch1, tim8_ch1, tim8_etrx, uart1_tx, comp4_out, fdcan2_tx, tim8_bkin2, LPTIM1_ETR, HRTIM1_SCIN, Hrtim1_eev4, sai1_fs_b, eventout	UCPD1_CC1		
C7	45	44	6	76	B4	94	C5	122	PB7	1 / 0	FT_f	-	TIM17_CH1N, TIM4_CH2, I2C4_SDA、I2C1_SDA、 TIM8_BKIN, USART1_RX, COMP3_OUT, TIM3_CH4, LPTIM1_IN2, FMC_NL, HRIIM1_EEV3, UART4_CTS, 活动	-		
B7	46	45	61	77	A3	95	D5	123	PB8-布托	1 / 0	FT_f	(7)	TIM16_CH1, TIM4_CH3, SAI1_CK1 2 c1_scl uart3rx, comp1_out, FDI2CAN1_RX, TIM8_CH2, TIM1_BKIN, HRTIM1EEV8, 麦克拉克说， 活动	-		
A7	47	46	62	78	A2	96	A4	124	PB9	我	FT_f	-	TIM17_CH1、TIM4_CH4 、SAI1_D2、I2C1_SDA、 IR_OUT、USART3_TX、 COMP2_OUT、 FDI2CAN1_RX、TIM8_CH3 、TIM1_CH3N、 HRTIM1_EEV5、 SAI1_FS_A、EVENTOUT	-		

表12。STM32G474xB/xC/xE引脚定义(续)

密码								Pl (function after 请给我 艾德 这是 年代 替代功能	额外的功能					
禁用 个 米	N	LQFP48	LQFP64	LQFP80	TFBGA100	U	U	LPQF128						
-	-	-	-	-	C4	97	B4	125	了吗	I/O	π	-	TIM4_ETR、 TIM20_CH4N、 TIM16_CH1、 TIM20_ETR、 USART1_TX、 FMC_NBLO、 EVENTOUT	-
-	-	-	-	-	B3	98	C4	126	PE1型	I/O	英国《金 周刊》	-	TIM17_CH1、 TIM20_CH4、 USART1_RX、 FMC_NBL1、 EVENTOUT	-
-	-	47	63	79	-	99	B3 A3 127年	VSS	年代	-	-	-	-	-
A9	48	48	64	80	-	100		128	VDD的	年代	-	-	-	-

1. 功能可用性取决于所选设备。
2. PC13、PC14和PC15通过电源开关供电。由于开关只吸收有限的电流(3 mA)，因此在输出模式下gpio PC13到PC15的使用受到限制：
 - 在最大负载为30pF时，速度不应超过2MHz
 - 这些gpio不能用作电流源(例如驱动LED)。
3. 备份域上电后，PC13、PC14和PC15作为gpio工作。它们的功能取决于RTC寄存器的内容，这些寄存器不会被系统重置。gpio的具体管理方法请参见参考手册RM0440《STM32G4系列高级Arm®32位mcu》中Backup域和RTC寄存器的描述。
4. PG10-nrst引脚如果通过选项字节配置为PG10 GPIO，除了启动时间，直到选项字节被加载。
5. 复位后，将这些引脚配置为JTAG/SW调试备用功能，并且激活PA15, PA13, PB4引脚的内部上拉和PA14引脚的内部下拉。
6. 复位后，可在PB6、PB4(UCPD1_CC1、UCPD1_CC2)上激活下拉电阻($R_d = 5.1k\Omega$ from UCPD外设)。PB6(UCPD1_CC1)上的下拉由PA9(UCPD1_DBCC1)上的高电平激活。PB4(UCPD1_CC2)上的下拉由PA10(UCPD1_DBCC2)上的高电平激活。可以通过在PWR_CR3寄存器中设置位UCPD1_DBDIS=1来禁用此下拉控制(UCPD外设上支持电池耗尽)。PB4, PB6具有UCPD_CC功能，该功能实现了一个内部下拉电阻(5.1kΩ)，该电阻由UCPD_DBCC引脚(PA10, PA9)上的电压控制。UCPD_DBCC引脚上的高电平激活UCPD_CC引脚上的下拉。CC线上的下拉效应可以通过在PWR_CR3寄存器中使用位UCPD1_DBDIS=1(USB Type-C和电源传输死电池禁用)来消除。
7. 建议开机后将PB8设置为模拟模式以外的其他模式，以限制引脚未连接时的消耗。

4.11 替代功能



表13。备选功能AFO

		AF1型	AF2型	AF3 AF15 QUADSPI QUADSPI1 /	AF4	AF5型	AF6型	AF7型	空闲基带	AF9型	AF10型	AF11	AF12型	AF13型	AF14型
I2C3/4/UAR 端口		I2C1/3 / TIM1/2/3/4/5/8 / 2015 / 2/3/COMP1文件	I2C3/4 / SA / M / 2 C1/2/30 快速公交 TIM8/20/15	/SPI1/2/3/4/四通道 / I2C2/3/2/4 SPI2/3/12S2 UART4/5 / 3 / TIM1/5/8 / TIM8 / UCPD1 COMP3	16/17	AF15 QUADSPI QUADSPI1 / I2C3/2/4 SPI2/3/12S2 UART4/5 / 3 / TIM1/5/8 / MPT/5/6 1/2/7/4/5/6 / 3红外线 USART2	USART1/2/3 T45LPUA FD CAN1 FD CAN1 FD CAN1 / 2	FDCAN1 RT1也/ COMP FDCAN1 / 7	DCAN1/3型 TIM1						
事件PA0	了清偿信托公司	TIM2_CH1	TIM5_CH1	*	*	*	*	CTS	COMPI文件 没找到	TIMB_ETR没找到	*	*	*	*	TIM2_ETR22_R0
事件PA1	TIM2_CH2 可以 Ucpd1事件	TIM5_CH2	*	*	*	*	*	美国艺术2 RTS_DE	*	TIM15 下巴	*	*	*	*	*
事件tim2_ch3	Ucpd1事件	TIM5_CH3	*	*	*	*	*	USART2_TX	出	TIM15 QUADSPI1 CH1 LPUART1_TX BK1_NCS	*	*	*	FRSTX	
TIM15阿兹卡班的囚徒第三章	TIM5_CH4	SA1_CK1	事件TIM2_CH4	*	*	*	*	处方 A spi3 NSS / 2S3_WS	QUADSPI1_CLK	LPUART1_RX	SA1_MCLK	*	*	*	9
Tim3_ch2 tim2_etr tim16_ch1	Tim3_ch2 tim2_etr tim16_ch1	*	*	事件SPI1_NSS	SPI1_SCK SPI1_MISO	美国艺术2 CK	*	*	*	*	*	*	*	*	出
PAS	*	TIM2_CH1	*	*	SPI1_MOSI	TIM1_BKIN	*	COMPI文件没 找到	QUADSPI1_BK1_103	LPUART1_CTS	*	*	*	*	Ucpd1事 件FRSTX出
多路复用 六路	*	TIM3_CH1	*	*	TIM8_BKIN	TI MB 下巴	*	COMP2_出来	QUADSPI1_BK1_02	*	*	*	*	*	事件了
多路复用 七路	*	*	*	TIM3_CH2 I2C3_SMBA	TI MB 下巴	TIM1_CH1 TIM1_CH2 TIM1_MISO	*	COMP2_出来	QUADSPI1_BK1_02	*	*	*	*	*	Ucpd1事 件FRSTX出
多路复用 八路	变化	*	I2C3_SCL	*	12 c2 SDA	12S2_MCK	USART1 辛西娅· 肯尼娅	COMP7 没找到	FDCAN3_RX	SAM_CK2	HRTIM1 CHAI	SAI1_SC 事件Ka	出		
PA9	*	*	I2C2_SCL	*	12S3_MCK	USART1 TX系列	COMP5 Tim4_etr tim2_ch3 tim2_ch4	Tim4_etr tim2_ch3 tim2_ch4	*	*	HRTIM1 CHAI2	SAI1_FS 事件A	了		
多路复用 10	*	TIM17_BKIN	*	2q3S5rs_sync smba	2q3S5rs_sync smba	USART1 接收	COMP6 没找到	T BKIN	*	HRTIM1 CHB1	SAI1_SD 事件了	*			
多路复用 11	*	*	*	*	*	SPI2 兼容 TIM1 12S2_SD	美国艺术1 CTS	Compl fdcan1_out	TIM1 甲烷	*	HRTIM1 CHB2型	*		事件了	
PA12	*	TIM16_CH1	*	*	2SCKIN	TI MB 下巴	FD CAN1 CH2N RTS_DE	没找到 _TX	Tim1_bkin2 Tim4_ch2 Tim4_ch3 T ETR	*	HRTIM1 FLT1	*		事件了	
A13	SWDIO JTM5系 统	*	2c4_scl	I2C1_SCI IR_OUT I2C4_SMBA	*	USART3 CTS	*	*	*	*	*	*	*	*	事件了
	SWCLK JTCK公 司	LPTIM1_OUT	*	I2C1_SCI SDA	TI MB CH2 SPI1_NSS	TI MB USART2_BKIN 4	*	*	*	*	*	*	*	*	事件了
IC1	JTDE2	TIM2_CH1	TIMB_CH1	*	12 c1 SCI	SPI3 NSS / USART2_UART4 TIM1 2 s3_ws 处方	FD CAN3型 RTS_DE BKIN	*	TX	*	HRTIM1事件 TIM2_FLT2_ETR22_R0	*	*	出	

表13。备用功能(续)

	AFO	AF1型	AF2型	AF3 Af15 quadspi 12c1/3 /	AF4	AF5型	AF6	船尾	空军机 器	AF9型	AF10型	AF11	AF12型	AF13型	AF14型
I2C3/4/UAR 端口			QUADSPI/ 12 c3/4 / SAM / 2 c1/2/31	/SPM1/2/3/4/ 四通道/ 12 s2/3/2<4 SP12/312S2	USART1/2/3 T4/5 / LPUA SAI1_NPMP4/RTIME3/8引脚 MPT/5/6 1/2/7/4/5/6	FDCAN1T IM1/8/15/								TIM1 / OPAMP 2/15 / 2	
	TIM2(S) 20/15	B/HRTIM1/ 16/8/20/15/7		UCPD1 COMP3 红外TIMB	UART4/3 / TIM1/8/ TIM8	20 / Infrared		3		FDCAN1/2	7	D CAN1/3型			
Ucpd1事件pbo		TIM3_CH3	*	CH2N	TI CH2N	*	*	*	QUADSPI1_					HRTIM1型 FLTS型	
事件PB1	*	TIM3_CHA	*	CH3N	FRSTX out timb	TI CH3N	*	COMP4 出	BK1_01			LPUART1 RTS_DE	HRTIM1型 童子军	*	
事件PB2	Rtc_out2 lptim1_out tim5_ch1	TIM20_CH1	I2C3_	SMB	*	*	*	*	OUT QUADSPI1					HRTIM1型 SCIN	*
事件PB3	出JTDO USB CRS	TRACESWO TIM2_CH2	TIM4_ETR	同步	T	SPI1_SCK / USART2 TIM3_ETR1253_CK	TX			FDCAN3型	HRTIM1型 童子军	HRTIM1型 SA11 EEV9型	SCK_B		
事件PB4	杰特斯特	TIM16_CH1	TIM3_CH1	*	TIM8 CH2N	Spi1_miso spi3_miso rx	RTS_DE	*	TX	FD CAN3型 _RX	*			HRTIM1型 电动车7	有 MCLKB 出
PB5	*	TIM3_CH2	12C1_	SMB 接口	M2S3_SD	透视 USART2 辛西班牙·哥 尼娅	12C3_SDA	FDCAN2 _RX	LPTIM1 IN1					HRTIM1型 Uart5事件-eev6	
PB6	Tim16_bkin tim16_ch1n tim17_ch1n tim4_ch2 tim16_ch1	TIM4_CH1	TIMB_CH1N TIMB_CH1.		Spi1_mosi timb_etr	美国艺术1 TX	COMP4 出来	FDCAN2 _TX	LPTIM1 ETR					HRTIM1 EEV4	Sai1_fs事 件出来
PB7	*		12C4_SDA	I2C1_	timb_bkin	USART1 接收	COMP3_	LPTIM1 IN2	FMC_NL					HRTIM1 EEV3	Uart4事 件CTS 出
PB8	*	SA11_CK1 TIM17_CH1	TIM4_CH3		I2C1_	*	*	USART3_	COMP1_					HRTIM1 EEV8	事件 McLka out
PB9	*		TIM4_CH4		12 C1_	SDA	*	IR_OUT	USART3 TX	COMP2_	FDCAN1	TIM8_CH3	*	HRTIM1 EEV5	SA11 FS 事件 一个了
PB10	*	SA11_D2 TIM2_CH3 TIM2_CH4		*	*	*	*	USART3 LPUART1 RX	*	QUADSPI1 CLK				HRTIM1 FLT3	Sai1_sc 事件Ka 出
PB11	*			*	*	*	*	USART3 RX	LPUART1 德克萨斯州	*	QUADSPI1 BK1_NCS		*	HRTIM1 FLT4	事件 了
PB12	*	*	TIM5_ETR	*	12C2_	SPI2 NSS 2 s2_ws	TIM1_BKIN	USART3 LPUART1 FDCAN2 CK RTS_DE		*				HRTIM1_	事件 了
PB13	*	*		*	*	Spi2_sck1 tim1_12s2_ck 下巴		Usart3 puart1 CTS CTS	FDCAN2 _TX					HRTIM1 CHC2型	排泄
PB14	*	TIM15_CH1		*	*			QOMP4 USART3 CHZN RTS_DE	出	*	*	*	*	HRTIM1 CHD1型	事件 了
PB15 RTC_REFIN		Spi2_miso tim15_ch2 tim15_chin comp3_out		SPI2 mosi ch3n 12S2_SD	*	*	*		*	*	*	*	*	HRTIM1 CHD2型	事件 出

表13。备用功能(续)

	AFO	AF1型	AF2型	AF3 AF15 QUADSPI1 /	AF4	AF5型	AF6型	AF7型	空闲基带	AF9型	AF10型	AF11	AF12型	AF13型	AF14型		
I2C3/4/UAR 端口 2<4 / SYS_AF	UART4/5 LPTIM1 ^{P=1/3} / TIM1/2/3/4/5/8 TIM2/5/ 20/15/15/16/17 COMP1 文件	I2C3/4 SAI1/我们2 C1/2/3 / BHRTIM1/ TIM8/20/15 COMP3	I2C3/4 SAI1/我们2 C1/2/3 / BHRTIM1/ TIM8/20/15 COMP3	QUADSPI ISP / 2/3/4 QUADSPM / 12 s2/3/24 UART4/5 / FDCANICO 20/infrared 红外	4 tim1/8 / 16/17	12 s2/3/24 UART4/5 / FDCANICO 20/infrared 红外	SPI2/3/2S2_3TM158 FDCANICO MP7/5/6	T45LPUA Im1/8/15 t1 / comp 1/2/7/4/5/6/ den1	FDCANIT	3	2	四参数 LPTIM1/ FMC/LPUART1 SAMSAM/HR TIM2/3/4/8/1 TIM1/8/F /SAI2/HRTIM1/ DCAN1/3 TIM1	2	SAI1/热姆 215 / UCPD1	事件 事件 了		
PC0	-	LPTIMN1	TIM1_CH1	-	-	-	-	-	LPUART1_RX	-	-	-	-	-	-	事件 了	
PC1	-	LPTIM1_OUT	TIM1_CH2	-	-	-	-	-	LPUART1 德克萨斯州	-	QUADSPI1 BK2100	-	-	SAM_SDA	-	事件 了	
PC2	-	LPTIM1_N2	TIM1_CH3	COMP3_OUT	-	-	-	TIM20_CH2	-	-	QUADSPI1 BK201	-	-	-	-	事件 了	
生物	-	LPTIM1_ETR	TIM1_CH4	SA1_01	-	-	TIM1_BKIN2	-	-	QUADSPI1 BK2_102	-	-	SAMSDA	-	事件 了		
PC4	-	-	TIM1_ETR	-	I2C2_SCL	-	-	美国艺术 TX	-	-	QUADSPI1 BK2_103	-	-	-	-	事件 了	
PC5	-	-	TIM15_BKIN	SA1_03	-	-	USART1 陈处方	-	-	-	-	-	-	HRTIM1 EEV10	-	事件 了	
PC6	-	-	TIM3_CH1	HRTIM1_EEV10	T CH1	-	I2S2_MCK	COMP6 出来	I2C4_SCL	-	-	-	-	-	HRTIM1 瑞士法郎1	-	事件 了
PC7	-	-	TIM3_CH2	HRTIM1_FLT5	TIM8 CH2	-	I2S3_MCK	COMP5 出来	I2C4_SDA I2C3_SCL	-	-	-	-	-	HRTIM1 CHF2	-	事件 了
PC8	-	-	TIM3_CH3	HRTIM1_CHE1	TIM8 CH3	-	TIM20_CH3	COMP7 出来	I2C3_SDA 例	-	-	-	-	-	-	-	事件 了
PC9	-	-	TIM3_CH4	HRTIM1_CHE2	TIMB 串烧	I2SCKIN	TIMB BKIN2	-	I2C3_SDA 例	-	-	-	-	-	-	-	事件 了
PC10	-	-	-	-	TIMB 下巴	UART4_TX	SPI3_SCKI I2S3_CK	USART3_ TX	-	-	-	-	-	-	HRTIM1 FLT6型	-	事件 了
PC11	-	-	-	HRTIM1_EEV2	TIM8 CH2N	UART4_RX	SPI3_MISO	USART3_RX	I2C3_SDA	-	-	-	-	-	-	-	事件 了
PC12	-	TIM5_CH2	-	HRTIM1_EEV1	TIMB CH3N	UART5_TX	我用了3_ M2S3_SD	-	-	-	-	-	-	-	-	Ucpd1事 件FRSTX出	-
PC13	-	-	TIM1_BKIN	-	T1 下巴	-	Ck timb ch4n	-	-	-	-	-	-	-	-	-	事件 了
PC14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	事件 了	
PC15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	事件 了	



表13。备用功能(续)

港口	AFO	AF1型	AF2型	AF3	AF4	AF5型	AF6型	AF7型	空闲端口	AF9型	AF10型	AF11	AF12型	AF13型	AF14型	AF15	
QUADSPI1_12 c1/3 / QUADSPI1 Lptim1 / fmcifitpart1 c4 IM1/8/15 TIM2/5/TIM1/2/3/4/5/6/ I/O/TIM SYS_AF 20/15 TIM1 COMP1文件 B/HRTIM1/ TIM8/20/15 / 16/17 TIMB/ UCPD1_COMB3 红外																	
PDO	-	-	-	-	-	-	-	TIMB_CH4N	-	-	FDCAN1_RX	-	-	-	-	事件了	
PD1型	-	-	-	-	T8 通道4	-	-	TIMB_BKIN2	-	-	FDCAN1_TX	-	-	-	-	事件了	
PD2型	-	-	-	TIM3_ETR	-	TIM8_BKIN	UARTS_RX	-	-	-	-	-	-	-	-	事件了	
PD3型	-	-	-	TIM2CH1 TIM2_ETR	-	-	-	USART2_CTS	-	-	QUADSPI1_BK2_NCS	-	-	-	-	事件了	
PD4	-	-	-	TIM2_CH2	-	-	-	USART2 RTS_DE	-	-	QUADSPI1_BK2_00	-	FMC_CLK	-	-	事件了	
PD5	-	-	-	-	-	-	-	美国艺术2 TX	-	-	QUADSPI1_BK2_01	-	FMC_NOE	-	-	事件了	
PD6	-	-	-	TIM2_CHA SA1_D1	-	-	-	USART2_RX	-	-	QUADSPI1_BK2_102	-	FMC_NWE	-	-	事件了	
PD7型	-	-	-	TIM2_CH3	-	-	-	USART2_李 西娅·西尼娅	-	-	QUADSPI1_BK2_03	-	FMC_NWAIT	-	-	事件了	
PD8	-	-	-	-	-	-	-	USART3_TX	-	-	-	-	SAI_SD_A	-	-	事件了	
PD9型	-	-	-	-	-	-	-	USART3_RX	-	-	-	-	-	-	-	事件了	
PD10型	-	-	-	-	-	-	-	USART3_李 西娅·西尼娅	-	-	-	-	Fmc_d13 fmc_d14	-	-	事件了	
PD11型	-	-	TIMS_ETR	-	-	12 c4 SMBA	-	-	USART3_CTS	-	-	-	-	Fmc_d15 fmc_a16	-	-	事件了
PD12型	-	-	-	-	-	-	-	USART3 RTS_DE	-	-	-	-	-	-	-	事件了	
PD13	-	-	-	TIM4_CH1 TIM4_CH2	-	-	-	-	-	-	-	-	fmc_a18 fmc_d0	-	-	事件了	
PD14	-	-	-	TIM4_CH3 TIM4_CHA	-	-	-	-	-	-	-	-	-	-	-	事件了	
PD15型	-	-	-	-	-	-	-	SP12_NSS	-	-	-	-	FMC_D1	-	-	事件了	

表13。备用功能(续)

	AFO	AF1型	AF2型	AF3	AF4	AF5型	AF6型	AF7型	空闲端	AF9型	AF10型	AF11	AF12型	AF13型	AF14型
Af15_quadspi1_12c1/3/1															
I2C3/4/UAR 端口				QUADSPI/											
SYS_AF		UART_A/G(UPTIMI) TIM2/5/ User5/Vsim L0/8/ 13/15/20/15/ TIM1 COMP1文件	B/HRTIM1/ TIM8/20/15 / 16/17												
了吗	-	-	TIM4_ETR	TIM20_CH4N	TIM16_CH1	-		USART1 TX系列	-	FDCAN1_RXFD	-	-	FMC_NBLO	-	事件了
PE1型	-	-	-	-	TIM17_CH1	-		USART1 接收	-	-	-	-	FMC_NBL1 FMC_AZ1	-	事件了
PE2型	TRACECK	-	-	SAI1_CK1	-			-	-	-	-	-	SAI1_NCLK_A	-	事件了
PE3型	-	-	-	-	-			-	-	-	-	-	Fmc_a19 sai1_sd_b	-	事件了
PE4	Tracedo traced1 traced2 traced3	-	TIM3_CH1 TIM3_CH2 SA / 1_02 TIM3_CH3	-	-	TIM20 下巴	-	-	-	-	-	-	fmc_a20 sai_fs_a	-	事件了
PES	-	-	TIM3_CHA SA1_D1	-	-	TIM20 CH2N	-	-	-	-	-	-	Sai1_sck_a	-	事件了
PE6型	-	-	TIM1_ETR	-		SPI4_MISO SPI4_MOSI		TIM20 CH3N 系列	-	-	-	-	fmc_a22 sai1_sd_a	-	事件了
PE7型	-	-	-	-	-	-		-	-	-	-	-	fmc_d4	-	事件了
PES型	-	Tim5_ch3 tim1_chin tim5_ch4	-	-	-	-		-	-	-	-	-	SAI1_SD_B	-	事件了
PE9	-	-	-	TIM1_CH1 TIM1_CH2N	-	-	-	-	-	-	-	-	FMC_D5 SA / 1_sck_b	-	事件了
PE10型	-	-	-	-	-	-	-	-	-	-	-	-	FMC_D6 SAI1_FFS_B	-	事件了
PE11	-	-	-	TIM1_CH2	-	-	-	-	-	-	-	-	QUADSPI1_CLK BK1_NCS	-	事件了
PE12型	-	-	-	TIM1_CH3	Spi4_nss spi4_sck	-	-	-	-	-	-	-	QUADSPI1_BK1_00	-	事件了
PE13型	-	-	-	-	-	-	-	-	-	-	-	-	Quadspil bk1_01 Quadspil bk1_102 Quadspil bk1_i03	-	事件了
PE14	-	-	-	-	SPI4_MISO TIM1_CHA	-	TIM1_SKIN2	-	-	-	-	-	fmc_d12	-	事件了
PE15型	-	-	-	-	SPI4_MOSI TIM1_BKIN	-	-	USART3 CH4N	处方	-	-	-	-	-	事件了

表13。备用功能(续)

	AFO	AF1型	AF2型	AF3	AF4	AF5型	AF6型	AF7型	音频基带	AF9型	AF10型	AF11	AF12型	AF13型	AF14型	AF15
港口	TIM2/5 / SYS_AF	UART/A/G (OPTIM1) QUADSPI1/TIM1/TIM2/TIM3/TIM4/TIM5/TIM6/TIM7 20/15/ HRTIM1/ TIM8/20/15/16/17 UCPD1 COMP3	3 quad spi1/2,c1/3 / 12 C3/4 / SA / M / 2 c1/2/3 20/15/	ISP1/2/3/4 / 1252/3/2C4 SPI2/31252 UART4/5 / / 3 / TIM1/5/8 / TIMB/ 红外	FDI2CAN/T QUADSPI6 FDCAN1/2/3 TA/5 / LPUA FDCANICO RT1@ COMP MP7/5/6 1/2/7/4/5/6	USART1/2/3 TA/5 / LPUA FDCAN1/2 IM1/8/15/ FDCAN1/2	I2C3/4/UAR 7 DCANN1/3型	Tim2/3/4/8/1 tim1 / b / fsa / hrtim1 / tim1 / opamp 2	事件							
PFO	-	-	-	-	12 c2_	SPI2 NSS/ TIM1 SDA 2 s2_ws	中文	-	-	-	-	-	-	-	-	事件了
PF1	-	-	-	-	-	SPI2_SCK/ 1252_CK	-	-	-	-	-	-	-	-	-	事件了
PF2	-	-	-	TIM20_CH3	12C2 SMBA 接口	-	-	-	-	-	-	-	-	-	-	事件了
PF3	-	-	-	TIM20_CH4 TIM20_CH1N TIM20_CH2N	12 c3 sci	-	-	-	-	-	-	-	Fmc_a2 fmc_a3 fmc_a4	-	-	事件了
PF4	-	-	-	COMP1_OUT	I2C3_	SDA	-	-	-	-	-	-	-	-	-	事件了
PF5	-	-	-	-	-	-	-	-	-	-	-	-	FMC_A5	-	-	事件了
PF6	-	TIM5_ETR	TIM4_CH4	SAI1_SD_B	2 c2 sci	-	USART3 RTS	-	-	QUADSPI1 BK1_103	-	-	-	-	-	事件了
PF7	-	-	TIM5_CH1	TIM20_BKIN	-	-	-	-	-	QUADSPI1 BK1_02	-	FMC_A1	SAI1_MCLK_B	-	-	事件了
PF8	-	-	TIM5_CH2	TIM20_BKIN2	TIM20_BKIN	TIM5_CH3	-	-	-	QUADSPI1 BK1_00	-	Fmc_a24 sai1_sck_b	-	-	-	事件了
PF9	-	-	-	-	-	-	-	-	-	QUADSPI1 BK1_01	-	fmc_a25 sai_fs_b	-	-	-	事件了
PF10	-	-	Spi2_sck	tim5_ch4	tim20_bkin2	tim15_ch2	-	-	-	QUADSPI1 CLK	-	fmc_a0	-	-	-	事件了
PF11	-	-	-	-	-	-	-	-	-	-	-	Sai1_d3 fmc_ne4 fime_a6	-	-	-	事件了
PF12	-	-	SPI2_SCK	TIM20_ETR	TIM20_CH1	-	-	-	-	-	-	-	-	-	-	事件了
PF13	-	-	-	TIM20_CH2	12 c4 SMBA	-	-	-	-	-	-	-	FMC_A7	-	-	事件了
PF14	-	-	-	TIM20_CH3	I2C4 SCI	-	-	-	-	-	-	-	FMC_AB FMC_AC	-	-	事件了
PF15	-	-	-	TIM20_CH4	12C4 SDA型	-	-	-	-	-	-	-	-	-	-	事件了

表13。备用功能(续)

	AF0	AF1型	AF2型	AF3	AF4	AF5型	AF6型	船尾	空军 基地	AF9型	AF10型	AF11	AF12型	AF13型	AF14型	AF15
港口				四轮 12C1/3 / QUADSP UART4/5/TIM11/ TIM1/2/3/4/5/6/ IM1/8/15/TIM25/ 2/13/15/16/17	12 C3/4 / SA / 我们12 c1/2/3 / B/HRTIM1/ TIM8/20/15 / UCPD1 COMP8	16/17	SPM1/2/3/4 QUADSPM / 252/32C4 / SPI2/3M2S2 UART4/5 / / 3 / TIM1/5/8 / TIM8 / infrared	USART1/2/3 T45LPUA I/F CAN1CAN0 RT1也 / COMP MP7/5/6 LQ7440AV	I2C3/4/UAR FDCAN1IT							事件
PG0	-	-	TIM20_CHIN	-	-	-	-	-	-	-	-	-	-	-	-	事件了
PG1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	事件了
PG2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	事件了
PG3	-	-	TIM20_CH2N TIM20CH3N TIM20_BKIN	-	12C4 sci	SPI1_SCK SPI1_MISO SPI1_MOSI SPI1_NSS	TIM20 CH4N	-	-	-	-	-	Fmc_a10 fmc_a11 fmc_a12 fmc_a13 fmc_a14 fmc_a15 fmc_ne2	-	-	事件了
PG4	-	-	TIM20_BKIN2 TIM20_ETR TIM20_BKIN	-	12C4 SDA型	-	-	-	-	-	-	-	-	-	-	事件了
PG5	-	-	-	-	-	-	-	LPUART1 CTS	-	-	-	-	-	-	-	事件了
PG6	-	-	-	-	12C3 SMBA 接口	-	-	LPUART1 RTS_DE	-	-	-	-	FMC_INT	-	-	事件了
PG7	-	-	-	SAI1_CK1	I2C3 SCL	-	-	LPUART1 TX	-	-	-	-	FMC_INT	SAI1_MCLK_ A	-	事件了
PG8	-	-	-	-	12C3 SDA 线98	-	-	LPUART1 RX	-	-	-	-	-	-	-	事件了
结果 量	-	-	-	-	-	-	SP13_SCK USART1_TX	-	-	-	-	-	FMC_NCE / FMC_NE2	-	TIM15 事件 输出	-
PG10	变化	-	-	-	-	-	-	-	-	-	-	-	-	-	-	事件了



5 电特性

5.1 参数条件

除非另有说明，所有电压均参考VSS。

5.1.1 最小值和最大值

除非另有规定，在 $TA = 25^{\circ}\text{C}$, $TA = \text{TAmmax}$ (由所选温度范围给出)的环境温度、电源电压和频率的最坏条件下，在100%的设备上进行生产试验，保证最小值和最大值。

基于表征结果、设计模拟和/或技术特性的数据在表脚注中注明，未在生产中进行测试。
基于表征，最小值和最大值指的是样本测试，代表平均值正负三倍标准差(均值 $\pm 3\sigma$)。

5.1.2 典型值

除特殊说明外，典型数据为 $TA = 25^{\circ}\text{C}$, $VDD = VDDA = 3\text{v}$ 。它们仅作为设计指南给出，未进行测试。

典型的ADC精度值是通过在整个温度范围内对来自标准扩散批次的一批样品进行表征来确定的，其中95%的器件的误差小于或等于所示的值(平均值 $\pm 2\sigma$)。

5.1.3 典型曲线

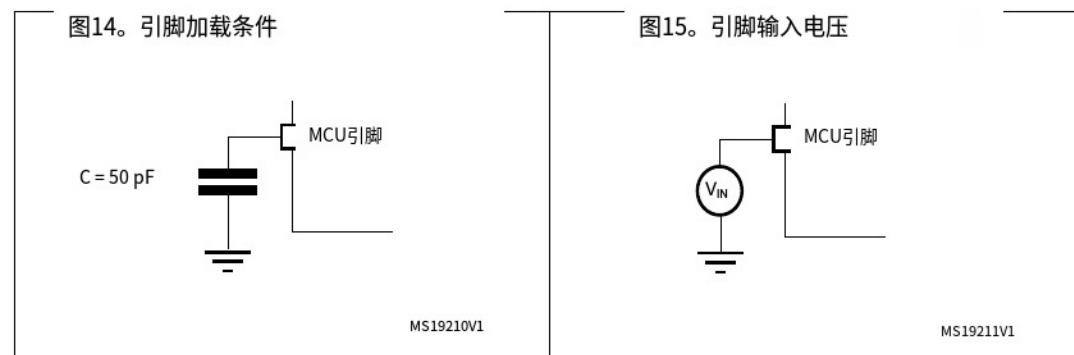
除非另有说明，所有典型曲线仅作为设计指南给出，不进行测试。

5.1.4 加载电容

用于引脚参数测量的加载条件如图14所示。

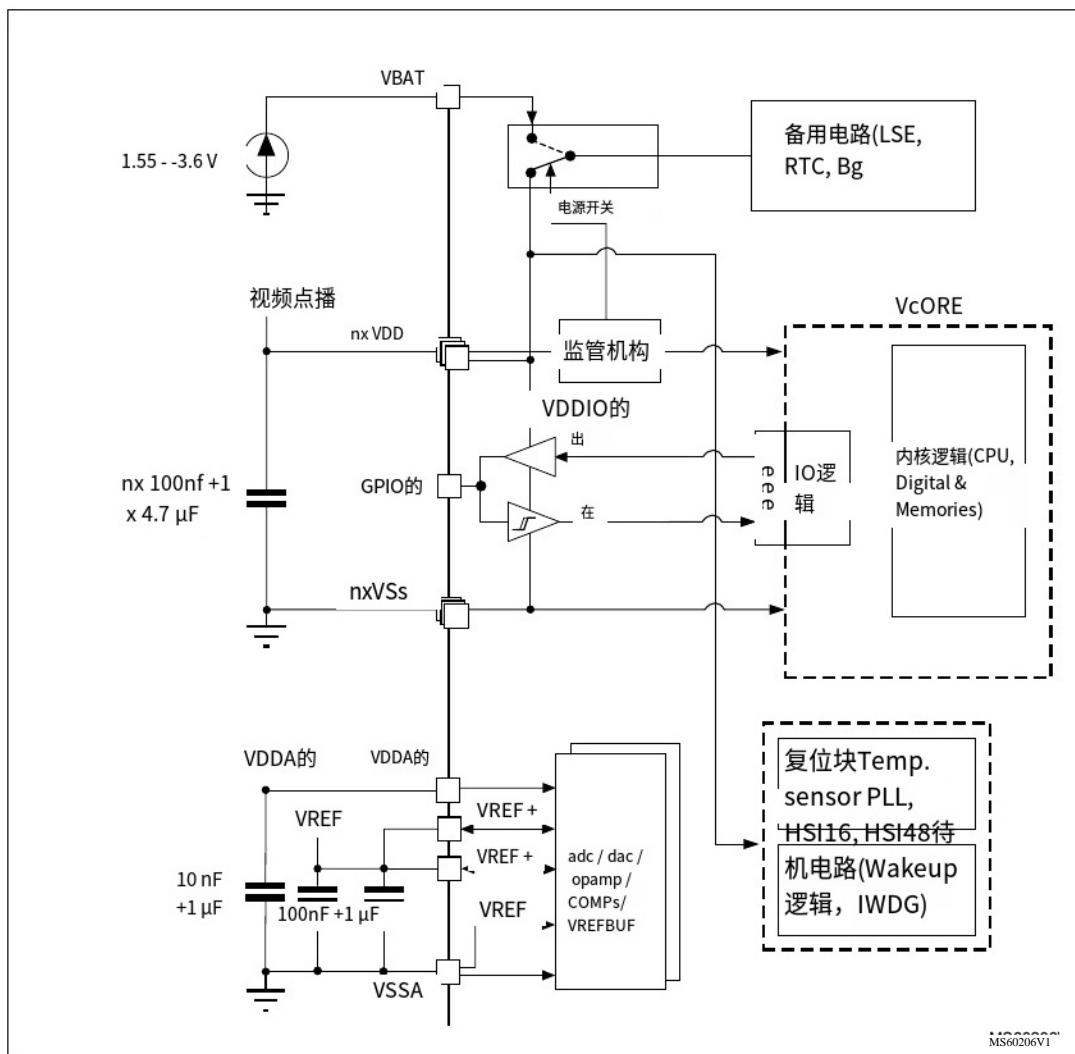
5.1.5 引脚输入电压

图15描述了器件引脚上的输入电压测量。



5.1.6 供电方案

图16。供电方案



警告：

每个电源对(VDD/VSS, VDDA/VSSA等)必须用滤波陶瓷电容器解耦, 如上所示。这些电容器必须尽可能靠近或低于PCB底部的适当引脚, 以确保器件的良好功能。

5.1.7 电流消耗测量

图17。电流消耗测量

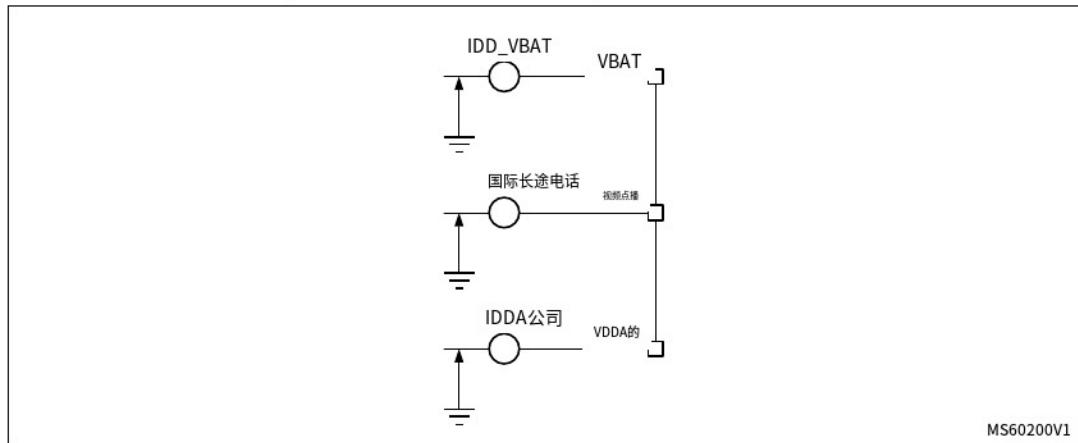


表21至表25中给出的IDD_ALL参数表示MCU的总功耗，包括当前供电的VDD、VDDA和VBAT。

5.2 绝对最大额定值

表14:电压特性和表15:电流特性和表16:热特性中列出的绝对最大额定值以上的应力可能会对器件造成永久性损坏。这些仅是应力额定值，并不意味着设备在这些条件下的功能操作。长时间暴露在最大额定条件下可能会影响设备的可靠性。长时间暴露在最大额定条件下可能会影响设备的可靠性。设备任务概况(应用条件)符合JEDEC JESD47资格标准，扩展任务概况可按需提供。

表14。电压特性(1)

象征	评级	最小值	马克斯	单位
VDD-VSS系列	外部主电源电压(包括VDD、VDDA、VBAT 和 VREF+)	-0.3	4.0	
文(2)	FT_xxx引脚(FT_c引脚除外)的输入电压	vss - 0.3	最小值 (VDD, VoDA) +4.0 (3) (4)	V
	FT_c引脚的输入电压	vss - 0.3	5.5	
	TT_xx引脚上的输入电压	vss 0.3 -	4.0	
	任何其他引脚的输入电压	0.3 vss	4.0	
$\Delta VDDx_l$	同一域不同VDDx电源引脚之间的差异	-	50	毫伏
Vssx-Vssl	所有不同接地引脚之间的变化	i)	-	50
VREF+-VDDA	VREF+>VDDA允许电压差	-	0.4	V

1. 所有主电源(VDD、VDDA、VBAT)和地(VSS、VSSA)引脚必须始终在允许的范围内连接到外部电源。

2. VIN最大值必须始终遵守。最大允许注入电流值参见表15:电流特性。
3. 这个公式只能应用于与引脚定义表中描述的IO结构相关的电源。
4. 要维持高于4v的电压，必须禁用内部上拉/下拉电阻。
5. 包括VREF- pin。

表15。目前的特点

象征	评级	马克斯	单位
ΣI_{VDD}	输入所有Vop电源线(源)之和的总电流(1)	150	
ΣI_{VSS}	所有Vss地线之和输出的总电流(sink)(1)	150	
类(销)	进入每个VDD电源引脚(源)的最大电流(1)	100	
静脉注射(销)	每个Vss地引脚(sink)输出的最大电流(1)	100	
	除FT_f外，任何I/O和控制引脚的输出电流	20	
o(销)	任意FT_f引脚的输出电流	20	不
	输出电流来源的任何I/O和控制引脚	20	
ΣI_{IO} (销)	所有I/o和控制引脚之和的总输出电流 由所有I/o和控制引脚之和提供的总输出电流(2)	(2) 100 100	
I_{INJ} (销) ⁽³⁾	在FT_xxx, TT_xx, NRST引脚上注入电流	-5/0(4)	
ΣNPN	总注入电流(所有I/o和控制引脚之和)	i)	25±

1. 所有主电源(VDD, VDDA, VBAT)和地(VSS, VSSA)引脚必须始终在允许的范围内连接到外部电源。
2. 这个电流消耗必须正确地分布在所有I/o和控制引脚上。总输出电流不能在两个连续的电源引脚之间沉没/来源，这是指高引脚数LQFP封装。
3. 正注入(当VIN > VDD时)在这些I/o上是不可能的，并且在输入电压低于规定的最大值时不会发生。
4. VIN < VSS诱导阴性注入。IINJ(PIN码)绝对不能超过。另请参阅表14:电压特性以获得最小允许输入电压值。
5. 当多个输入端被注入电流时，最大 $\Sigma |I_{INJ}(PIN)|$ 是负注入电流(瞬时值)的绝对和。

表16所示。热特性

象征	评级	价值	单位
测试	储存温度范围	-65 ~ +150	°C
TJ 公司	最高结温	150	°C

5.3 操作条件

5.3.1 一般工况

表17所示。一般操作条件

象征	参数	条件	最小值	马克斯	单位	
fHCLK型	内部AHB时钟频率	-	0	170		
fPCLK1	内部APB1时钟频率	-	0	170	兆赫	
fPCLK2	内部APB2时钟频率	-	0	170		
VDD的	标准工作电压	-	1.71 (1)	3.6	V	
VDDA的	模拟电源电压	使用ADC或COMP	1.62	3.6	V	
		DAC 1 MSPS或DAC 15 MSPS	1.71			
		使用的运算放大器	2.0	3.6		
		使用的 VREFBUF	2.4	3.6		
		ADC、DAC、运算放大器、COMP、未使用VREFBUF	0			
VBAT	备用工作电压	-	1.55	3.6	V	
T _J	I/O输入电压	TT_xx	-0.3	V _{pp} + 0.3	V	
		FT_c	-0.3	5		
		除TT_xx和FT_c外的所有I/O	-0.3	最小(最小值(VDD VDDA) +3.6V, 5.5 V) (2) (3)		
警察局	功耗	参见第6.10节:应用的热特性,适当的热阻和包装。 然后根据环境温度(TA)和最大结温(TJ)以及选定的热阻计算功耗。			兆瓦	
TA	后缀6版本的环境温度	最大功耗	-40	85	°C	
		低功率损耗(4)	-40	105		
	TA后缀3版本的环境温度	最大功耗低功耗(4)	-40	125		
			-40	130		
T _J 公司	结温范围	后缀6版本	-40	105	°C	
		后缀3版本	-40	130		

1. 当RESET释放时, 保证功能降至VBORo Min。
2. 此公式只能应用于与引脚定义表所描述的IO结构相关的电源。
最大I/O输入电压为MIN(VDD, VDDA)+3.6 V到5.5V之间的最小值。
3. 当工作电压高于Min (VDD, VDDA) +0.3 V时, 必须使能内部的Pull-up和Pull-Down电阻。
4. 在低功耗状态下, 只要TJ不超过TJmax, TA就可以扩展到这个范围(参见[6.10节:热特性](#))。

5.3.2 上电/下电时的工作条件

表18给出的参数来源于表17总结的环境温度条件下进行的试验。

表18。上电/下电时的操作条件

象征	参数	条件	最小值	马克斯	单位
tVDD的	V _{op} 上升时间率	-	0	∞	$\mu\text{s}/\text{V}$
	V _{oD} 下降时间率		10	∞	
tVDDA系列	V _{DDA} 上升时间率	-	0	∞	$\mu\text{s}/\text{V}$
	V _{DDA} 下降时间率		10	∞	

5.3.3 嵌入式复位和电源控制块特性

表19给出的参数来源于表17总结的环境温度条件下进行的试验:一般工作条件。

表19。嵌入式复位和电源控制块特性

象征	参数	条件(1)	最小值	类型	马克斯	单位
RSTTEMPO ⁽²⁾	检测到BORO后复位延时	视频点播上升	-	250	400	μs
VBOR0公司 ⁽²⁾	暗光resetthreshld0	前沿	1.62	1.66	1.7	V
		下降沿	1.6	1.64	1.69	
BOR1型	停电复位阈值1	前沿	2.06	2.1	2.14	V
		下降沿	1.96	2	2.04	
VBOR2	断电复位阈值2	前沿	2.26	2.31	2.35	V
		下降沿	2.16	2.20	2.24	
VBOR3型	停电复位阈值3	前沿	2.56	2.61	2.66	V
		下降沿	2.47	2.52	2.57	
VBOR4型	断电复位阈值4	前沿	2.85	2.90	2.95	V
		下降沿	2.76	2.81	2.86	
VPVDO的	可编程电压检测器阈值0	前沿	2.1	2.15	2.19	V
		下降沿	2	2.05	2.1	
VPVD1型	PVD阈值1	前沿	2.26	2.31	2.36	V
		下降沿	2.15	2.20	2.25	
VPVD2型	PVD阈值2	前沿	2.41	2.46	2.51	V
		下降沿	2.31	2.36	2.41	
VPVD3型	PVD阈值3	前沿	2.56	2.61	2.66	V
		下降沿	2.47	2.52	2.57	

表19。嵌入式复位和电源控制块特性(续)

象征	参数	条件(1)	最小值	类型	马克斯	单位
VPVD4型	PVD阈值4	前沿	2.69	2.74	2.79	V
		下降沿	2.59	2.64	2.69	
VPVD5型	PVD阈值5	前沿	2.85	2.91	2.96	V
		下降沿	2.75	2.81	2.86	
VPVD6型	PVD阈值6	前沿	2.92	2.98	3.04	V
		下降沿	2.84	2.90	2.96	
Vhyst_BORHO	BORHO的磁滞电压	连续模式下的迟滞	-	20	-	毫伏
		其他模式的迟滞	-	30	-	
Vhyst_BOR_PVD	硼硼(BORHO除外)和PVD的磁滞电压	-	-	100	-	毫伏
IDD (BOR_PVD) (2)	BOR(3) (BORO除外)和来自VoD的PVD消费	-	-	1.1	1.6	μA
VPVM1型	VDDA外围电压监测 (COMP/ADC)	前沿	1.61	1.65	1.69	V
		下降沿	1.6	1.64	1.68	
VPVM2	VDDA外围电压 监控(OPAMP / DAC)	前沿	1.78	1.82	1.86	V
		下降沿	1.77	1.81	1.85	
Vhyst_PVM1	PVM1 迟滞	-	-	10	-	毫伏
Vhyst_PVM2	PVM2 滞后	-	-	10	-	毫伏
IDD (PVM1/PVM2) (2)	PVM1 and PVM2 VDD消耗	-	-	2	-	μA

1. 连续模式意味着运行/睡眠模式，或者温度传感器在低功耗运行/低功耗睡眠模式下启用。

2. 设计保证。

3. BOR0在所有模式下(关机除外)都是启用的，因此它的消耗包含在电源电流特性表中。

5.3.4 嵌入式电压参考

表20给出的参数来自于在环境温度和电源电压条件下进行的试验，
表17总结:一般工作条件。

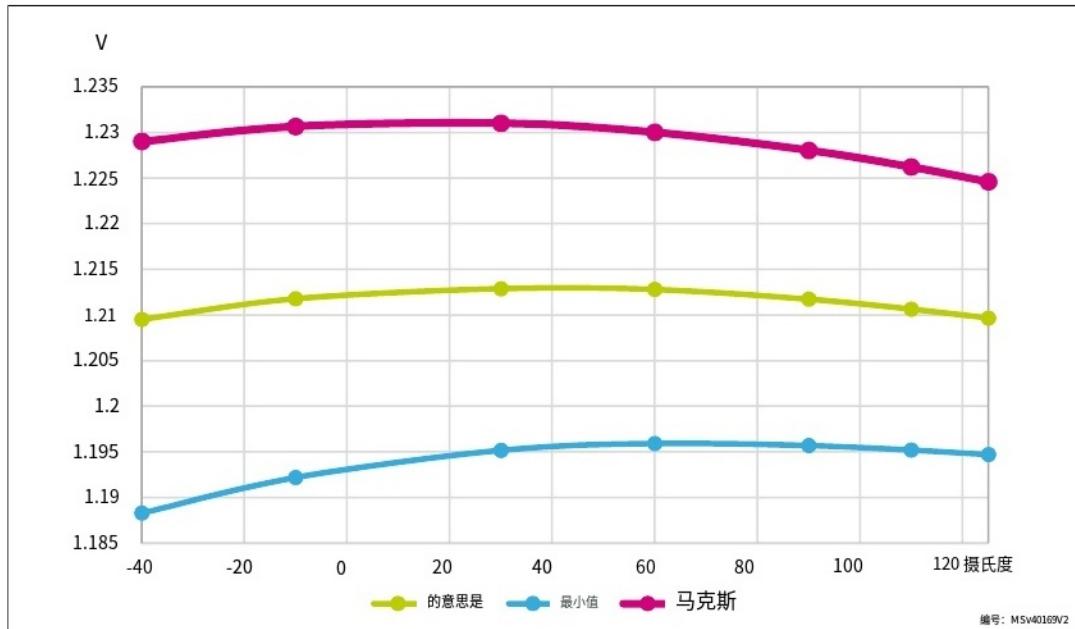
表20。嵌入式内部电压基准

象征	参数	条件	最小值	Typ	马克斯	单位
VREFINT (英语)	内部基准电压	-40 °C < TA < +130 °C	1.182	1.212	1.232	V
ts_vrefint (1)	ADC读取内部参考电压时的采样时间	-	4 (2)	-	-	μs
tstart_vrefint	起始参考时间 使能ADC时的电压缓冲	-	-	8	12(2)	μs
DD (VREFINTBUF)	VREFINT 缓冲液	-	-	12.5	20(2)	μ-
ΔVREFINT	由ADC转换时VDD的消耗 内部基准电压在温度范围内的分布平均温度系数	电压 = 3 V	-	5	7.5 (2)	毫伏
TCoeff		-40°摄氏度 < TA < +130°摄氏度	-	30	50 (2)	ppm / °C
阿科夫	长期稳定性	1000小时, T = 25°C	-	300	1000 (2)	ppm
VDDCoeff	平均电压系数	3.0 v < VDD < 3.6 v	-	250	1200(2)	ppm / V
VREFINT_DIV1	1/4参考电压	-	24	25	26	%
VREFINT_DIV2	1/2基准电压		49	50	51	
VREFINT_DIV3	3/4基准电压		74	75	76	

1. 在应用中通过多次迭代确定最短的采样时间。

2. 设计保证。

图18。VREFINT与温度的关系



5.3.5 电源电流特性

电流消耗是几个参数和因素的函数，如工作电压、环境温度、I/O引脚负载、器件软件配置、工作频率、I/O引脚开关速率、程序在存储器中的位置和执行的二进制代码

电流消耗测量如图17所示:电流消耗测量。

典型和最大电流消耗

单片机放置在以下条件下:

- 所有I/O引脚都处于模拟输入模式
- 除明确提及外，所有外设均禁用
- 根据fHCLK频率，使用最小等待状态数调整闪存访问时间(参考参考手册RM0440“STM32G4系列高级Arm®32位mcu”中的表“根据CPU时钟(HCLK)频率的等待状态数”)。
- 启用外设时， $f_{PCLK} = f_{HCLK}$
- 电压缩放范围1调整为fHCLK频率如下:
 - 电压范围1升压模式， $150\text{ MHz} < f_{HCLK} \leq 170\text{ MHz}$
 - 电压范围1 $26\text{ MHz} < f_{HCLK} \leq 150\text{ MHz}$ 时的正常模式

表21至表25给出的参数来自于在环境温度和电源电压条件下进行的试验，表17:一般工作条件。

表21。运行和低功耗运行模式下的电流消耗，数据处理代码在单个Bank中从Flash运行，ART启用
(Cache ON Prefetch OFF)

象征	参数	条件	类型										马克斯	单位	
			fHCLK型		25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	105°C	125°C	
IDD (运行)	在运行模式下提供电流	fHCLK= HSE 高达包括48 MHz，旁路模式锁相环MHz全部ON以上48	26兆赫	3.65	3.85	4.45	5.1	6.45	4.40	6.60	11.0	16.0	22.0		
			16 MHz	2.30	2.55	3.1	3.8	5.15	3.00	5.00	9.00	14.9	21.0		
			8 MHz	1.25	1.50	2.05	2.8	4.1	2.00	3.6	7.70	13.0	19.0		
		范围2	4兆赫	0.75	0.955	1.5	2.3	3.6	1.40	3.00	7.00	12.0	19.0		
			2 MHz	0.47	0.69	1.25	2	3.35	0.990	2.60	6.70	12.0	19.0		
			1 MHz	0.34	0.55	1.1	1.9	3.2	0.830	2.50	6.50	12.0	18.0		
			100 KHz	0.22	0.43	0.98	1.75	3.1	0.690	2.30	6.30	11.0	18.0		
			Boost 模式	170 MHz	29.50	29.5	31			34.5	31.0	35.0	42.0	48.0	56.0
				150 MHz	24.50	26	27	28	30	26.0	28.0	34.0	44.0	47.0	不
		外围设备禁用	120 MHz	19.50	20	20.5	21.5	23.5	21.0	23.0	32.0	38.0	43.0		
			80兆赫	13.00	13.5	14	15.5	17	15.0	17.0	25.0	30.0	37.0		
			72兆赫	12.00	12	13	14	15.5	13.0	16.0	23.0	29.0	36.0		
			64兆赫	10.50	11	11.5	12.5	14.5	12.0	14.0	21.0	27.0	34.0		
			48兆赫	7.90	8.2	9	9.7	11.5	9.10		19.0	25.0	32.0		
			32兆赫	5.40	5.65	6.4	7.2	8.85	6.50	9.60	15.0	21.0	29.0		
			24 MHz	4.10	4.35	5.1	5.95	7.6	5.20	8.00	14.0	20.0	28.0		
			16兆赫	2.80	3.1	3.8	4.7	6.3	4.30	6.40	12.0	18.0	26.0		

表21。运行和低功耗运行模式下的电流消耗，在单个Bank中从Flash运行数据处理的代码，ART启用(Cache ON Prefetch OFF)(续)

Unit	Max	2019	毫米	毫安
U _{ES}	-	-	-	-
f _{HCLK}	-	-	-	-
Y _Y	-	-	-	-
eeon	-	-	-	-
O	0.99	0.98	0.97	0.95
O _{.99}	0.98	0.97	0.95	0.93
O _{.98}	0.97	0.96	0.94	0.92
O _{.97}	0.96	0.95	0.93	0.91
O _{.96}	0.95	0.94	0.92	0.90
O _{.95}	0.94	0.93	0.91	0.89
O _{.94}	0.93	0.92	0.90	0.88
O _{.93}	0.92	0.91	0.89	0.87
O _{.92}	0.91	0.90	0.88	0.86
O _{.91}	0.90	0.89	0.87	0.85
O _{.90}	0.89	0.88	0.86	0.84
O _{.89}	0.88	0.87	0.85	0.83
O _{.88}	0.87	0.86	0.84	0.82
O _{.87}	0.86	0.85	0.83	0.81
O _{.86}	0.85	0.84	0.82	0.80
O _{.85}	0.84	0.83	0.81	0.79
O _{.84}	0.83	0.82	0.80	0.78
O _{.83}	0.82	0.81	0.79	0.77
O _{.82}	0.81	0.80	0.78	0.76
O _{.81}	0.80	0.79	0.77	0.75
O _{.80}	0.79	0.78	0.76	0.74
O _{.79}	0.78	0.77	0.75	0.73
O _{.78}	0.77	0.76	0.74	0.72
O _{.77}	0.76	0.75	0.73	0.71
O _{.76}	0.75	0.74	0.72	0.70
O _{.75}	0.74	0.73	0.71	0.69
O _{.74}	0.73	0.72	0.70	0.68
O _{.73}	0.72	0.71	0.69	0.67
O _{.72}	0.71	0.70	0.68	0.66
O _{.71}	0.70	0.69	0.67	0.65
O _{.70}	0.69	0.68	0.66	0.64
O _{.69}	0.68	0.67	0.65	0.63
O _{.68}	0.67	0.66	0.64	0.62
O _{.67}	0.66	0.65	0.63	0.61
O _{.66}	0.65	0.64	0.62	0.60
O _{.65}	0.64	0.63	0.61	0.59
O _{.64}	0.63	0.62	0.60	0.58
O _{.63}	0.62	0.61	0.59	0.57
O _{.62}	0.61	0.60	0.58	0.56
O _{.61}	0.60	0.59	0.57	0.55
O _{.60}	0.59	0.58	0.56	0.54
O _{.59}	0.58	0.57	0.55	0.53
O _{.58}	0.57	0.56	0.54	0.52
O _{.57}	0.56	0.55	0.53	0.51
O _{.56}	0.55	0.54	0.52	0.50
O _{.55}	0.54	0.53	0.51	0.49
O _{.54}	0.53	0.52	0.50	0.48
O _{.53}	0.52	0.51	0.49	0.47
O _{.52}	0.51	0.50	0.48	0.46
O _{.51}	0.50	0.49	0.47	0.45
O _{.50}	0.49	0.48	0.46	0.44
O _{.49}	0.48	0.47	0.45	0.43
O _{.48}	0.47	0.46	0.44	0.42
O _{.47}	0.46	0.45	0.43	0.41
O _{.46}	0.45	0.44	0.42	0.39
O _{.45}	0.44	0.43	0.41	0.38
O _{.44}	0.43	0.42	0.40	0.37
O _{.43}	0.42	0.41	0.39	0.36
O _{.42}	0.41	0.40	0.38	0.35
O _{.41}	0.40	0.39	0.37	0.34
O _{.40}	0.39	0.38	0.36	0.33
O _{.39}	0.38	0.37	0.35	0.32
O _{.38}	0.37	0.36	0.34	0.31
O _{.37}	0.36	0.35	0.33	0.30
O _{.36}	0.35	0.34	0.32	0.29
O _{.35}	0.34	0.33	0.31	0.28
O _{.34}	0.33	0.32	0.30	0.27
O _{.33}	0.32	0.31	0.29	0.26
O _{.32}	0.31	0.30	0.28	0.25
O _{.31}	0.30	0.29	0.27	0.24
O _{.30}	0.29	0.28	0.26	0.23
O _{.29}	0.28	0.27	0.25	0.22
O _{.28}	0.27	0.26	0.24	0.21
O _{.27}	0.26	0.25	0.23	0.20
O _{.26}	0.25	0.24	0.22	0.19
O _{.25}	0.24	0.23	0.21	0.18
O _{.24}	0.23	0.22	0.20	0.17
O _{.23}	0.22	0.21	0.19	0.16
O _{.22}	0.21	0.20	0.18	0.15
O _{.21}	0.20	0.19	0.17	0.14
O _{.20}	0.19	0.18	0.17	0.13
O _{.19}	0.18	0.17	0.16	0.12
O _{.18}	0.17	0.16	0.15	0.11
O _{.17}	0.16	0.15	0.14	0.10
O _{.16}	0.15	0.14	0.13	0.09
O _{.15}	0.14	0.13	0.12	0.08
O _{.14}	0.13	0.12	0.11	0.07
O _{.13}	0.12	0.11	0.10	0.06
O _{.12}	0.11	0.10	0.09	0.05
O _{.11}	0.10	0.09	0.08	0.04
O _{.10}	0.09	0.08	0.07	0.03
O _{.09}	0.08	0.07	0.06	0.02
O _{.08}	0.07	0.06	0.05	0.01
O _{.07}	0.06	0.05	0.04	0.00
O _{.06}	0.05	0.04	0.03	-
O _{.05}	0.04	0.03	0.02	-
O _{.04}	0.03	0.02	0.01	-
O _{.03}	0.02	0.01	-	-
O _{.02}	0.01	-	-	-
O _{.01}	-	-	-	-
O _{.00}	-	-	-	-
0	-	-	-	-

表22。运行和低功耗运行模式下的电流消耗，在双银行中从Flash运行具有数据处理的代码，ART启用
(Cache ON Prefetch OFF)

最大符号参数	条件	HCLK型	类型												单位
			25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	25°摄氏度	55°摄氏度	
HCLK=HSE高达48MHz，包括，供应旁路模式IDD 锁相环电流ON (Run) 运行模式48mhz以上全部 外围设备禁用	范围2	电压缩放	26兆赫	3.70	3.9	4.45	5.15	6.45	4.40	6.60	11.0	16.0	22.0		
			16兆赫	2.35	2.55	3.1	3.85	5.15	3.00	5.00	9.00	14.0	21.0		
			8 MHz	1.25	1.5	2.05	2.8	4.15	2.00	3.60	7.70	13.0	19.0		
			4兆赫	0.75	0.97	1.5	2.3	3.6	1.40	3.00	7.00	12.0	19.0		
			2 MHz	0.47	0.7	1.25	2.05	3.35	0.990	2.60	6.70	12.0	19.0		
			1 MHz	0.34	0.56	1.1	1.9	3.2	0.830	2.50	6.50	12.0	18.0		
			100 KHz	0.22	0.44	0.975	1.6	3.1	0.690	2.30	6.30	11.0	18.0		
		升压模式	170兆赫	29.50	30	31	32	34.5	31.0	35.0	42.0	48.0	56.0		不
			150兆赫	24.50	24.5	25.5	26.5	28.5	26.0	28.0	34.0	44.0	47.0		
			120mhz	19.50	20	20.5	22	23.5	21.0	23.0	32.0	38.0	43.0		
			80mhz	13.00	13.5	14.5	15.5	17	15.0	17.0	25.0	30.0	37.0		
			72兆赫	12.00	12.5	13	14	15.5	13.0	16.0	23.0	29.0	36.0		
			64兆赫	10.50	11	11.5	13	14.5	1	14.0	21.0	27.0	34.0		
			48兆赫	7.95	8.3	—	10	11.5	9.10	13.0	19.0	25.0	32.0		
			32兆赫	5.40	5.7	6.45	7.25	8.9	6.50	9.60	15.0	21.0	29.0		
			24 MHz	4.10	4.4	5.1	—	7.65	5.20	8.00	14.0	20.0	28.0		
			16兆赫	2.85	3.15	3.8	4.75	6.35	4.30	6.40	12.0	18.0	26.0		

表22。运行和低功耗运行模式下的电流消耗，在双存储中从Flash运行具有数据处理的代码，ART启用(Cache ON Prefetch OFF)(续)

												Max ⁽¹⁾	Unit	
												fHCLK		
00	0001	008	00e	009	00	00	600	966	969	ZHX S79型	USHS S SAs	egeesip seadade	Jamod-Mo (und) enn QDI	A _μ
00	0000	008	00e	009	00	00	600	990	989	ZHX S79型	USHS S SAs	egeesip seadade	Jamod-Mo (und) enn QDI	A _μ
00	0098	008	00e	0098	00	00	600	990	989	ZHX S79型	USHS S SAs	egeesip seadade	Jamod-Mo (und) enn QDI	A _μ
0	00094f	0018	008e	0061	0	0	4300	0	08	00r	06	2 MHz	0 ep	ZHX S79型
0	000000	009	00	2	08	00	430	0	000	05018	00电源	00电源	0 ep	ZHX S79型
00	000000	009	00	00	08	00e	2000	吸吗	0	98	周	egesip 线上厂	ESHS SAS	AIddns
00	000000	0000	000	000	00	0998	0	000	00	0	ZH公同	E SH公同	ESHS SAS	Oo
00	00011	0064t	0000	0000	000	0998	0	000	00	0	ZH公同	E SH公同	ESHS SAS	Oo
00	000000	0000	000	000	000	000	000	000	000	000	ZH公同	E SH公同	ESHS SAS	Oo
00	000000	0000	000	000	000	000	000	000	000	000	ZH公同	E SH公同	ESHS SAS	Oo
00	000000	0000	000	000	000	000	000	000	000	000	ZH公同	E SH公同	ESHS SAS	Oo
00	000000	0000	000	000	000	000	000	000	000	000	ZH公同	E SH公同	ESHS SAS	Oo

1. 除非另有规定，否则由表征结果保证。

表23。运行和低功耗运行模式下的电流消耗，从SRAM1运行具有数据处理的代码

象征	参数	条件	fHCLK型	类型								马克斯				单位	
				25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	
IDD (运行) 在运行模式下提供电流	HCLK=HSE 高达48MHz nc; 旁路模式 PL隆高于 48mhz 外围设备禁用	电压缩放 范围2	26兆赫	3.35	3.55	4.1	4.95	6.45	4.00	6.20	11.0	15.0	22.0				
			16 MHz	2.15	2.35	2.9	3.7	5.25	3.10	4.70	8.70	14.0	20.0				
			8 MHz	1.15	1.35	1.9	2.7	4.2	1.90	3.50	7.50	13.0	19.0				
			4 MHz	0.69	0.855	1.4	2.2	3.7	1.30	2.90	6.90	12.0	19.0				
			2 MHz	0.43	0.595	1.15	1.95	3.45	0.960	2.60	6.60	12.0	18.0				
			1 MHz	0.30	0.47	1	1.8	3.3	0.810	2.40	6.40	12.0	18.0				
			100千赫	0.19	0.355	0.89	1.7	3.2	0.680	2.30	6.30	11.0	18.0				
			升压模式	170 MHz	26.00	26.5	27.5	28.5	30.5	28.0	32.0	39.0	45.0	53.02			
			150 MHz	21.50	22	22.5	23.5	25.5	23.0	25.0	31.0	41.0	46.02)				不
			120 MHz	17.50	17.5	18.5	19.5	21.5	19.0	21.0	30.0	36.0	41.0				
IDLE (低功耗运行) 休眠模式	HCLK=HSE 高达48MHz nc; PL隆高于 48mhz 外围设备禁用	电压缩放 范围1	80兆赫	11.50	5	12.5	13.5	15.5	13.0	15.0	23.0	29.0	35.0				
			72兆赫	10.50	11	11.5	12.5	14.5	12.0	14.0	21.0	27.0	34.0				
			64兆赫	9.45	9.7	10.5	11.5	13.5	11.0	13.0	20.0	26.0	33.0				
			48兆赫	7.25	7.5	8.2	9.25	11	8.10	12.0	17.0	23.0	31.0				
			32 MHz	4.90	5.15	5.85	6.9	8.7	6.00	8.90	15.0	21.0	29.0				
			24 MHz	3.75	▲	4.7	5.7	7.5	4.80	7.50	13.0	19.0	27.0				
			16兆赫	2.60	2.85	3.5	4.5	6.3	4.00	6.10	12.0	18.0	26.0				



表23。运行和低功耗运行模式下的电流消耗，从SRAM1运行数据处理的代码(续)

Max ⁽¹⁾										Unit
由其他 向晶振 供电					从 振荡器 供电					Unit
fHCLK	25°C	3.25°C	D50	0.8	D	8	0.2	0.2	0.7	
00000000000644	00000000000644	00000000000644	00000000000644	00000000000644	ZHN	2	9.e	9.e	0.988	A
00000000000644	00000000000644	00000000000644	00000000000644	00000000000644	ZHN	425	0	0	0.96	A
00000000000644	00000000000644	00000000000644	00000000000644	00000000000644	ZHO	315	E	315	0.98	A
00000000000644	00000000000644	00000000000644	00000000000644	00000000000644	ZHXS29	285	SO-P	9.9e	0.96	A
00000000000644	00000000000644	00000000000644	00000000000644	00000000000644	ZHN	4300	O	0.99	0.98	A
000020000009842e	000020000009842e	000020000009842e	000020000009842e	000020000009842e	ZHN	4150	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	4100	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	400	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	400	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	4100	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	4150	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	4300	O	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.98	0.98	0.98	0.98	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.99	0.99	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.99	0.99	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.99	0.99	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.99	0.99	0.99	0.99	A
000000000009842e	000000000009842e	000000000009842e	000000000009842e	000000000009842e	ZHN	0.99	0.99	0.99	0.99	A

1. 除非另有规定，否则由表征结果保证。
2. 生产中经过测试保证。

表24。运行和低功耗运行模式下的典型电流消耗，从Flash运行不同的代码，ART启用(Cache ON Prefetch OFF)

象征	参数	条件	输入单 银行类型 双银行代码	模式		单位	单 银行双 银行 模式		单位
				模式	模式		25°C	25°C	
电压缩放									
电源电流(运行) 运行模式	HOLKIHSE 高达48 MHZ 模式锁相环 ON高于48 MHZ所有外 设禁用包括 ，旁路	Range2 HCLK=26 mhz	减少代 码(1)	3.65	3.7	不	140	142	μAMHz
			Coremark	3.65	3.7		140	142	
			Dhrystone2.1	3.65	3.7		140	142	
			斐波那契	4.55	4.2		175	162	
			而(1)	2.90	~		112	115	
		范围1 h< s : 1 > l< s : 1 > = 150 MHz	减少 Codol	24.5	24.5	不	163	163	μAMHz
			Coremark	24	24		160	160	
			Dhrystone2.1	24.5	24.5		163	---	
			斐波那契	22.5	28		150	187	
			而(1)	19.5	20		130	133	
升压模式 HCL= 170 MHz			减少代 码(1)	29.5	29.5	mA	174	174	μAMHz
			Coremark	29	29		171	171	
			Dhrystone2.1	29.5	29.5		174	174	
			斐波那契	38	35		224	206	
			而(1)	23.5	24		138	141	

表24。运行和低功耗运行模式下的典型电流消耗，从Flash中运行不同的代码，ART启用(Cache ON Prefetch OFF)(续)

符号参数	条件	代码	单银行模式		单位	双银行模式		单位
			25°C	模式		25°C	模式	
DD (LPRun) 低功耗 运行时 的供电 电流	电压缩放 SYSCLK源为HSI16 fHCLK = 2 MHz 所有外设禁用	减少代 码(1)	920	970	μ	460	485	μ A/MHz
		Coremark	905	985		453	493	
		Dhrystone2.1	915	915		458	458	
		斐波那契	1,050	950		525	475	
		而(1)	930	875		465	438	

1. 简化代码用于[表21、表23提供的表征结果](#)。

表25。运行和低功耗运行模式下的典型电流消耗，具有不同的代码
从SRAM1运行

象征	参数	条件		代码	类型 25°C	单位	类型 25°C	单位
		-	电压 缩放					
IDD (运行) DS17288 Rev6	Supplycurrentin 运行模式	HCLK= HSE包括高达48 MHZ, bypass 模式PLL ON高于48 MHZ, 所有外设禁用	range =26 M Hz	减少code1	3.25	不	125	μAMHz
				Coremark	3.35		129	
				Dhrystone2.1	3.30		127	
				斐波那契	3.30		127	
				而(1)	3.40		131	
			范围1 fHCLK= 150 MHZ	减少代码(1)	21.50	不	143	μAMHz
				Coremark	22.50		150	
				Dhrystone2.1	21.50		143	
				斐波那契	22.50		150	
				而(1)	20.00		133	
			范围1升 压模式 fHCLK 170兆赫	减少了代码	26.00	不	153	μAMHz
				Coremark	27.00		159	
				Dhrystone2.1	26.00		153	
				斐波那契	27.50		162	
				而(1)	24.50		144	
国际长 途电话 (LPRun)	供电电流fHCLK=fHSE=2 MHz 低功耗运行所有外设禁用			减少了代码	955	μ	478	μAMHz
				Coremark	890		445	
				Dhrystone2.1	915		458	
				斐波那契	880		440	
				而(1)	905		453	

1. 简化代码用于表21、表23提供的表征结果。

表26。运行和低功耗运行模式下的典型电流消耗，具有不同的代码
从SRAM2运行

象征	参数	条件	电压缩放	fHCLK型	类型		单位	类型	单位
						单银行模式			
IDD (运行) 在运行模式下提供电流	HCLK= HsE包括高达48 MHZ, bypass 模式PLL ON高于48 MHZ, 所有外设禁用	range =26 M Hz	减少了代码	fHCLK型	2.65	不	102	μAMHz	μAMHz
				Coremark	2.80		108		
				Dhrystone2.1	2.65		102		
				斐波那契	2.60		100		
				而(1)	2.45		94		
				减少了代码	17.50	不	117		
				Coremark	18.00		120		
				Dhrystone2.1	17.50		117		
国际长途电话	低功率运行	SYSCLK源为HSI16 FHCLK=2MHz所有外设禁用	范围1 fHCLK=150 MHZ	斐波那契	17.00		113		
				而(1)	16		107		
				减少了代码	21.00	不	124		
				Coremark	22.00		129		
				Dhrystone2.1	21.00		124		
				斐波那契	20.50		121		
				而(1)	19.50		115		
				减少了代码	890	μA	445	μAMHz	μAMHz
			1升压模式 HCLK 170兆赫	Coremark	830		415		
				Dhrystone2.1	825		413		
				斐波那契	830		415		
				而(1)	815		408		

1. 简化代码用于表21、表23提供的表征结果。



DS177288 Rev.9

00736

表27。运行和低功耗运行模式下的典型电流消耗，从CCMSRAM运行不同的代码

象征	参数	条件		fHCLK型	类型	单位	类型	单位	
			电压 缩放		单银行 模式				
IDD (运行)	HCLK = fHsE高达48 MHZ供电 电流包括，旁路模式运行模式 PLL ON高于48 mhz外设禁用	Range2 HCLK= 26m Hz	减少代码(1) Coremark Dhrystone2.1 斐波那契 而(1)	2.75	不	106	μAMHz		
				2.85		110			
				2.75		106			
				2.95		113			
				2.60		100			
			减少代码(1) Coremark Dhrystone2.1 斐波那契 而(1)	18.00	不	120	μAMHz		
		范围1 holmhz = 150 MHz		18.50		123			
				18.00		120			
				19.00		127			
				17.00		113			
I _Q (LPRun)	Supplurntin 低功率运行 SYSCLK源为HS116 跳频=2MHz 所有外设禁用	范围1 升压模式 fHCLK 170 MHz	减少代码(1) Coremark Dhrystone2.1 斐波那契 而(1)	22.00	不	129	μAMHz		
				22.50		132			
				22.00		129			
				23.50		138			
				20.50		1			
			减少代码(1) Coremark 迪斯通2.1 斐波那契 而(1)	900	μA	450	μAMHz		
				850		425			
				870		435			
				850		425			
				810		405			

1. Reduced code used for characterization results provided in [Table 21](#)/[Table 23](#).

表28。睡眠和低功耗睡眠模式下的电流消耗亮起

象征	参数	条件		类型								马克斯		单位	
		-	电压 缩放	fHCLK型 25°C 55°C 85°C 105°C 125°C 25°C 55°C 85°C 105°C 125°C											
IDD(睡眠)	在睡眠模式下提供电流	范围2	26兆赫	0.98	1.1	1.75	2.4	3.75	1.90	3.50	7.60	13.0	19.0		
			16兆赫	0.67	0.835	1.45	2.15	3.5	1.50	3.00	7.10	12.0	19.0		
			8 MHz	0.44	0.605	1.25	~	3.35	1.10	2.70	6.70	12.0	19.0		
			4兆赫	0.33	0.5	1.1	1.9	3.25	0.860	2.50	6.50	12.0	18.0		
			2 MHz	0.27	0.445	1.05	1.85	3.2	0.760	2.40	6.40	11.0	18.0		
			1 MHz	0.24	0.415	1.05	1.8	3.15	0.720	2.30	6.40	11.0	18.0		
			100 KHz	0.21	0.385	0.995	在	3.	0.670	2.30	6.30	11.0	18.0		
		范围1高达48 MHz包括升压，旁路模式锁相环在48 MHz以上所有外设禁用	170 MHz	6.60	6.95	7.8	~	10.5	8.00	12.0	18.0	24.0	33.0		不
			150 MHz	5.50	5.8	6.55	7.55	9.25	6.40	9.50	15.0	21.0	29.0		
			120 MHz	4.50	4.75	5.5	6.55	8.2	5.40	8.20	14.0	20.0	28.0		
			80兆赫	3.15	3.45	4.2	5.15	6.8	4.50	6.60	12.0	18.0	26.0		
			72兆赫	2.85	3.15	3.9	4.9	6.55	4.20	6.30	12.0	18.0	26.0		
		范围1	64兆赫	2.60	2.9	3.65	4.6	6.3	3.50	6.00	12.0	18.0	26.0		
			48兆赫	1.90	2.2	~	3.65	5.3	3.20	5.30	11.0	17.0	25.0		
			32兆赫	1.40	1.65	2.4	3.2	4.85	2.70	4.80	11.0	17.0	25.0		
			24 MHz	1.10	1.35	2.1	~	4.65	2.30	4.50	9.80	16.0	25.0		
			16 MHz	0.83	1.1	1.85	2.75	4.35	1.90	4.10	9.40	16.0	24.0		

表28。睡眠和低功耗睡眠模式下的电流消耗亮起(续)

象征	参数	条件	fHCLK型	类型								马克斯		单位
				电压缩放								25°摄氏度 55°摄氏度 85°摄氏度 105°摄氏度 125°摄氏度 25°摄氏度 55°摄氏度 85°摄氏度 105°摄氏度 125°		
国际长途电话 (LPSleep)	在低功耗休眠模式下提供电流	SYSCLK源为 bypass模式的HSE 所有外设禁用	2 MHz	205	430	1150	2050	3600	1600	2900	7800	14000	22000	
			1兆赫兹	165	400	1100	2000	3550	1100	2900	7700	14000	22000	μA
			250 KHz	145	370	1100	2000	3550	820	2800	7700	13000	22000	
			62.5千赫	140	365	1050	2000	3550	810	2800	7700	13000	22000	
			2 MHz	700	925	1650	2550	4100	1600	3600	8400	14000	22000	
		SYSCLK源是HSI16 所有外设禁用	1兆赫兹	710	925	1600	2550	4100	1600	3600	8400	14000	22000	μA
			250 KHz	670	910	1600	2500	4050	1600	3600	8400	14000	22000	
			62.5千赫	685	910	1600	2500	4050	1600	3600	8400	14000	22000	

表29。低功耗睡眠模式下的电流消耗，断电时的Flash

象征	参数	条件	fHCLK型	类型								马克斯		单位
				电压缩放								25°摄氏度 55°摄氏度 85°摄氏度 105°摄氏度 125°摄氏度 25°摄氏度 55°摄氏度 85°摄氏度 105°摄氏度 125°		
国际长途电话 (LPSleep)	在低功耗休眠模式下提供电流	SYSCLK源是 HSE旁路模式，所有外设禁用	2 MHz	210	385	1150	2050	3550	910	2900	7800	14000	22000	
			1兆赫兹	150	360	1100	2000	3550	860	2900	7700	14000	22000	
			250千赫	120	330	1050	2000	3500	820	2700	7600	13000	21000	
			62.5 KHz	110	330	1050	1950	3500	810	2700	7600	13000	21000	μA
			微n	675	900	1600	2500	4050	1600	3600	8500	14000	22000	
		SYSCLK源是HSI16 所有外设禁用	1兆赫兹	695	890	1600	2500	4050	1600	3600	8400	14000	22000	
			250千赫	640	885	1600	2500	4050	1600	3600	8500	14000	22000	
			62.5 KHz	690	880	1600	2500	4050	1400	3000	7000	12000	19000	

表30。Stop 1模式下的电流消耗

象征参数	条件	类型										单位
		VDD的	25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	105°C	
Supply current IDD 在停止1(停止1) 模式下, RTC被 禁用	RTC禁用	1.8 v	80	250	830	1550	2850	630	2100	5900	11000	18000
		2.4 v	80	250	835	1600	2850	640	2100	5900	11000	18000
		3.0 v	80.5	255	840	1600	2900	640	2200	6000	11000	18000
		3.6 v	81.5	255	845	1600	2900	640	2200	6000	11000	18000
	RTC由LSI计时	1.8 v	80.5	255	830	1550	2850	640	2100	5900	11000	18000
		2.4 v	81	255	835	1600	2850	640	2200	5900	11000	18000
		3.0 v	81.5	255	835	1600	2850	640	2200	6000	11000	18000
		3.6 v	82	255	845	1600	2900	650	2200	6000	11000	18000
	RTC时钟由LSE旁 路在32768赫兹	1.8 v	80	255	830	1550	2850	-	-	-	-	-
		2.4 v	80.5	255	830	1600	2850	-	-	-	-	-
		3.0 v	81.5	255	835	1600	2900	-	-	-	-	-
		3.6 v	83	260	845	1600	2900	-	-	-	-	-
电源电流(停 止 在第1站用 模式, RTC, RTC)启用	RTC被LSE石英 在32768 Hz的低 驱动模式下阻塞	1.8 v	83.5	220	655	1300	-	-	-	-	-	-
		2.4 v	84	220	660	1300	-	-	-	-	-	-
		3.0 v	84.5	220	660	1300	-	-	-	-	-	-
		3.6 v	87	220	660	1300	-	-	-	-	-	-
供电电流(从 唤醒时唤醒) from Stop 1 停止1模 式	唤醒时钟HSI6 , 电压范围1	3.0 v	1.73	-	-	-	-	-	-	-	-	-
	唤醒时钟 HSI6= 4 mhz , (HPRE=4) , 电压范围2	3.0 v	1.29	-	-	-	-	-	-	-	-	-

1. 除非另有规定, 否则由表征结果保证。

表31。Stop 0模式下的电流消耗

象征	参数	条件		类型					马克斯(1)				单位
		·	视频点播	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	
国际长途直拨电话 (Stop 0)	电源电流在停止0模式，RTC禁用	1.8 v	190	380	980	1750	3100	790	2400	6500	11000	19000	μA
		2.4 v	190	380	985	1750	3100	790	2400	6400	11000	19000	μA
		3 v	190	380	985	1750	3100	800	2400	6500	12000	19000	μA
		3.6 v	190	380	985	1750	3100	800	2500	6500	12000	19000	μA

1. 除非另有规定，否则由表征结果保证。

表32。待机模式下的电流消耗

象征	参数	条件		类型					马克斯(1)				单位	
		·	流	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度		
IDD (待机)	供电电流在待机模式(保留备份寄存器)，RTC禁用	无独立监督机构	1.8 v	100	275	1350	3450	8450	200	1100	4100	9700	27000	μA 和
			2.4 v	110	325	1600	4100	10000	220	1200	4800	12000	31000	
			3 v	130	385	1900	4850	12000	240	1400	5500	13000	35000	
			3.6 v	180	530	2400	6050	14500	360	1700	6300	15000	40000	
		设有独立监察机构	1.8 v	300	-	-	-	-	-	-	-	-	-	
			2.4 v	365	-	-	-	-	-	-	-	-	-	
			3 v	435	-	-	-	-	-	-	-	-	-	
			3.6 v	545	-	-	-	-	-	-	-	-	-	

表32。待机模式下的电流消耗(续)

象征	参数	条件	类型										Max1)	单位
			视频 点播	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度		
国际长途电话 (待机带 RTC)	在备用模式下提供 电流(备份寄存器 retained), RTC启用	rt时钟由 LSI控制 , 无独立 看门狗	1.8 v	540	725	1800	3850	8850	660	1500	4600	11000	27000	和
			2.4 v	700	920	2150	4650	10500	860	1900	5300	12000	31000	
			3 v	885	1150	2650	5550	12500	1100	2200	6300	14000	36000	
			3.6 v	1100	1450	3350	7000	15500	1400	2700	7400	16000	41000	
			1.8 v	580	-	-	-	-	-	-	-	-	-	
		rtt时钟由 LSI, 具 有独立的 看门狗	2.4 v	760	-	-	-	-	-	-	-	-	-	和
			3 v	960	-	-	-	-	-	-	-	-	-	
			3.6 v	1200	-	-	-	-	-	-	-	-	-	
			1.8 v	410	580	1600	3650	8600	-	-	-	-	-	
DS17788 整数6	当SRAM2保留时 , 在待机模式下 增加的电源电流	rt时钟 由lse在 32768 Hz旁路	2.4 v	545	750	1950	4450	10500	-	-	-	-	-	和
			3 v	830	1150	2750	5800	13000	-	-	-	-	-	
			3.6 v	2200	3050	5550	9550	18000	-	-	-	-	-	
			1.8 v	370	570	1350	3150	7100	-	-	-	-	-	
			2.4 v	495	715	1650	3800	8350	-	-	-	-	-	
		rtclock在 低驱动模 式下由lse quarz2时 钟	3 v	655	915	2100	4550	9850	-	-	-	-	-	和
			3.6 v	875	1350	2800	5750	12000	-	-	-	-	-	
			1.8 v	300	825	2950	6300	12550	-	-	-	-	-	
			2.4 v	305	875	2900	6400	12500	-	-	-	-	-	
			3 v	305	865	2950	6150	12500	-	-	-	-	-	
			3.6 v	310	870	3000	6450	13000	-	-	-	-	-	

表32。待机模式下的电流消耗(续)

象征	参数	条件		类型						马克斯(1)		单位	
		-	视频点播	25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	105°C	
上厕所(叫醒从备用)从待机模式唤醒时提供电流	从待机模式唤醒时提供电流	唤醒时钟为HSI16=16MH24	3 V	2.46	-	-	-	-	-	-	-	-	不

- 除非另有说明，否则由表征结果保证。
- 基于具有两个6.8 pF负载电容器的32.768 kHz晶体(MC306-G-06Q-32.768，制造商JFVN)的表征。SRAM2模式下Standby供电电流为:IDD_ALL(Standby) + IDD_ALL(SRAM2)。SRAM2模式的RTC Standby供电电流为:IDD_ALL(Standby + RTC) + IDD_ALL(SRAM2)。
-
- 从Flash中执行代码唤醒。表36中指定的典型唤醒时间的平均值:低功耗模式唤醒时间。

表33。关机模式下的电流消耗

象征	参数	条件		类型						马克斯				单位
		-	VDD的	25°C	55°C	85°C	105°C	125°C	25°C	55°C	85°C	105°C	125°C	
国际长途电话 (关闭)	关机时的电源电流模式(保留备份寄存器)RTC禁用		1.8 V	19	140	885	2500	6600	78.0	490	3100	8100	24000	和
			2.4 V	28	180	1050	2950	7800	94.0	570	3600	9300	27000	
			3 V	43	230	1300	3600	9300	130	680	4100	11000	31000	
			3.6 V	87	360	1750	4700	12000	190	870	4900	13000	35000	

表33。关机模式下的电流消耗(续)

象征	参数	条件		类型						马克斯(1)				单位
		*	视频点播	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	25°摄氏度	55°摄氏度	85°摄氏度	105°摄氏度	125°摄氏度	
国际直 拨关机(含RTC)	在关机模 式下供电 电流(备份 寄存器雨)RTC启用	清信信 托公司 由LSE 以 32768 Hz旁路 进行时 钟处理	1.8 v 2.4 v 3 v 3.6 v	330 460 745 2100	445 605 1000 2850	1150 1450 2200 4900	2700 3350 4550 8150	6800 8150 10500 15500	- - - -	- - - -	- - - -	- - - -	- - - -	nA
		清信信 托公司 时钟由 LSE quarz2 在低驱 动模式	1.8 v 2.4 v 3 v 3.6 v	285 410 565 780	450 585 770 1200	1050 1300 1750 2400	2500 3050 3750 4850	- - - -	- - - -	- - - -	- - - -	- - - -	- - - -	
		电源电流唤醒IDD(从) 期间唤醒时钟是从Shutdown HSI16= Shutdown)	3 v	1.6	-	-	-	-	-	-	-	-	-	不
		模式	16兆赫(3)											

1. 除非另有规定，否则由表征结果保证。

2. 基于具有两个6.8 pF负载电容器的32.768 kHz晶体(MC306-G-06Q-32.768，制造商JFVN)的表征。

3. 从Flash中执行代码唤醒。[表36中指定的典型唤醒时间的平均值:低功耗模式唤醒时间。](#)

表34。VBAT模式下的电流消耗

象征	参数	条件	类型						马克斯	单位	
			-	VBAT	25°C	55°C	85°C	105°C	125°C		
IDDBAT)	备用域供电电流	清偿信托 公司 禁用	1.8 v	▲	17	92	245	600	-	-	-
			2.4 v	5	20	105	280	690	-	-	-
			3 v	„	24	125	330	805	-	-	-
			3.6 v	16	54	260	675	1650	-	-	-
		清偿信托 公司 使能并通 过LSE旁 路时钟， 频率为 32768 Hz	1.8 v	310	315	350	470	-	-	-	-
			2.4 v	435	440	500	665	-	-	-	-
			3 v	720	815	1050	1350	-	-	-	-
			3.6 v	2150	2600	3400	4050	-	-	-	-
		清偿信托 公司 启用和 时钟由 LSE石 英/2)	1.8 v	270	345	455	715	835	-	-	-
			2.4 v	385	455	650	910	910	-	-	-
			3 v	525	600	910	1150	1000	-	-	-
			3.6 v	710	995	1250	1700	1900	-	-	-

1. 除非另有规定，否则由表征结果保证。

2. 基于一个带有两个6.8 pF负载电容的32.768 kHz晶体(MC306-G-06Q-32.768，制造商JFVN)所做的表征。

IO系统电流消耗

I/O系统的当前消耗有两个组成部分:静态和动态。

I/O静态电流消耗

当引脚外部保持低电平时,用作上拉输入的所有I/o都会产生电流消耗。这个电流消耗的值可以通过[使用表54:I/O静态特性中给出的上拉/下拉电阻值来简单计算。](#)

对于输出引脚,还必须考虑任何外部下拉或外部负载来估计电流消耗。

额外的I/O电流消耗是由于配置为输入的I/o,如果中间电压电平是外部施加的。这种电流消耗是由用于区分输入值的输入施密特触发器引起的。除非应用程序需要这种特定配置,否则可以通过在模拟模式下配置这些I/o来避免这种电源电流消耗。特别是ADC、OPAMP、COMP输入引脚应该配置为模拟输入的情况。

警告:

由于外部电磁噪声,任何浮动输入引脚也可能在无意中沉降到中间电压水平或切换。为了避免与浮动引脚相关的电流消耗,必须要将其配置为模拟模式,要在内部强制为确定的数字值。这可以通过使用上拉/下拉电阻或将引脚配置为输出模式来实现。

I/O动态电流消耗

除了之前测量的内部外设电流消耗(参见[表36:低功耗模式唤醒时间](#)),应用程序使用的I/o也会影响电流消耗。当一个I/O引脚开关时,它使用来自I/O供电电压的电流为I/O引脚电路供电,并对连接到引脚的容性负载(内部或外部)进行充电/放电:

$$I_{SW} = V_{DDIOx} \times f_{SW} \times C$$

在哪里

I_{SW} 是开关I/O对容性负载充电/放电的电流

V_{DD} 是I/O供电电压

f_{SW} 为I/O开关频率

C是I/O引脚看到的总电容: $C = C_{INT} + C_{EXT} + C_S$

C_S 是PCB板电容,包括焊脚。

测试引脚配置为推挽输出模式,由软件以固定频率进行切换。

片上外设电流消耗

片上外设的电流消耗如[表35所示](#)。单片机被放置在以下条件下：

- 所有I/O引脚都处于模拟模式
- 给定值是通过测量电流消耗的差异来计算的：
 - 当外设被接通时
 - 当外设关闭时
- 环境工作温度和电源电压条件总结于[表14:电压特性](#)
- 片上外设数字部分的功耗如[表35所示](#)。外设模拟部分的功耗(如适用)在数据表的每个相关部分中显示。

表35。外设电流消耗

公共汽车	外围	范围1 Boost模 式	范围1普 通模式	范围2	低功率跑步 和睡眠	单位
AHB1	总线矩阵	6.12	5.69	4.70	6.11	$\mu\text{A}/\text{MHz}$
	AHB1到APB1桥	0.26	0.25	0.22	0.03	
	AHB1到APB2桥	0.39	0.37	0.32	0.03	
	FSMC公司	10.21	9.52	7.87	10.28	
	QUADSPI	3.51	3.27	2.69	3.51	
	心脏的	1.28	1.19	0.98	0.78	
	CRC	0.74	0.68	0.57	0.63	
	DMA 1 (马克阿) 1	2.83	2.64	2.17	2.75	
	DMA 2	3.11	2.90	2.39	2.43	
	DMAMUX	6.71	6.26	5.17	6.68	
	SRAM1	0.58	0.54	0.44	0.54	
	闪光	6.46	6.01	4.95	6.15	
	FMAC	4.59	4.29	3.57	3.83	

表35。外设电流消耗(续)

公共汽车	外围	范围1 提高 模式	范围1 正常的 模式	范围2	低功率跑步和 睡眠	单位
AHB2型	ADC1/ADC2型	6.24	5.80	4.77	5.88	$\mu\text{A}/\text{MHz}$
	ADC3/ADC4/ADC5	8.21	7.64	6.29	8.14	
	数模转换器1	4.70	4.38	3.63	4.40	
	DAC2	2.51	2.34	1.93	2.14	
	DAC3	4.62	4.31	3.57	4.15	
	DAC4型	4.31	4.01	3.32	3.90	
	GPIO系统	0.09	0.08	0.07	0.14	
	GPIOB	0.10	0.09	0.07	0.03	
	GPIOC的	0.10	0.09	0.08	0.03	
	GPIOD	0.06	0.06	0.03	0.05	
	GPIOE系统	0.23	0.22	0.18	0.10	
	GPIOF	0.07	0.07	0.05	0.02	
	GPIOG的	0.25	0.24	0.20	0.24	
	SRAM SRAM	0.39	0.37	0.29	0.28	
		0.29	0.27	0.23	0.22	
	RNG	2.09	1.95	和	和	

表35。外设电流消耗(续)

公共汽车	外围	射程1提升模式	范围1正常的模式	范围2	低功率跑步和睡眠	单位
APB1	CRS	0.74	0.68	0.57	0.51	μA/MHz
	FDCAN1 / FDCAN2 / FDCAN3	22.20	20.68	17.10	21.15	
	12	1.29	1.20	0.99	1.28	
	12c2	1.29	1.20	0.99	1.28	
	12c3	1.25	1.17	0.96	1.56	
	12c4	1.25	1.16	0.96	1.97	
	LPTIM1	1.11	1.03	0.85	1.42	
	LPUART1	1.91	1.78	1.47	2.03	
	压水式反应堆	0.71	0.65	0.53	0.53	
	清债信托公司	2.64	2.46	2.07	3.26	
	Spi2/12s2	4.05	3.77	3.11	4.16	
	spi3/12s3	4.08	3.81	3.13	4.49	
	tim2	7.97	7.42	6.16	8.29	
	TIM3	6.37	5.93	4.92	6.81	
	TIM4	6.43	5.98	4.97	6.50	
	TIM5	8.28	7.71	6.38	8.11	
	TIM6	1.22	1.13	0.94	1.45	
	TIM7	1.28	1.18	0.98	1.56	
	UART4	2.51	2.33	1.92	3.14	
	UART5	2.79	2.60	2.14	3.34	
	美国艺术	2.75	2.56	2.12	3.11	
	2 美国艺	2.71	2.52	2.08	2.47	
	术3 USB	0.46	0.43	和	和	
	UCPD的	2.46	2.28	1.89	和	
	WWDG公司	0.42	0.39	0.31	0.42	

表35。外设电流消耗(续)

公共汽车	外围	范围1 Boost模 式	范围1普 通模式	范围2	低功率跑步和 睡眠	单位
APB2	HRTIM	69.98	65.11	53.68	60.95	$\mu\text{A}/\text{MHz}$
	SAI1	2.67	2.48	2.05	2.64	
	SPI1型	1.99	1.86	1.54	2.02	
	SPI4	1.99	1.86	1.54	2.02	
	tim1	10.85	10.13	8.40	9.93	
	tim8	10.67	9.96	8.25	9.82	
	tim15	4.81	4.48	3.71	4.57	
	tim16	3.71	3.45	2.88	3.45	
	TIM17	3.66	3.41	2.83	3.81	
	TIM20	10.71	9.99	8.29	10.00	
	美国艺术1	2.49	2.31	1.91	2.49	
	SYSCFG / COMP / OPAMP / VREFBUF	1.63	1.52	1.25	0.91	

表35。外设电流消耗(续)

公共汽车	外围	射程1 正常模式	射程1 增益模式	范围2	低功率跑步和睡眠	单位
独立时钟域	ADC1 - 模数转换器2 独立时钟域	0.72	0.67	0.53	0.63	μA/MHz
	ADC3 / ADC4 - ADC5 独立时钟域	0.67	0.62	0.50	0.22	
	FDCAN1 / FDCAN2 / FDCAN3型 独立时钟域	11.62	10.84	8.95	10.24	
	I2C1 独立时钟域	4.03	3.76	3.12	4.15	
	I2C2 独立时钟域	3.78	3.52	2.93	3.23	
	I2C3 独立时钟域	2.72	2.55	2.11	2.65	
	I2C4 独立时钟域	3.95	3.67	3.04	2.81	
	I2S2 独立时钟域	1.49	1.40	1.15	1.63	
	12个s3 独立时钟域	1.52	1.43	1.16	2.15	
	LPTIM1 独立时钟域	4.00	3.71	3.08	3.57	
	LPUART1 独立时钟域	4.43	4.13	3.45	4.02	
	QUADSPI 独立时钟域	0.54	0.51	0.44	0.75	
	RNG 独立时钟域	0.83	0.87	和	和	
	USB 独立时钟域	1.10	1.17	和	和	
	SAI1 独立时钟域	3.36	3.14	2.58	3.25	
	UART4 独立时钟域	6.60	6.17	5.14	6.02	
	UART5 独立时钟域	6.60	6.16	5.12	6.12	
	美国艺术1 独立时钟域	7.62	7.12	5.89	6.90	
	美国艺术2 独立时钟域	7.37	6.86	5.70	6.72	
	USART3 独立时钟域	7.98	7.44	6.17	8.21	
所有	-	369.00	316.04	266.18	325.00	μA/MHz

5.3.6 从低功率模式和电压缩放转换时间唤醒时间

[表36](#)给出的唤醒时间是事件和执行第一条用户指令之间的延迟时间。

在WFE (Wait For Event)指令之后，设备进入低功耗模式。

表36。低功耗模式唤醒时序(1)

象征	参数	条件	类型	马克斯	单位
twUSLEEP	从睡眠模式到运行模式的唤醒时间	-	11	12	CPU周期的Nb
twULPSLEEP	从Low唤醒时间 power sleep模式为Low 电源运行模式	-	10	11	
两个停止	Flash中从Stop 0模式到Run模式的唤醒时间	范围1	唤醒时钟HSI16 16 MHz	5.8	6
		范围2	唤醒时钟HSI16 16 MHz	18.4	19.1
	唤醒时间从停止0模式到运行模式 从停止1模式到运行在Flash中 SRAM1	范围1	唤醒时钟HSI16 16 MHz	2.8	3
		范围2	唤醒时钟HSI16 16 MHz	2.9	3
twuSTOP1	SRAM1从停止1模式到运行模式的唤醒时间 Flash中从停止1模式到低功耗运行模式的唤醒时间	范围1	唤醒时钟HSI16 16 MHz	9.5	9.8
		范围2	唤醒时钟HSI16 16 MHz	21.9	22.7
		范围1	唤醒时钟HSI16 16 MHz	6.6	6.9
		范围2	唤醒时钟HSI16 16 MHz	6.4	6.6
	SRAM1从停止1模式到低功耗运行模式的唤醒时间	低功率稳压器 模式(LPR = 1 在PWR_CR1)	唤醒时钟HSI16 = 16 MHz, 与HPRE = 8	26.1	27.1(2)
				14.4	15(2)
SRAM2	twUSTBY从待机模式到运行模式的唤醒时间	范围1	唤醒时钟HSI16 16mhz	29.7	33.8
	twUSTBY从SRAM2待机模式到运行模式的唤醒时间	范围1	唤醒时钟HSI16 16 MHz	29.7	33.5
twUSHDN系列	从关机模式到运行模式的唤醒时间	范围1	唤醒时钟HSI16 16 MHz	267.9	274.6(2)
twULPRUN	从低功耗运行模式到运行模式的唤醒时间(3)	唤醒时钟HSI16 16 MHz HPRE = 8		5	7

1. 表征结果保证。

2. 温度范围0°C至125°C的表征结果。

3. 在PWR_SR2中清除REGLPF标志所需的时间。

表37。稳压器模式转换次数(1)

象征	参数	条件	类型	马克斯	单位	
创造	2到1量程或 的过渡时间(2)	稳压器从量程1到量程2 唤醒时钟HSI16= 16 MHz 带HPRE = 8		20	40	μs

1. 表征结果保证。

2. 在PWR_SR2中清除VOSF标志所需的时间。

表38。使用USART/LPUART的唤醒时间(1)

象征	参数	条件	Typ	马克斯	单位
twUUSART twULPUART	唤醒所需时间计算 最大USART/LPUART波特率	停止0模式	-	1.7	μs
	允许从停止模式唤醒 USART/LPUART时钟源为 HSI16	停止1模式	-	8.5	

1. 设计保证。

5.3.7 外部时钟源特性

由外部源生成的高速外部用户时钟

在旁路模式下，HSE振荡器关闭，输入引脚为标准GPIO。

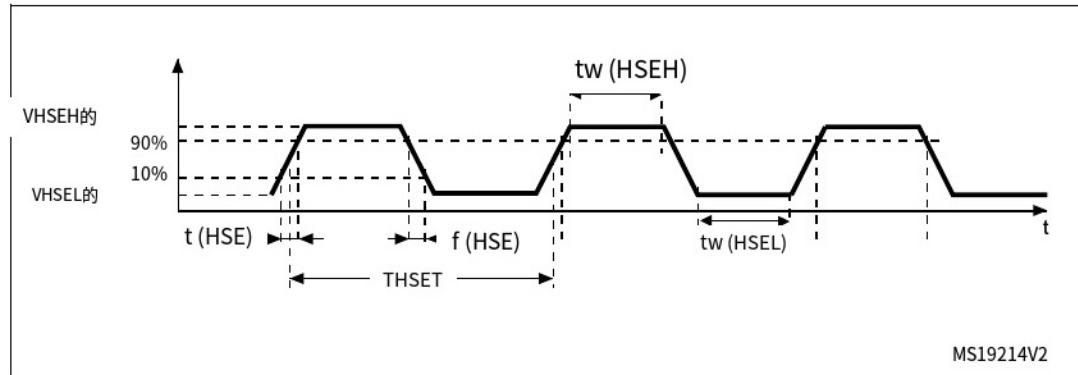
外部时钟信号必须遵守第5.3.14节中的I/O特性。但是，推荐的时钟输入波形如图19所示：高速外部时钟源AC时序图。

表39。高速外部用户时钟特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fHSE_ext	用户外部时钟源频率	电压压缩放范围1	-	8	48	兆赫
		电压压缩放范围2	-	8	26	
VHSEL的	OSC_IN输入引脚高电平 电压	-	0.7 伏特	-	VDD的	V
	OSC_IN输入引脚低电平 电压	-	Vss	-	0.3 伏他	
太瓦(HSEH) 太瓦(HSEL)	OSC_IN高或低时间	电压压缩放范围1	7	-	-	ns
		电压压缩放范围2	18	-	-	

1. 设计保证。

图19所示。高速外部时钟源AC时序图



由外部源生成的低速外部用户时钟

旁路模式下，LSE振荡器关闭，输入引脚为标准GPIO。

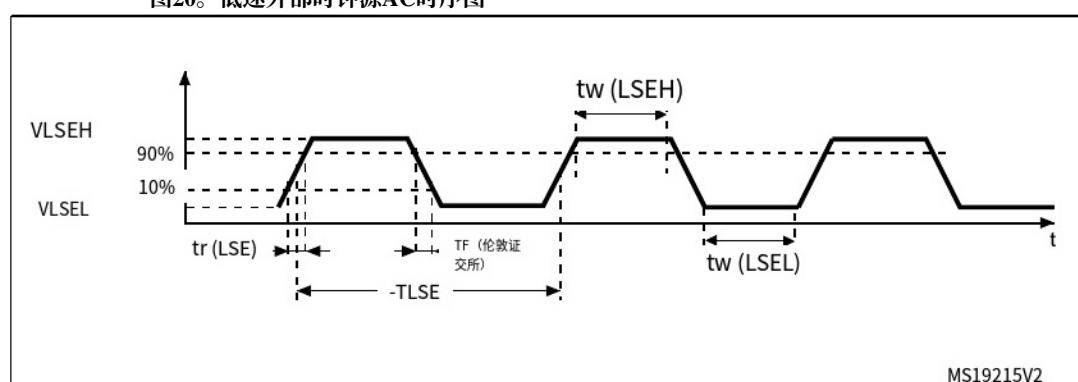
外部时钟信号必须尊重第5.3.14节中的I/O特性。但是，推荐的时钟输入波形如图20所示。

表40。低速外部用户时钟特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fLSE_ext	用户外部时钟源频率	-	-	32.768	1000	千赫
VLSEH	OSC32_IN输入引脚高电平电压	-	0.7 伏特	-	VDD的	V
VLSEL	OSC32_IN输入引脚低电平电压	-	Vss	-	0.3 伏他	
太瓦(LSEH) 太瓦(LSEL)	OSC32_IN高、低时间	-	250	-	-	ns

1. 设计保证。

图20。低速外部时钟源AC时序图



由晶体/陶瓷谐振器产生的高速外部时钟

高速外部(HSE)时钟可提供4至48 MHz晶体/陶瓷谐振器。本段给出的所有信息均基于[使用表41中指定的典型外部元件获得的设计仿真结果](#)。在应用中，谐振器和负载电容器必须尽可能靠近振荡器引脚放置，以尽量减少输出失真和启动稳定时间。有关谐振器特性(频率、封装、精度)的更多详细信息，请参考晶体谐振器制造商。

表41。HSE振荡器特性(1)

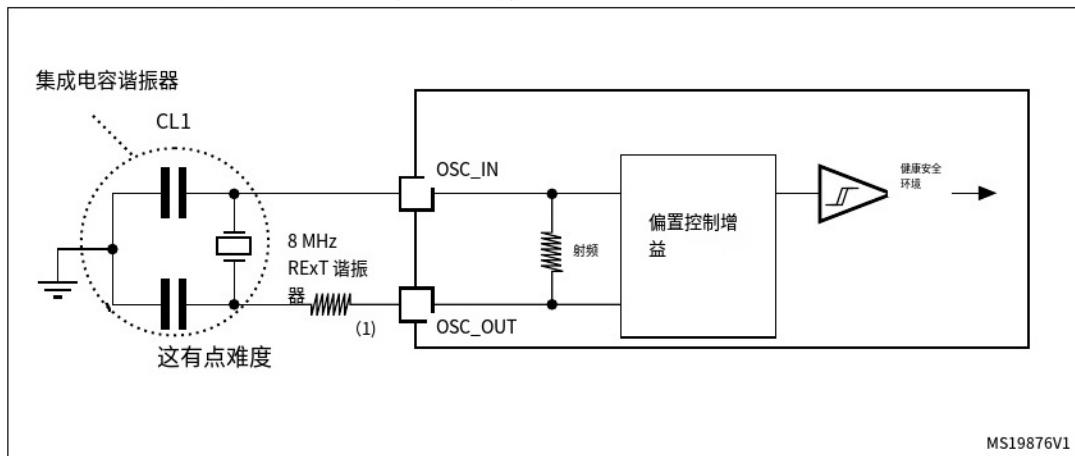
象征	参数	条件(2)	最小值	类型	马克斯	单位
fosc_IN	振荡频率	-	4	8	48	兆赫
射频	反馈电阻	-	-	200	-	千兆瓦
国际长途汽车 (HSE)	HSE电流消耗	在启动期间(3)	-	-	5.5	不
		VDD= 3V, Rm = 30 Ω, CL= 10 pF@8 MHz	-	0.44	-	
		VDD = 3V, Rm = 45 Ω, CL= 10 pF@8 MHz	-	0.45	-	
		VDD=3 V, Rm = 30 Ω, CL = 5 pF@48 MHz	-	0.68	-	
		VDD=3 V, CL = 10 pF@48 MHz 罗= 30Ω,	-	0.94	-	
		VDD =3 V, 罗= 30Ω, CL = 20 pF@48 MHz	-	1.77	-	
通用汽车	最大临界晶体跨导	启动	-	-	1.5	马/V
tSU (HSE) ⁽⁴⁾	启动时间	Vpp稳定	-	2	-	女士

1. 设计保证。
2. 晶体/陶瓷谐振器制造商给出的谐振器特性。
3. 这种消耗水平发生在tSU(HSE)启动时间的前2/3
4. tSU(HSE)是从启动(通过软件)到达到稳定的8 MHz振荡的那一刻开始测量的启动时间。该值是为标准晶体谐振器测量的，它可以随晶体制造商而显着变化

对于CL1和CL2，建议使用5 pF至20 pF范围(类型)的高质量外部陶瓷电容器，专为高频应用而设计，并根据晶体或谐振器的要求进行选择([见图21](#))。CL1和CL2通常大小相同。晶体制造商通常指定负载电容是CL1和CL2的系列组合。在确定CL1和CL2的尺寸时，必须包括PCB和MCU引脚电容(10 pF可以用作组合引脚和电路板电容的粗略估计)。

注意：有关选择晶体的信息，请参阅ST网站www.st.com上的应用说明AN2867“ST微控制器振荡器设计指南”。

图21。典型应用与8 MHz晶体



1. REXT值取决于晶体特性。

由晶体谐振器产生的低速外部时钟

低速外部(LSE)时钟可以提供一个32.768 kHz晶体谐振振荡器。本段给出的所有信息均基于[使用表42中指定的典型外部元件获得的设计仿真结果](#)。在应用中，谐振器和负载电容器必须尽可能靠近振荡器引脚放置，以尽量减少输出失真和启动稳定时间。有关谐振器特性(频率、封装、精度)的更多详细信息，请参考晶体谐振器制造商。

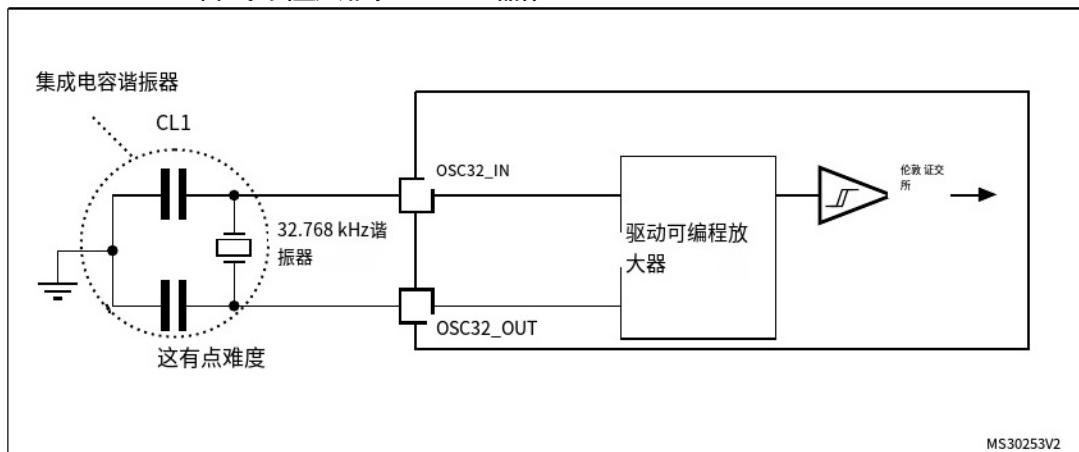
表42。LSE振荡器特性(fLSE = 32.768 kHz)(1)

象征	参数	条件(2)	最小值	类型	马克斯	单位
DD (伦敦证交所)	LSE电流消耗	LSEDRV[1: 0] = 00 低驱动能力	-	250	-	和
		LSEDRV[1: 0] = 01 中低驱动能力	-	315	-	
		LSEDRV[1: 0] = 10 中高驱动能力	-	500	-	
		LSEDRV[1: 0] = 11 高驱动能力	-	630	-	
Gmcritmax	最大临界晶体gm	LSEDRV[1: 0] = 00 低驱动能力	-	-	0.5	μAV
		LSEDRV[1: 0] = 01 中低驱动能力	-	-	0.75	
		LSEDRV[1: 0] = 10 中高驱动能力	-	-	1.7	
		LSEDRV[1: 0] = 11 高驱动能力	-	-	2.7	
tsu (LSE) ⁽³⁾	启动时间	VDD稳定	-	2	-	

1. 设计保证。
2. 请参阅下表的说明和注意事项段落，以及应用说明AN2867“ST微控制器振荡器设计指南”。
3. tSU(LSE)是从启用(通过软件)到达到稳定的32.768 kHz振荡的那一刻开始测量的启动时间。该值是为标准晶体测量的，它可以随晶体制造商而显着变化

注意：有关选择晶体的信息，请参阅ST网站www.st.com上的应用说明AN2867“ST微控制器振荡器设计指南”。

图22。典型应用与32.768 kHz晶体



注意：在OSC32_IN和OSC32_OUT之间不需要外部电阻，禁止添加外部电阻。

5.3.8 内部时钟源特性

[表43](#)中给出的参数来自于在环境温度和电源电压条件下进行的试验, [表17:一般工作条件总结](#)所提供的曲线为表征结果, 未在生产中进行测试。

高速内部(HSI16) RC振荡器

表43。HSI16振荡器特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fHSI16型	HSI16频率	Vdd =3.0 v, ta =30°C	15.88	-	16.08	兆赫
修剪	HSI16用户修剪步骤	微调码不是64的倍数	0.2	0.3	0.4	%
		微调码为64的倍数	-4	-6	-8	
DuCy (HSI16) (2)	工作周期	-	45	-	55	%
温度 (HSI16)	HSI16振荡器频率随温度漂移	TA= 0 至 85 °C	-1	-	-	%
		TA=-40 至 125 °C	-2	-	1.5	%
ΔVDD (HSI16)	HSI16振荡器频率漂移在 VDD上	VDD=1.62 V ~ 3.6 V	-0.1	-	0.05	%
tsu (HSI16) (2)	HSI16振荡器启动时间	-	-	0.8	1.2	μs
stab(HSI16)(2)	HSI16振荡器稳定时间	-	-	3	5	μs
DD (HSI16) (2)	HSI16振荡器功耗	-	-	155	190	μA

1. 表征结果保证。

2. 设计保证。

图23。HSI16频率与温度的关系



高速内部48 MHz (HSI48) RC振荡器

表44。HSI48振荡器特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fHSI48型	HSI48频率	VDD=3.0V, TA=30°C	-	48	-	兆赫
修剪	HSI48用户修剪步骤	-	-	0.11 (2)	0.18(2)	%
用户修剪覆盖率	HSI48用户修剪覆盖率	±32步驟	±3 (3)	±3.5 (3)	-	%
杜西 (HSI48)	工作周期	-	45 (2)	-	55 (2)	%
ACCHSI48_REL	HSI48振荡器过温精度(出厂校准)	VDD=3.0 V ~ 3.6 V, TA=-15 至 85 °C	-	-	±3(3)	%
		VDD=1.65 V ~ 3.6 V, TA=-40 至 125 °C	-	-	±4.5 (3)	%
DVDD (HSI48)	HSI48振荡器频率漂移与VDD	VDD = 3v ~ 3.6 V	-	0.025 (3)	0.05 (3)	
		VDD= 1.65 V ~ 3.6 V	-	0.05 (3)	0.1 (3)	%
苏氏(HSI48)	HSI48振荡器启动时间	-	-	2.5 (2)	6 (2)	μs
Dd (HSI48)	HSI48振荡器功耗	-	-	340(2)	380(2)	μA

表44。HSI48振荡器特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
NT jitter	下一个过渡抖动累积抖动 28个周期(4)	-	-	+/-0.15(2)	-	ns
PT抖动	配对过渡抖动56个周期累 积抖动(4)	-	-	+/-0.25(2)	-	ns

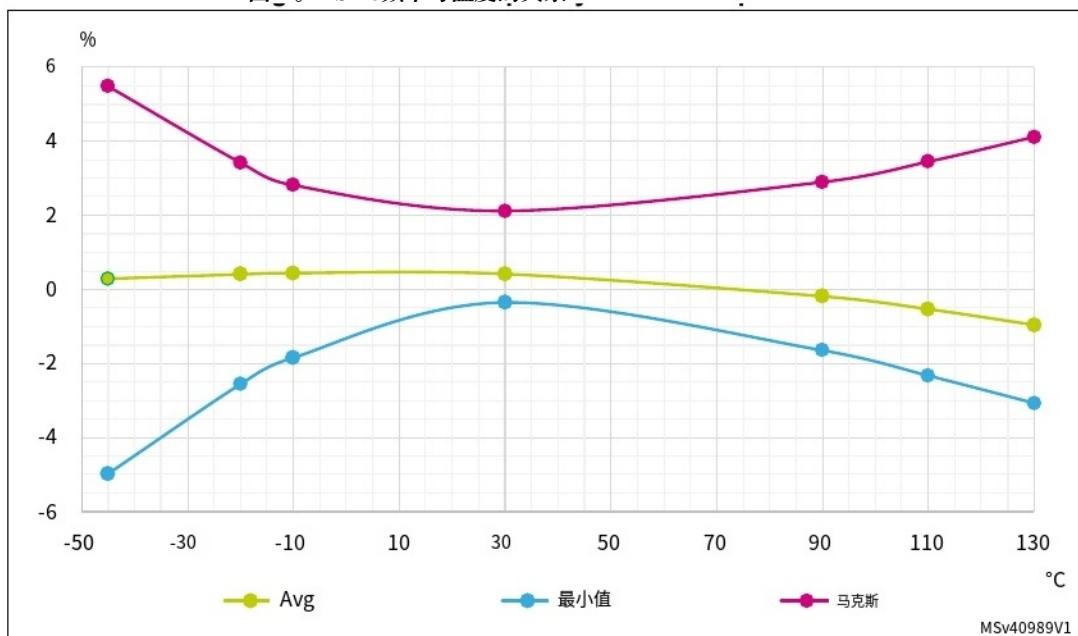
1. VDD = 3V, TA = -40 ~ 125°C, 除非另有说明。

2. 设计保证。

3. 表征结果保证。

4. 在没有时钟源并行激活的情况下进行抖动测量。

图24。HSI48频率与温度的关系



低速内部(LSI) RC振荡器

表45。LSI振荡器特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fLSI信号	大规模集成电路的频率	VDD=3.0 V, TA= 30 °C	31.04	-	32.96	千赫
		VDD= 1.62 ~ 3.6 V, TA=-40 至 125 °C	29.5	-	34	
tsu(LSI)(2)	LSI振荡器启动时间		-	-	80	130 μs

表45。LSI振荡器特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
Stab (LSI)(2)	LSI振荡器稳定时间	最终频率的5%	-	125	180	μs
DD (LSI) (2)	LSI振荡器功耗	-	-	110	180	和

1. 表征结果保证。

2. 设计保证。

5.3.9 锁相环的特点

表46中给出的参数来源于表17中总结的温度和VDD电源电压条件下进行的试验:一般工作条件。

表46。PLL特性(1)

象征	参数	条件	最小值	Typ	马克斯	单位
fPLL_IN	锁相环输入时钟(2)	-	2.66	-	16	兆赫
	锁相环输入时钟占空比	-	45	-	55	%
fPLL_P_OUT	锁相乘法器输出时钟P	电压缩放范围1升压模式	2.0645	-	170	兆赫
		电压缩放范围1	2.0645	-	150	
		电压缩放范围2	2.0645	-	26	
fPLL_Q_OUT	锁相乘法器输出时钟Q	电压缩放范围1 提升模式	8	-	170	兆赫
		电压缩放范围1	8	-	150	
		电压缩放范围2	8	-	26	
fPLL_R_OUT	锁相乘法器输出时钟R	电压缩放范围1升压模式	8	-	170	兆赫
		电压缩放范围1	8	-	150	
		电压缩放范围2	8	-	26	
fvco_OUT	锁相环压控输出	电压缩放范围1	96	-	344	TPS的
		电压缩放范围2	96	-	128	
锁	锁相环锁定时间	-	-	15	40	μs
抖动	RMS周期间抖动	系统时钟150 MHz	-	28.6	-	TPS的
	RMS周期抖动		-	21.4	-	
DD (PLL)	VDD锁相环功耗	VCO频率= 96 MHz	-	200	260	μA
		VCO频率= 192MHz	-	300	380	
		VCO频率= 344 MHz	-	520	650	

1. 设计保证。

2. 注意使用适当的除法因子M来获得指定的PLL输入时钟值。

5.3.10 闪存特性

表47。闪存特性(1)

象征	参数	条件	类型	马克斯	单位
tprog	64位编程时间	-	81.7	83.35	μs
prog_row	一行(32双) wrd) 编程时间	正常的程序	2.61	2.7	女士
		快速编程	1.91	1.95	
tprog_page	一页(2kbytes)编程时 间	正常的程序	20.91	21.34	女士
		快速编程	15.29	15.6	
擦除	页(2kbytes)擦除时间	-	22.02	24.47	
tprog_bank	一个银行(256 Kbyte)编 程时间	正常的程序	2.68	2.73	
		快速编程	1.96	2	
tME	海量擦除时间(一个 或两个银行)	-	22.13	24.6	女士
国际长途 电话	VDD的平均消费量	写模式	3.5	-	不
		擦除模式	3.5	-	
	最大电流(峰值)	写模式	7(适用于6 μs)	-	
		擦除模式	7(适用于67 μs)	-	

1. 设计保证。

表48。闪存续航能力和数据保留能力

象征	参数	条件	分钟(1)	单位
I _{RET}	嫩德 耐力	TA = -40 至 +105 °C	10	千轮车
		TA = 85 °C 时为 1 kcycle(2)	30	年
	数据保留	TA = 105 °C 时为 1 kcycle (2)	15	
		1 kcycle(2) at = 125°C	7	
		10 kcycles(2)在TA = 55°C	30	
		10 kcycles(2) at TA = 85 °C	15	
		TA = 105 °C 时为 10 kcycles (2)	10	

1. 表征结果保证。

2. 在整个温度范围内进行循环。

5.3.11 EMC特性

在器件表征期间，在样品基础上进行敏感性测试。

功能性EMS(电磁敏感性)

当一个简单的应用程序在设备上执行时(通过I/O端口切换2个led)。设备受到两个电磁事件的压力，直到发生故障。故障由led灯指示：

- **静电放电(ESD)**(正极和负极)应用于所有器件引脚，直到发生功能干扰。本测试符合IEC 61000-4-2标准。
- **FTB:**通过100pf电容器将快速瞬态电压(正、负)的突发施加到VDD和VSS，直到发生功能干扰。本测试符合IEC 61000-4-4标准。

设备复位允许恢复正常的操作。

试验结果见[表49](#)。它们基于应用说明AN1709中定义的EMS级别和类别。

表49。EMS特性

象征	参数	条件	水平/ 类
VFESD	施加在任何I/O引脚上的电压限制，以引起功能干扰	VDD=3.3 V, TA= +25 °C, fHCLK=170 MHz, 符合IEC 61000-4-2	3 b
VEFTB	通过100pf在Vpp和Vss引脚上施加快速瞬态电压突发限制，以诱导功能干扰	VDD=3.3 V, TA= +25 °C, fHCLK=170 MHz, 符合IEC 61000-4-4	5

设计硬化软件，避免噪音问题

通过典型的应用环境和简化的MCU软件，在组件级进行EMC表征和优化。应该指出的是，良好的EMC性能高度依赖于用户应用程序，特别是软件。

因此，建议用户根据其应用要求的EMC级别进行EMC软件优化和资格预审测试。

软件推荐

软件流程图必须包括失控条件的管理，例如：

- 程序计数器损坏
- 意外复位
- 关键数据损坏(控制寄存器…)

资格预审试验

大多数常见故障(意外复位和程序反损坏)可以通过手动在NRST引脚或振荡器引脚上强制低状态1秒来重现。

为了完成这些试验，可以在规格值范围内直接在器件上施加ESD应力。当检测到意外行为时，可以对软件进行加固，以防止发生不可恢复的错误(参见应用说明AN1015)。

电磁干扰(EMI)

当执行一个简单的应用程序(通过I/O端口切换2个led)时，设备发出的电磁场被监控。该发射测试符合IEC 61967-2标准，该标准规定了测试板和引脚负载。

表50。EMI特性

象征	参数	条件	监测频段	麦克斯 vs. [fHsE/fHCLK]	单位
				8 MHz/170 MHz	
半 峰值水平	VDD = 3.6 V, TA = 25 °C, LQFP128包 符合IEC 61967-2		0.1 MHz至30 MHz	4	dB μ V
			30 MHz至130 MHz	0	
			130 MHz到1 GHz	16	
			1 GHz至2 GHz	11	
			EMI级	3.5	
				-	

5.3.12 电灵敏度特性

基于使用特定测量方法的三种不同测试(ESD, LU)，对器件进行应力，以确定其在电灵敏度方面的性能。

静电放电(ESD)

静电放电(正负脉冲间隔1秒)根据每个引脚组合作用于每个样品的引脚。样品的大小取决于器件中的供电引脚数量(3个零件×(n+1)个供电引脚)。本测试符合ANSI/JEDEC标准。

表51。ESD绝对最大额定值

象征	评级	条件	最大类值(1)	单位
VESD (HBM)	静电放电 电压(人体模型)	TA= +25°C, 符合 ANSI/ESDA/JEDEC JS-001	2	2000 V
VESD (CDM)	静电放电电压(充电器件型号)	TA= +25 °C, 符合 ANSI / ESD / EDE S 002	C1	250 V
		LQFP100 and LQFP128 其他 包	C2a (英磅: C2d)	500

1. 表征结果保证。

静态封闭

评估闭锁性能需要对三个部件进行两个互补的静态测试：

- 对每个电源引脚施加电源过电压。
- 电流注入应用于每个输入，输出和可配置的I/O引脚。这些测试符合EIA/JESD 78E IC闭锁标准。

表52。电敏感

象征	参数	条件	类
你	静态锁存类	TA=+125 °C 符合JESD78E	乙级甲等

5.3.13 I/O电流注入特性

一般来说，在正常的产品操作过程中，由于外部电压低于VSS或高于VDD(对于标准，3.3 v的I/O引脚)，应避免电流注入到I/O引脚。然而，为了在意外发生异常注入的情况下给出微控制器鲁棒性的指示，在器件表征期间以样品为基础进行敏感性测试。

I/O电流注入的功能敏感性

当在器件上执行一个简单的应用程序时，通过向以浮动输入模式编程的I/O引脚注入电流来对器件施加压力。当电流注入I/O引脚时，一次一个，检查设备是否存在功能故障。

故障由超出范围的参数表示:ADC误差超过一定限制(高于5 LSB TUE)，超出相邻引脚的感应漏电流的常规限制(超出-5 μ a /+0 μ a范围)或其他功能故障(例如复位发生或振荡器频率偏差)。

表征结果如[表53所示](#)。

负注入产生负的感应漏电流，正注入产生正的感应漏电流。

表53。I/O电流注入磁化率

象征	描述	功能的敏感性		单位
		阴性	阳性	
INJ)	引脚注入电流	除TT_a、PF10、PB8-BOOT0、PC10外全部注射	-5	和
		Pf10, pb8-boot0, pc10	-0	和
		TT_a针	-5	0

1. 由人物塑造保证。

5.3.14 I/O端口特性

通用输入/输出特性

除非另有说明, 表17中给出的参数是在表17:一般工作条件下进行的试验得出的。所有I/o都设计为CMOS和ttl兼容。

表54。I/O静态特性

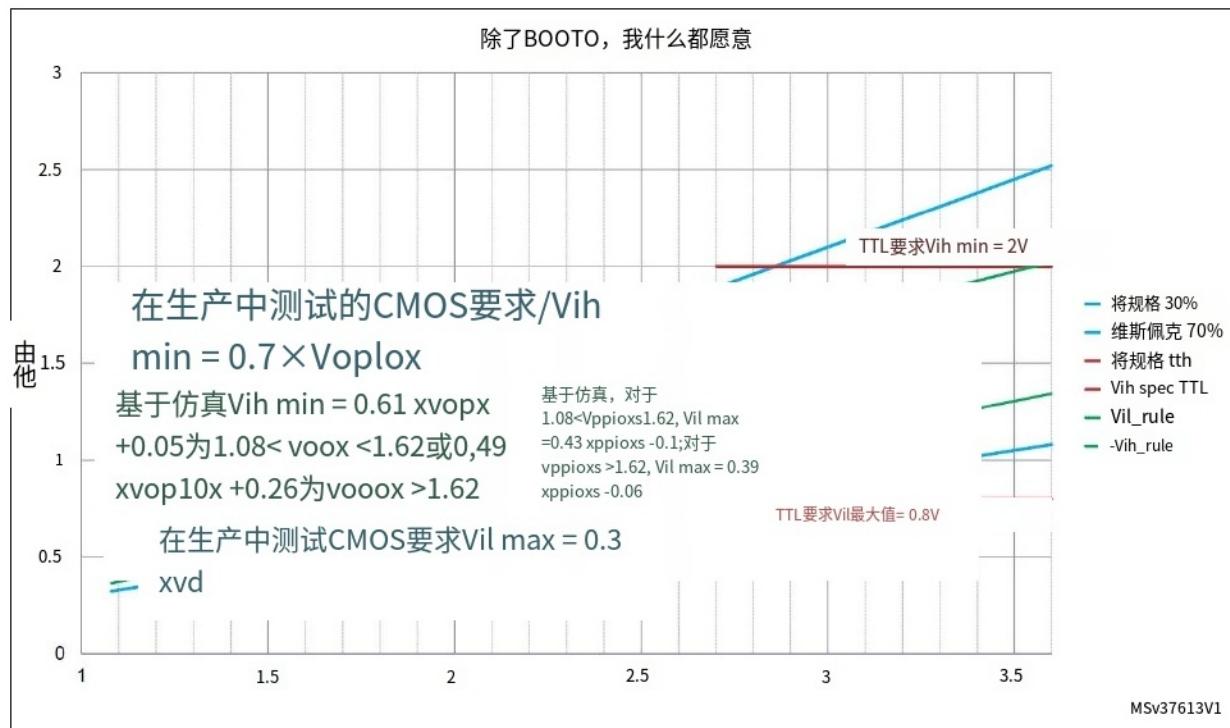
象征	参数	条件	最小值	类型	马克斯	单位
V _I ^{(1) (2)}	I/O输入 低电平电压	除FT_c外 均为	1.62 V < VDD < 3.6 V	-	0.3 xvdd 0.39xVpp-0.06(3)	V
		FT_c	1.62 V < VDD < 3.6 V	-	0.3 xvdd 0.25 xvdd	
V _I ^{(1) (2)}	I/O输入高 电平电压	除FT_c外 均为	1.62 V < VDD < 3.6 V	0.7 xvdd 0.49xVpD + 0.26(3)	-	V
		FT_c	1.62 V < VDD < 3.6 V	0.7 xvdd	-	
VHYS公司 ¹⁾	输入滞后	TT_xx, FT_xxx, NRST	1.62 V < VDD < 3.6 V	-	200	毫伏
泄漏	输入漏电 流(3)	FT_xx 除FT_c	0 < VIN ≤ VDD	-	-	±100
			VDD 带 VIN VoD+1 V	-	-	650(4)
			Vop+1 V < VIN < 5.5 V	-	-	200(4)
		FT_c	0 ≤ VIN ≤ VDDMAX	-	-	2000
			VDD ≤ VIN < 0.5 V	-	-	3000
		FT_u,生物	0 ≤ VIN ≤ VDD	-	-	±150
			VDD ≤ VIN ≤ VDD+1 V	-	-	±2500
			VDD ≤ VIN ≤ 5.5 V	-	-	±250
		FT_d	0 ≤ VIN ≤ VDD	-	-	±4500
			VDD+1 V ≤ VIN ≤ 5.5 V	-	-	±9000
		TT_xx	0 ≤ VIN ≤ VDD	-	-	±150 毫米
			VDD ≤ VIN ≤ 3.6 V	-	-	2000
RPu	弱上拉等效 电阻(5)弱下	VIN = Vss	25	40	55	KΩ
RPD	拉等效电阻 (5)I/O引脚	VIN = VDD	25	40	55	
有限公司	I/O引脚电容电容	-	-	5	-	pF

1. 参考图25:I/O输入特性

2. 数据基于表征结果，未在生产中进行测试
3. 设计保证。
4. 此值表示I/O本身的pad泄漏。产品焊盘泄漏总量由公式提供: $I_{Total_leak_max} = 10 \mu A + [在焊盘上施加VIN的I/O数] \times I_{lkg}(Max)$ 。
5. 上拉和下拉电阻采用可切换PMOS/NMOS串联的真电阻设计。这种PMOS/NMOS对串联电阻的贡献是最小的(~10%)。

所有I/O都是CMOS和ttl兼容的(不需要软件配置)。它们的特性涵盖了严格的cmos技术或TTL参数。[图25](#)显示了标准I/O和5v容忍I/O(FT_c除外)的这些需求的覆盖范围。

图25。I/O输入特性



输出驱动电流

gpio(通用输入/输出)可以吸收或源高达±8 mA，吸收或源高达±20 mA(放宽VOL/VOH)。

在用户应用中，必须限制可以驱动电流的I/O引脚的数量，以尊重第[5.2节](#)规定的绝对最大额定值：

- VDD上所有I/O源的电流之和，加上VDD上MCU源的最大功耗，不能超过绝对最大额定值ΣI_VDD(见[表14:电压特性](#))。
- VSS上所有I/O输入的电流之和，加上VSS上MCU输入的最大功耗，不能超过绝对最大额定值ΣI_vss(见[表14:电压特性](#))。

输出电压等级

除非另有说明，下表中给出的参数均来自于在环境温度和电源电压条件下进行的试验，[表17:一般工作条件](#)。所有I/O操作都是CMOS和ttl兼容的(FT或TT，除非另有说明)。

表55。输出电压特性(1)(2)

象征	参数	条件	最小值	马克斯	单位
卷 (3)	输出低电平电压为一个I/O引脚	CMOS端口 $ol=2\text{ mA}$ 用于FT_c	-	0.4	
$V_{OH}^{(3)}$	输出高电平电压为一个I/O引脚	I/O = 8 mA (其他 I/O VDD) 22.7 V	VDD-0.4型	-	
将 (3)	1/I/O引脚输出低电平电压	TTL端口 $ol=2\text{ mA}$ 对于FT_c I/o = 8 mA对于其他I/o VDD22.7V	-	0.4	
$V_{OH}^{(3)}$	输出高电平电压为一个I/O引脚		2.4	-	
卷 (3)	输出低电平电压为一个I/O引脚	除FT_c $ol=20\text{ mA}$ VDD 22.7V外的所有I/o	-	1.3	
$V_{OH}^{(3)}$	输出高电平电压为一个I/O引脚		视频点播- 1.3	-	
我们 (3)	输出低电平电压为一个I/O引脚	对于FT_c I/o, $ol=1\text{ mA}$ = 其他I/o, $ol=4\text{ mA}$ 电压 2 1.62 V	-	0.4	
$V_{OH}^{(3)}$	输出高电平电压为一个I/O引脚	$ol=20\text{ mA}$	vdd - 0.45	-	
愿意+ (3)	FM+模式下FT I/O引脚输出低电平电压(带“f”的FT I/O) option)	VDD 22.7 V $ol=10\text{ mA}$ VDD 2 1.62 V	-	0.4	
			-	0.4	

1. 设备输入或输入的I/O电流必须始终符合[表14中规定的绝对最大额定值:电压特性](#)，所有输入/o(输入/输出端口和控制引脚)输入或输入的电流之和必须始终符合绝对最大额定值 ΣI_{IO} 。

2. TTL和CMOS输出兼容JEDEC标准JESD36和JESD52。

3. 设计保证。

I输入/输出AC特性

输入/输出AC特性的定义和数值分别[见图26](#)和[表56](#)。

除非另有说明，否则所给出的参数均来源于[表17:一般工作条件](#)中总结的环境温度和电源电压条件下进行的试验。

表56。I/O (FT_c除外)AC特性(1)(2)

速度	象征	参数	条件	最小值	马克斯	单位
00	最大	最大频率	C=50 pF, 2.7 VSVDpS3.6 V	-	5	兆赫
			C=50pf, 1.62 VSvpDS2.7 V	-	1	
			C=10 pF, 2.7 VSvpDS3.6 V	-	10	
			C=10pf, 1.62 VSVDDS2.7 V	-	1.5	
	Tr/TF型	输出上升和下降的时间	C=50pf, 2.7 VSVDDS3.6 V	-	25	ns
			C=50 pF, 1.62 VSVDDS2.7 V	-	52	
			C=10 pF, 2.7 VSVDDS3.6 V	-	17	
			C=10 pF, 1.62 VSVppS2.7 V	-	37	
01	最大	最大频率	C=50pf, 2.7 VSVDDS3.6 V	-	25	兆赫
			C=50 pF, 1.62 VSVppS2.7 V	-	10	
			C=10 pF, 2.7 VSVDDS3.6 V	-	50	
			C=10 pF, 1.62 VSVppS2.7 V	-	15	
	Tr/TF型	输出上升和下降的时间	C=50pf, 2.7 VSVDDS3.6 V	-	9	ns
			C=10 pF, 2.7 VSVDpS3.6 V	-	16	
			C=10 pF, 1.62 VSVDDS2.7 V	-	4.5	
			C=10 pF, 2.7 VSVDDS3.6 V	-	9	
10	最大	最大频率	C=50 pF, 2.7 VsVpps3.6 V	-	50	兆赫
			C=50pf, 1.62 VSvpDS2.7 V	-	25	
			C=10 pF, 2.7 VsVppS3.6 V	-	100(3)	
			C=10 pF, 1.62 VSVppS2.7 V	-	37.5	
	Tr/TF型	输出上升和下降的时间	C=50pf, 2.7 VsVpps3.6 V	-	5.8	ns
			C=10 pF, 2.7 VSVDDS3.6 V	-	11	
			C=10 pF, 1.62 VsVppS2.7 V	-	2.5	
			C=10 pF, 2.7 VSVDDS3.6 V	-	5	
11	最大	最大频率	C=30pf, 2.7 VSVDDS3.6 V	-	120(3)	兆赫
			C=30pf, 1.62 VsVppS2.7V	-	50	
			C=10 pF, 2.7 VSvpDS3.6 V	-	180(3)	
			C=10 pF, 1.62 VSVDDS2.7 V	-	75	
	Tr/TF型	输出升降时间(4)	C=30pf, 2.7 VsVpps3.6 V	-	3.3	ns
			C=30 pF, 1.62 VsVdpS2.7V	-	6	
			C=10 pF, 2.7 VSVppS3.6 V	-	1.7	
			C=10 pF, 1.62 VsVpps2.7V	-	3.3	

表56。I/O (FT_c除外)AC特性(1)(2)(续)

速度的符号	参数	条件	最小值	马克斯	单位	
FM +	最大值 (5) Tr /特遣部队(4)	最大频率 输出高电平到低电平下降时间	C=50 pF, 1.6 VsVppS3.6 V	-	1	兆赫
				-	5	ns

1. I/O速度使用OSPEEDRy[1:0]位配置。Fm+模式在SYSCFG_CFR1寄存器中配置。有关GPIO Port配置寄存器的描述, 请参阅参考手册RM0440 “STM32G4系列高级Arm®32位mcu”。

2. 设计保证。
3. 该值表示I/O能力, 但最大系统频率为170 MHz。
4. 根据I2C规范, 在输出波形的70%到30%之间定义下降时间。
5. 最大频率的定义有以下条件:
 - $(Tr + Tf) \leq 2/3 T$ 。
 - 45% < 占空比 < 55%

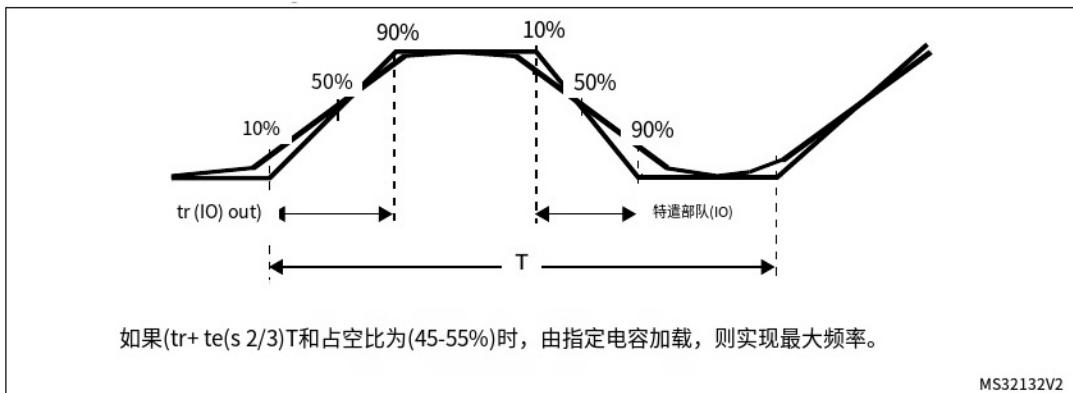
表57。I/O FT_c AC特性(1)(2)

速度	象征	参数	条件	最小值	马克斯	单位
0	最大	最大频率	C=50 pF, 2.7 VsVppS3.6 V	-	2	兆赫
			C=50 pF, 1.6 VSVDpS2.7 V	-	1	
	Tr/TF型	输出H/L到L/H 电平下降时间	C=50 pF, 2.7 VsVppS3.6 V	-	170	ns
			C=50 pF, 1.6 VsVpps2.7 V	-	330	
1	最大	最大频率	C=50pf, 2.7 VSVDSS3.6 V	-	10	兆赫
			C=50 pF, 1.6 VSVDSS2.7 V	-	5	
	Tr/TF型	输出H/L到L/H 电平下降时间	C=50 pF, 2.7 VSVppS3.6 V	-	35	ns
			C=50 pF, 1.6 VSVDpS2.7V	-	65	

1. I/O速度使用OSPEEDRy[1:0]位配置。Fm+模式在SYSCFG_CFR1寄存器中配置。有关GPIO Port配置寄存器的描述, 请参阅参考手册RM0440 “STM32G4系列高级Arm®32位mcu”。

2. 设计保证。

图26。I/O AC特性定义(1)



1. 参见表56:I/O (FT_c除外)AC特性。

5.3.15 NRST引脚特性

NRST引脚输入驱动器采用CMOS技术。它连接到一个永久上拉电阻RPu。

除非另有说明，否则下表中给出的参数均来自于在环境温度和电源电压条件下进行的试验，详见表17:一般工作条件。

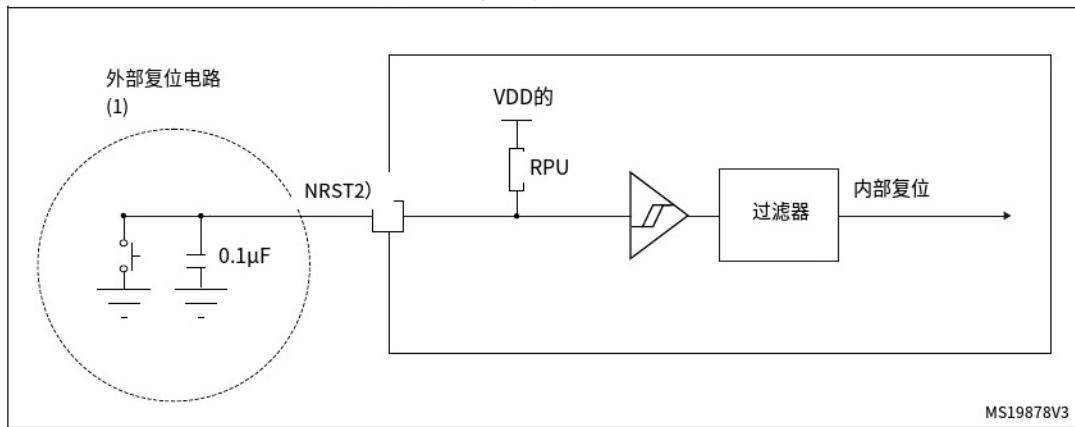
表58。NRST引脚特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
维尔 (NRST)	NRST输入低电平电压	-	-	-	0.3 xvdd	V
VIH (NRST)	NRST输入高电平电压		0.7 vdd	-	-	
V _{hys} (NRST)	NRST施密特触发电压滞后	-	-	200	-	毫伏
RPu	弱上拉等效电阻(2)	V _{IN} =V _{ss}	25	40	55	KΩ
VF (NRST)	NRST输入滤波脉冲	1.71. VDD<3.6 V	-	-	70	ns
VNF (NRST)	NRST输入未过滤脉冲		350	-	-	ns

1. 设计保证。

2. 上拉设计了一个真正的电阻串联可切换的PMOS。这种PMOS对串联电阻的贡献是最小的(~10%)。

图27所示。推荐NRST引脚保护



- 复位网络保护设备免受寄生复位。
- 用户必须确保NRST引脚上的电平可以低于表58:NRST引脚特性中规定的VIL(NRST)最大电平。否则复位不会被设备考虑在内。
- NRST上的外部电容器必须尽可能靠近设备。

5.3.16 高分辨率定时器(HRTIM)

表59中给出的参数来源于表17中总结的环境温度和电源电压条件下进行的试验。

表59。HRTIM特征(1)

象征	参数	条件	分钟。	类型。	Max.	单位
这 围	定时器环境温度范 围	fHRTIM=170 MHz	-40	-	125	°C
fHRTIM的	HRTIM输入时钟用 于DLL校准	根据TA条件	-	-	170	兆赫
tHRTIM的			5.88	-	-	ns
RES (HRTIM)	高分辨率步长	fHRTIM=170 MHz, TA从 -40 到 105°	-	184	-	ps
ReSHRTIM公司	计时器分辨率		-	-	16	位
死时间tOTG			0.125	-	16	tHRTIM的
	发电机时钟周期	fHRTIM=170 MHz	0.735	-	94.1	ns
这 TRI/tDTFI 最 大 值)	死时间范围(绝对 值)	fHRTIM=170 MHz	-	-	511	tDTG μ
			-	-	48.09	ζ
fCHPFRQ	斩波级时钟频率	-	1/256	-	1/16	fHRTIM
		fHRTIM=170 MHz	0.664	-	10.625	兆赫
t1STPW系列	斩波第一脉冲 长度	-	16	-	256	tHRTIM的
		fHRTIM=170 MHz	0.094	-	1.506	μζ

1. 数据基于表征结果，未在生产中进行测试。

表60。HRTIM输出对故障保护的响应(1)

象征	参数	条件	分钟。	类型。	Max. (2)	单位
LAT (DF)	数字故障响应延迟	从HRTIM1_FLTx数字输入到HRTIM_CHxy输出引脚的传播延迟	-	9	20	ns
tw(外语教学)	最小故障脉宽	-	7	-	-	
tLAT (AF)	模拟故障响应延迟	从比较器COMPx_INP输入引脚到HRTIM_CHxy输出引脚的传播延迟	-	16	31	

1. 参考RM0440 HRTIM章节中的“故障”章节。

2. 数据基于表征结果，未在生产中进行测试。

表61。对外部事件1到5的HRTIM输出响应(低延迟模式(1))

象征	参数	条件	最小值	Typ	马克斯(2)(2)	单位
tLAT (DEEV)	数字外部事件响应延迟	从HRTIM1_EEVx数字输入到HRTIM_CHxy输出引脚(30pF)的传播延迟 (load)	-	12	23	ns
tw(EEV)	最小外部事件脉冲宽度	-	7	-	-	
纬度 (AEEV)	模拟外部事件响应延迟	从比较器COMPx_INP输入引脚到HRTIM_CHxy输出引脚的传播延迟(30pF负载)	-	19	31	

1. 设置HRTIM_EECR1寄存器的EExFAST位(低延迟模式)。此功能可在外部事件通道1至5上使用。请参阅RM0440的HRTIM部分中的外部事件延迟段。

2. 数据基于表征结果，未在生产中进行测试。

表62。对外部事件1到10的HRTIM输出响应(同步模式(1))

象征	参数	条件	分钟。	Typ.	马克斯。(2)	单位
纬度 (开发)	数字外部事件响应延迟	从HRTIM1_EEVx数字输入到HRTIM_CHxy输出引脚(30pF负载)的传播延迟(3)	-	56	66	ns
tLAT(AEEV)	模拟外部事件响应延迟	从COMPx_INP输入引脚到HRTIM_CHxy输出引脚的传播延迟(30pF负载)(3)	-	62	76	ns
tw(EEV)	最小外部事件脉冲宽度	-	7	-	-	ns
TJIT (EEV)	外部事件响应抖动	从HRTIM1_EEVx数字输入或COMPx_INP到HRTIM_CHxy输出引脚的延迟抖动	-	-	1	tHRTIM的(4)

1. HRTIM_EECR1或HRTIM_EECR2寄存器中的EExFAST位被清除(同步模式)。外部事件过滤被禁用，即HRTIM_EECR2寄存器中的EExF[3:0]=0000。请参阅RM0440的HRTIM部分中的外部事件延迟段。

2. 数据基于表征结果，未在生产中进行测试。

3. 当fHRTIM = 170 MHz时给出此参数。

4. THRTIM = 1 / fHRTIM, fHRTIM= 170 MHz。

表63。HRTIM同步输入/输出(1)

象征	参数	条件	分钟。	类型。	Max.	单位
tw(SYNCIN)	SYNCIN输入的最小脉冲宽度，包括HRTIM_SCIN	-	2	-	-	HRTIM
RES (ESR) (英语)	对外部同步请求的响应时间	-	-	-	3	tHRTIM的
tw (同步)	脉冲宽度 HRTIM_SCOUT输出	fHRTIM=170 MHz	-	16	-	tHRTIM的
			-	94.1	-	ns

1. 设计保证，生产不测试。

5.3.17 扩展中断和事件控制器输入(EXTI)特性

中断输入上的脉冲必须具有最小长度，以保证它被事件控制器检测到。

表64。EXTI输入特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
去	到事件控制器的脉冲长度	-	20	-	-	ns

1. 设计保证。

5.3.18 模拟开关升压器

表65。模拟开关升压特性(1)

象征	参数	最小值	类型	马克斯	单位
VDD的	电源电压	1.62	-	3.6	V
tSu(提高)	助推器启动时间	-	-	240	μs
	助推器消耗 1.62 VsVDD 2.0 V	-	-	250	
IDD(提高)	助推器消耗为 2.0 VsVDD 2.7V	-	-	500	μA
	助推器消耗 2.7 VsVDD 为3.6 V	-	-	900	

1. 设计保证。

5.3.19 模数转换器特性

除非另有说明, 表66中给出的参数是在环境温度、fPCLK频率和VDDA电源电压条件下进行的试验得出的初步值, 表17:一般工作条件。

注:建议每次上电后进行一次校准。

表66。ADC特性(1)(2)

象征	参数	条件	最小值	类型	马克斯	单位
VDDA的	模拟电源电压	-	1.62	-	3.6	V
VREF +	正参考电压	VDDA22V VDDA < 2 V	2	-	VDDA的	V
VREF	负参考电压	-		VSSA		V
VCMIN	输入共模	微分 范围1, 单ADC操作 范围2 量程1, 所有adc工作, 单端VDDA 22.7 V 量程1, 所有adc工作, 单端VDDA 21.62 V 量程1, 所有adc工作, 差分模式	(VREF++VREF) /2 - 0.18 0.14 - 0.14 0.14 0.14	(vref ++ (vref ++ vrefvref -)/2)/2 +0.18 - - - - -	60 26 52 42 56	V
fADC数码	ADC时钟频率	兆赫				
fs	采样率, 连续模式	VDDA 21.62 V给定分辨率和采样时间周期 (ts)考虑触发转换延迟时间(tLATR或(LATRINJ)	0.001	fADC/(采样时间[周期]+分辨率[位]+0.5)		议员
TTRIG公司	外部触发周期	分辨率=12位, fADC=60 MHz	tconv + [tLATR . 或者 tLATRINJ	-	1毫秒	-
只	(3) 转换电压范围	(3)	-	-	VREF +	V

表66。ADC特性(1)(2)(续)

象征	参数	条件	最小值	类型	马克斯	单位
雨(4)	外部输入阻抗	-	-	-	50	KΩ
CADC的	内部样品和保持电容器	-	-	5	-	pF
tSTAB	升高的时间	-	1			转换周期
tCAL	校准时间	fADC = 60 MHz	1.93			μs
		-	116			1 / fADC
tLATR (英语: tLATR)	触发转换延迟没有 转换中止的常规和 注入通道	Ckmode = 00	1.5	2	2.5	
		Ckmode = 01	-	-	2.0	
		Ckmode = 10	-	-	2.25	
		Ckmode = 11	-	-	2.125	
拉特林尼	触发转换延迟终 止常规转换的注 入通道	Ckmode = 00	2.5	3	3.5	
		Ckmode = 01	-	-	3.0	
		Ckmode = 10	-	-	3.25	
		Ckmode = 11	-	-	3.125	
ts	采样时间	fADC = 60 MHz	0.0416	-	10.675	μs
		-	2.5	-	640.5	1 / fADC
tADCVREG_STUP	ADC稳压器启动 时间	-	-	-	20	μs
tcONV的	总转换时间(包括 采样时间)	fADC = 60 MHz	0.25	-	10.883	μs
		分辨率=12位				
		-	Ts[周期]+分辨率[位]+0.5 = 15到653			1 / fADC
DDA (ADC)	ADC消耗来自 VDDA供应	fs = 4 Msps	-	590	730	
		fs = 1 Msps	-	160	220	
		FS = 10 kspss的	-	16	50	
DDV_s (ADC)	ADC消耗来自 VREF+单端模式, ADC消耗来自	fs = 4 Msps	-	110	140	
		fs = 1 Msps	-	30	40	
		FS = 10 kspss的	-	0.6	2	
		VREE+差分模式				
DDV_D (ADC)		fs = 4 Msps	-	220	270	
		fs = 1 Msps	-	60	70	
		FS = 10 kspss的	-	1.3	3	

1. 设计保证。

2. The I/O analog switch voltage booster is enabled when $V_{DDA} < 2.4$ V (BOOSTEN = 1 in the SYSCFG_CFGR1 when $V_{DDA} < 2.4$ V). It is disabled when $V_{DDA} \geq 2.4$ V.
3. V_{REF+} can be internally connected to V_{DDA} , depending on the package. Refer to [Section 4: Pinouts and pin description](#) for further details.
4. The maximum value of RAIN can be found in [Table 67: Maximum ADC RAIN](#).

RAIN的最大值见表67:最大ADC RAIN。

表67。最大ADC RAIN

(1) (2)

决议	采样周期@60 MHz	采样时间[ns]	RAIN max (Ω)	
			快速通道 ⁽³⁾	缓慢的渠道 ⁴⁾
12位	2.5	41.67	100	N/A _o
	6.5	108.33	330	100
	12.5	208.33	680	470
	24.5	408.33	1500	1200
	47.5	791.67	2200	1800
	92.5	1541.67	4700	3900
	247.5	4125	12000	10000
	640.5	10675	39000	33000
10位	2.5	41.67	120	N/A _o
	6.5	108.33	390	180
	12.5	208.33	820	560
	24.5	408.33	1500	1200
	47.5	791.67	2200	1800
	92.5	1541.67	5600	4700
	247.5	4125	12000	10000
	640.5	10675	47000	39000
8位	2.5	41.67	180	N/A _o
	6.5	108.33	470	270
	12.5	208.33	1000	680
	24.5	408.33	1800	1500
	47.5	791.67	2700	2200
	92.5	1541.67	6800	5600
	247.5	4125	15000	12000
	640.5	10675	50000	50000
6位	2.5	41.67	220	N/A _o
	6.5	108.33	560	330
	12.5	208.33	1200	1000
	24.5	408.33	2700	2200
	47.5	791.67	3900	3300
	92.5	1541.67	8200	6800
	247.5	4125	18000	15000
	640.5	10675	50000	50000

-
1. Guaranteed by design.
 2. The I/O analog switch voltage booster is enabled when $VDDA < 2.4\text{ V}$ (BOOSTEN = 1 in the SYSCFG_CFGR1 when $VDDA < 2.4\text{V}$). It is disabled when $VDDA \geq 2.4\text{ V}$.
 3. Fast channels are: ADCx_IN1 to ADCx_INS.
 4. Slow channels are: all ADC inputs except the fast channels.

表68。ADC精度-有限测试条件1(1)(2)(3)

象征	参数	条件(4)	最小值	类型	马克斯单位
等 EO 如 艾德 这	总未调整误差 偏置误差 增益误差 微分线性误差 样积分率·线性	单ADC操作ADC时钟 频率为60 MHz, VDDA=VREF+= 3 V, TA = 25°C连续模式, 采 样channels@2Msps	单端 快速通道(最大速度) 慢通道(最大速度)快通道(最 大速度)	-	5.9 6.9
			微分 慢通道(最大速度)快通道(最 大速度)	-	5.5 6.9
			单端 慢通道(最大速度)快通道(最 大速度)	-	4.6 5.6
			微分 慢通道(最大速度)快通道(最 大速度)	-	4 5.6
			单端 慢通道(最大速度)快通道(最 大速度)	-	2.5 4
			微分 慢通道(最大速度)快通道(最 大速度)	-	1.9 4
			单端 慢通道(最大速度)快通道(最 大速度)	-	1.8 2.8
			微分 慢通道(最大速度)快通道(最 大速度)	-	1.1 2.8
			单端 慢通道(最大速度)快通道(最 大速度)	-	4.6 6.6
			微分 慢通道(最大速度)快通道(最 大速度)	-	4.5 6.6
ENOB SINAD Signal-toSNR	有效位数 信噪比和 失真比 噪声比	慢channels@2Msps	LSB 单端 快速通道(最大速度)慢速通 道(最大速度)	-	3.6 4.6
			微分 快速通道(最大速度)慢速通 道(最大速度)	-	3.3 4.6
			单端 慢通道(最大速度)快通道(最 大速度)	-	1.1 1.9
			微分 慢通道(最大速度)快通道(最 大速度)	-	1.3 1.9
			单端 慢通道(最大速度)快通道(最 大速度)	-	1.3 1.6
			微分 快通道(最大速度)慢通道(最 大速度)快通道(最大速度)慢	-	1.4 1.6
			单端 通道(最大速度)快通道(最 大速度)慢通道(最大速度)	-	2.3 3.4
			微分 通道(最大速度)快通道(最 大速度)慢通道(最大速度)	-	2.4 3.4
			单端 通道(最大速度)快通道(最 大速度)慢通道(最大速度)	-	2.1 3.2
			微分 通道(最大速度)快通道(最 大速度)慢通道(最大速度)	-	2.2 3.2
位 dB	ENOB SINAD Signal-toSNR	快通道(最大速度)慢速通道(最 大速度)	单端 10.4 10.6 10.4 10.6	-	
			微分 快通道(最大速度)	10.8 10.9	-
			微分 慢通道(最大速度)	10.8 10.9	-
			单端 快通道(最大速度)慢通道(最 大速度)	64.4 65.6	-
			单端 快通道(最大速度)慢通道(最 大速度)	64.4 65.6	-
			微分 快通道(最大速度)慢通道(最 大速度)	66.8 67.5	-
			微分 快通道(最大速度)慢通道(最 大速度)	66.8 - 67.5	-
			单端 快通道(最大速度)慢速通道(最 大速度)	65 66.9	-
			单端 快通道(最大速度)	65 66.9	-
			单端 慢速通道(最大速度)	67 69	-

表68。ADC精度-有限测试条件1(1)(2)(3)(续)

象征	参数	条件(4)	最小值	类型	马克斯单位
总谐波失真 总谐波畸变	单ADC工作ADC时钟频率为60 MHz; VDDA=VREF+=3 V, TA=25°C 连续模式, 采样率: 快channels@4Msps 慢channels@2Msps	单端	快速通道(最大速度)	-	-73 -72
			慢速通道(最大速度)	-	-73 -72
			快速通道(最大速度)	-	-73 -72
			差分慢速通道(最大速度)	-	-73 -72

1. 通过特性评估-未在生产中测试。
2. 内部校准后测量ADC直流精度值。
3. ADC精度与负注入电流:应避免在任何模拟输入引脚上注入负电流, 因为这会大大降低在另一个模拟输入上执行转换的精度。建议在模拟引脚上添加一个肖特基二极管(引脚对地), 这可能会注入负电流。
4. VDDA < 2.4 V时I/O模拟开关电压升压使能(VDDA < 2.4 V时SYSCFG_CFGR1中的BOOSTEN = 1), VDDA ≥ 2.4 V时关闭。没有过采样。

表69。ADC精度-有限测试条件2(1)(2)(3)

信谊 是	参数	条件(4)		最小值	类型	马克斯	单位		
等 EO 如 艾德 这 ENOB公司 SINAD 信噪比	总计。 未经调整的 错误 偏置误差 增益误差 微分 线性 错误 积分 linearity 错误 有效的 的数量 位 信号 噪音和 失真 比 Signal-tonoise 比率	单ADC操作 ADC时钟频率 <60 MHz, 2Vs VDDA 连续模式, 采样 率: 快channels@4Msps 慢channels@2Msps	单 结束了	快速通道(最大速度)	-	5.9	8.4		
				慢速通道(最大速度)	-	5.5	8		
			微分	快速通道(最大速度)	-	4.6	6.6		
				慢速通道(最大速度)	-	4	6		
			单 结束了	快速通道(最大速度)	-	2.5	6		
				慢通道(最大速度)	-	1.9	6.9		
			微分	快速通道(最大速度)	-	1.8	3.3		
				慢通道(最大速度)	-	1.1	3.3		
			单 结束了	快速通道(最大速度)	-	4.6	8.1		
				慢速通道(最大速度)	-	4.5	8.1		
LSB 位 dB			微分	快速通道(最大速度)	-	3.6	4.6		
				慢通道(最大速度)	-	3.3	4.6		
			单 结束了	快速通道(最大速度)	-	1.1	1.8		
				慢通道(最大速度)	-	1.3	1.8		
			微分	快速通道(最大速度)	-	1.3	1.6		
				慢通道(最大速度)	-	1.4	1.6		
			单 结束了	快速通道(最大速度)	-	2.3	4.4		
				慢速通道(最大速度)	-	2.4	4.4		
			微分	快速通道(最大速度)	-	2.1	4.1		
				慢通道(最大速度)	-	2.2	3.7		
ENOB公司			单 结束了	快速通道(最大速度)	10	10.6	-		
				慢速通道(最大速度)	10	10.6	-		
			微分	快速通道(最大速度)	10.7	10.9	-		
				慢速通道(最大速度)	10.7	10.9	-		
SINAD			单 结束了	快速通道(最大速度)	62	65.6	-		
				慢通道(最大速度)	62	65.6	-		
			微分	快速通道(最大速度)	65	67.5	-		
				慢速通道(最大速度)	65	67.5	-		
			单 结束了	快速通道(最大速度)	64	66.9	-		
				慢速通道(最大速度)	64	66.9	-		
信噪比			微分	快速通道(最大速度)	66.5	69	-		
				慢速通道(最大速度)	66.5	69	-		

表69。ADC精度-有限测试条件2(1)(2)(3)(续)

Sy 是	参数	条件(4)		最小值	类型	马克斯	单位
总谐波失真 变	单ADC操作 ADC时钟频率 <60 MHz, 2 Vs VDDA 连续模式, 采样 率: 快channels@4Msps 慢channels@2Msps	单 结束了	快速通道(最大速度)	-	-73	-65	dB
			慢通道(最大速度)	-	-73	-67	
		微分	快速通道(最大速度)	-	-73	-70	
			慢速通道(最大速度)	-	-73	-71	

1. 通过特性评估-未在生产中测试。
2. 内部校准后测量ADC直流精度值。
3. ADC精度与负注入电流:应避免在任何模拟输入引脚上注入负电流, 因为这会大大降低在另一个模拟输入上执行转换的精度。建议在模拟引脚上添加一个肖特基二极管(引脚对地), 这可能会注入负电流。
4. 当VDDA < 2.4 V时, I/O模拟开关电压升压开关使能(VDDA < 2.4 V时, SYSCFG_CFGR1中BOOSTEN = 1), 当VDDA ≥ 2.4 V时, 升压开关关闭。没有过采样。

表70。ADC精度-限制测试条件3(1)(2)(3)

象征	参数	条件(4)		最小值	类型	马克斯	单位
等 环氯乙烷	总计。 未经调整的 错误	单 结束了	快速通道(最大速度)	-	5.9	7.9	LSB
			慢通道(最大速度)	-	5.5	7.5	
		微分	快速通道(最大速度)	-	4.6	7.6	
			慢通道(最大速度)	-	4	5.5	
	偏置误差	单 结束了	快速通道(最大速度)	-	2.5	5.5	
			慢通道(最大速度)	-	1.9	5.5	
		微分	快速通道(最大速度)	-	1.8	3.5	
			慢速通道(最大速度)	-	1.1	3	
如 艾德	增益误差	单端	快速通道(最大速度)	-	4.6	7.1	位
			慢通道(最大速度)	-	4.5	7	
			快速通道(最大速度)	-	3.6	4.1	
			慢速通道(最大速度)	-	3.3	4.8	
	微分线性 错误	单端	快速通道(最大速度)	-	1.1	1.9	
			慢通道(最大速度)	-	1.3	1.9	
		微分	快速通道(最大速度)	-	1.3	1.6	
			慢通道(最大速度)	-	1.4	1.6	
这 ENOB公司	积分线 性误差	单端	快速通道(最大速度)	-	2.3	4.4	dB
			慢速通道(最大速度)	-	2.4	4.4	
		微分	快速通道(最大速度)	-	2.1	3.7	
			慢通道(最大速度)	-	2.2	3.7	
	有效位数	单端	快速通道(最大速度)	10	10.6	-	
			慢通道(最大速度)	10	10.6	-	
		微分	快速通道(最大速度)	10.6	10.9	-	
			慢速通道(最大速度)	10.6	10.9	-	
SINAD 信噪比	信噪比和 失真比	单端	快速通道(最大速度)	62	65.6	-	dB
			慢通道(最大速度)	62	65.6	-	
		微分	快速通道(最大速度)	65	67.5	-	
			慢速通道(最大速度)	65	67.5	-	
	Signal-tonoise 比率	单端	快速通道(最大速度)	63	66.9	-	
			慢速通道(最大速度)	63	66.9	-	
		微分	快速通道(最大速度)	66	69	-	
			慢速通道(最大速度)	66	69	-	

表70。ADC精度-有限测试条件3(1)(2)(3)(续)

象征	参数	条件(4)		最小值	类型	马克斯	单位
总谐波失真 总谐波畸变	单ADC工作ADC时钟频率为60 MHz; 1.62 VsVDDA=VREF+<3.6 V, 连续模式下, 采样率: 快channels@4Msps 慢channels@2Msps	单端	快速通道(最大速度)	-	-73	-67	dB
			慢速通道(最大速度)	-	-73	-67	
		微分	快速通道(最大速度)	-	-73	-71	
			慢速通道(最大速度)	-	-73	-71	

1. 通过特性评估-未在生产中测试。
2. 内部校准后测量ADC直流精度值。
3. ADC精度与负注入电流:应避免在任何模拟输入引脚上注入负电流, 因为这会大大降低在另一个模拟输入上执行转换的精度。
建议在模拟引脚上添加一个肖特基二极管(引脚对地), 这可能会注入负电流。
4. 当VDDA < 2.4 V时, I/O模拟开关电压升压开关使能(VDDA < 2.4 V时, SYSCFG_CFGR1中BOOSTEN = 1), 当VDDA ≥ 2.4 V时, 升压开关关闭。没有过采样。

表71。ADC精度(多模数转换器操作)-有限测试条件1(1)(2)(3)

象征	参数	条件(4)	最小值	类型	马克斯	单位
等	总未调整误差	多个ADC操作ADC时钟频率:单端52 MHz, 差分56 MHz, VDDA=VREF=3.3V, 25 °C, 连续模式, 采样时间: 快速通道:2.5周期慢速通道:6.5周期LQFP100封装	单端	-	4.5	-
			微分	-	4.1	-
环氧乙烷	偏置误差		单端	-	1.3	-
			微分	-	0.4	-
如	增益误差		单端	-	3.9	-
			微分	-	3.4	-
艾德	微分线性误差		单端	-	1.5	-
				-	1.2	-
这	积分线性误差		差分单端差	-	1.7	-
			分单端	-	2.1	-
ENOB公司	有效位数			-	10.7	-
				-	10.9	-
信噪SINAD和失真比			差分单端	-	66.3	-
			差动单端	-	67.2	-
信噪比				-	67.3	-
信噪比总谐波THD			微分	-	68.6	-
	失真		单端	-	-73.5	-
			微分	-	-73	-

1. 数据基于表征结果, 未在生产中进行测试。
2. 内部校准后测量ADC直流精度值。
3. ADC精度与负注入电流:应避免在任何模拟输入引脚上注入负电流, 因为这会大大降低在另一个模拟输入上执行转换的精度。建议在模拟引脚上添加一个肖特基二极管(引脚对地), 这可能会注入负电流。
4. 当VDDA < 2.4 V时, I/O模拟开关电压升压开关使能(VDDA < 2.4 V时, SYSCFG_CFGR1中BOOSTEN = 1), 当VDDA ≥ 2.4 V时, 升压开关关闭。没有过采样。

表72。模数转换器精度(多模数转换器操作)-有限测试条件2(1)(2)(3)

象征	参数	条件(4)	最小值	类型	马克斯	单位
等	总未调整误差	多个ADC工作ADC时钟频率:单端s 52 MHz, 差分s 56 MHz, VDDA 22.7 V, VREF 1.62 V, -40 至 125°C, 连续模式, 采样时间: 快速通道:2.5周期慢速通道 :6.5周期LQFP100封装	单端	-	7.1	-
	偏置误差		微分	-	4.6	-
环氧乙烷			单端	-	4.2	-
			微分	-	2.8	-
如	增益误差		单端	-	6.8	-
			微分	-	4.3	-
艾德	微分线性误差		单端	-	1.5	-
			微分	-	1.7	-
这	积分线性误差		单端	-	3.1	-
ENOB公司	有效位数		微分	-	2.4	-
信噪SINAD和失真比		单端	-	10.2	-	位
信噪比	信噪比		微分	-	10.6	
			单端	-	62.9	
			微分	-	65.3	
			单端	-	63.6	
		失真	微分	-	66.3	dB
总谐波THD			单端	-	-70.9	
			微分	-	-71.8	

1. 数据基于表征结果，未在生产中进行测试。
2. 内部校准后测量模数转换器直流精度值。
3. 模数转换器精度与负注入电流:应避免在任何模拟输入引脚上注入负电流，因为这会大大降低在另一个模拟输入上执行转换的精度。建议在模拟引脚上添加一个肖特基二极管(引脚对地)，这可能会注入负电流。
4. 当VDDA < 2.4 V时，I/O模拟开关电压升压开关使能(VDDA < 2.4 V时，SYSCFG_CFGR1中BOOSTEN = 1)，当VDDA ≥ 2.4 V时，升压开关关闭。没有过采样。

表73。模数转换器精度(多模数转换器操作)-有限测试条件3(1)(2)(3)

象征	参数	条件(4)	最小值	类型	马克斯	单位
等	总未调整误差	多个ADC工作ADC时钟频率:单端s 42 MHz, 差分s 56 MHz, VDDA=VREF2 1.62 V, -40 至 125°C, 连续模式, 采样时间: 快速通道:2.5周期慢速通道 :6.5周期LQFP100封装	单端	-	7.4	-
	偏置误差		微分	-	4.6	-
环氧乙烷			单端	-	4	-
			微分	-	2.8	-
如	增益误差		单端	-	7.2	-
			微分	-	4.3	-
艾德	微分线性误差		单端	-	1.8	-
				-	1.7	-
这	积分线性误差		差分单端差	-	3.1	-
			分单端	-	2.4	-
ENOB公司	有效位数			-	10.1	-
				-	10.6	-
SINAD	信噪比和失真比		差动单端	-	62.6	-
				-	65.3	-
	信噪比		差分单端差分	-	63.2	-
	信噪比总谐波THD			-	66.3	-
	失真		单端	-	-70.6	-
			微分	-	-71.8	-

1. 数据基于表征结果, 未在生产中进行测试。
2. 内部校准后测量模数转换器直流精度值。
3. 模数转换器精度与负注入电流:应避免在任何模拟输入引脚上注入负电流, 因为这会大大降低在另一个模拟输入上执行转换的精度。建议在模拟引脚上添加一个肖特基二极管(引脚对地), 这可能会注入负电流。
4. 当VDDA < 2.4 V时, I/O模拟开关电压升压开关使能(VDDA < 2.4 V时, SYSCFG_CFGR1中BOOSTEN = 1), 当VDDA ≥ 2.4 V时, 升压开关关闭。没有过采样。

图28。模数转换器精度特性

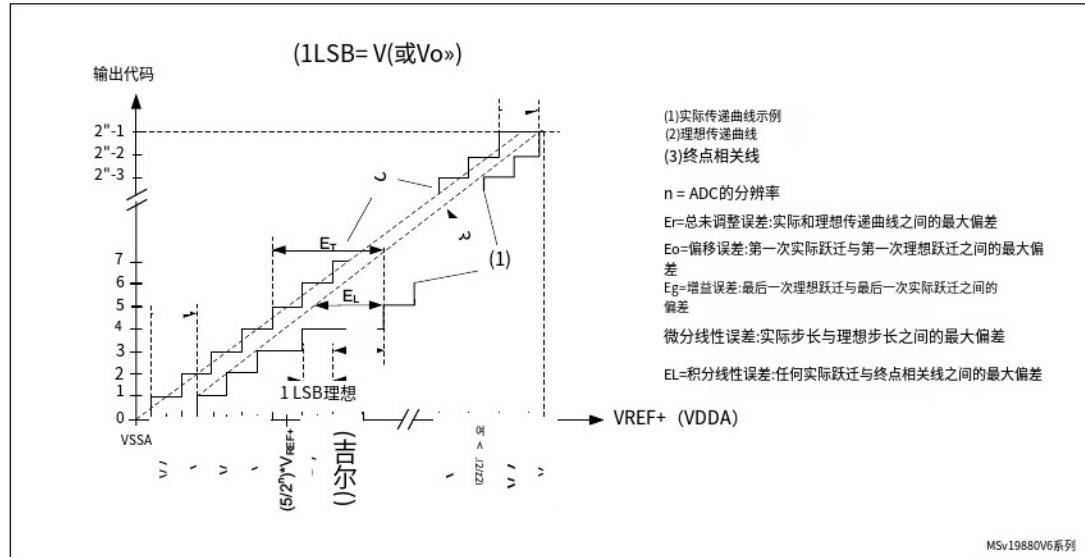
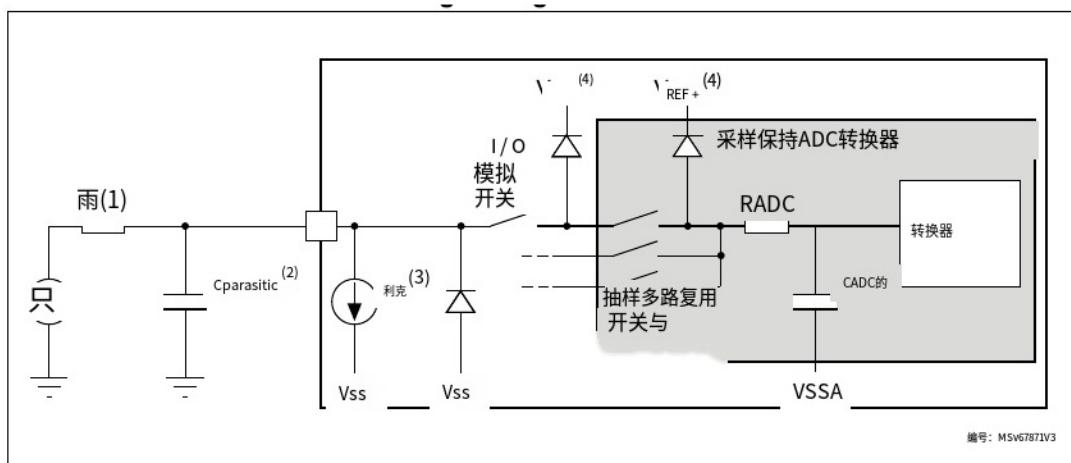


图29。使用具有模拟开关功能的FT/TT引脚的模数转换器时的典型连接图



1. RAIN 和 CADC 的数值参见表66:ADC特性

2. 寄生表示PCB的电容(取决于焊接和PCB布局质量)加上焊盘电容(焊盘电容的值参见表54:I/O静态特性)。较高的c寄生值会降低转换精度。为了解决这个问题, 应该降低fADC。

3. like的值参见表54:I/O静态特性

4. 参考图16:供电方案。

通用PCB设计指南

电源去耦必须按照[图16:电源方案进行](#)。VDDA上的去耦电容器必须是陶瓷的(质量好), 并且必须尽可能靠近芯片。

5.3.20 数模转换器特性

表74。DAC 1MSPS特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
VDDA的	模拟电源电压为DAC ON	DAC输出缓冲区OFF, DAC_OUT引脚未连接(仅内部连接)	1.71	-	3.6	V
		其他模式	1.80	-		
VREF +	正参考电压	DAC输出缓冲器OFF, DAC_OUT引脚未连接(仅内部连接)	1.71	-	VDDA的	V
		其他模式	1.80	-		
VREF	负参考电压	-			VSSA	
RL系列	电阻性负载	DAC输出缓冲器ON 连接到vsA	5	-	-	KΩ
		连接到VDDA	25	-	-	
罗依	输出阻抗	DAC输出缓冲器OFF	9.6	11.7	13.8	KΩ
RBON	输出阻抗采样和保持模式，输出缓冲ON	VSD = 2.7 V	-	-	2	KΩ
		电压 = 2.0 V	-	-	3.5	
RBOFF	输出阻抗采样和保持模式，输出缓冲OFF	电压 = 2.7 V	-	-	16.5	KΩ
		电压 = 2.0 V	-	-	18.0	
CL	电容性负载	DAC输出缓冲器ON	-	-	50	PF
CSH		采样保持模式	-	0.1	1	F
VDAC_OUT	DAC_OUT输出电压	DAC输出缓冲器ON	0.2	-	Vref + - 0.2	V
		DAC输出缓冲器OFF	0	-	VREF +	
tSETTLING	稳定时间(满量程:当DAC_OUT达到final时, 最低和最高输入码之间的12位码转换value)	±0.5 LSB	-	1.7	3	μs
		正常模式DAC输出缓冲器ON	-	1.6	2.9	
		LSB ±1 ±2	-	1.55	2.85	
		CL S 50 pF。	-	1.48	2.8	
		RL25 kΩ	-	1.4	2.75	
		±8 LSB	-	2	2.5	
调整	从关闭状态(在DAC控制寄存器中设置ENx位)到最终值±1 LSB的唤醒时间	正常模式DAC输出缓冲器OFF, +1LSB, CL = 10pf	-	4.2	7.5	μs
		正常模式DAC输出缓冲器OFF, CLs 50 pF, RL25kΩ	-	2	5	
		正常模式DAC输出缓冲器OFF, CLs 10pf	-	-	-	
PSRR	VDDA电源拒绝比	正常模式DAC输出缓冲器ON CL s 50 pF, RL = 5 kΩ, DC	-	-80	-28	dB

表74。DAC 1MSPS特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
Tw_to_W	的连续两次写入之间的最长时间 DAC_DORx寄存器到 对于输入代码的微小变化(1 LSB)保证正确的DAC_OUT DAC_MCR:MODEx[2:0] = 000 or 001 DAC_MCR:MODEx[2:0] = 010 or 011	CLs 50 pF, RL≥5 kΩ CLs 10 pF	1 1.4	-	-	μs
tSAMP系列	采样保持模式下的采样时间(当DACOUT达到最终值±1LSB时, 最低输入码与最高输入码之间的代码转换)	DAC输出缓冲器ON, DAC_OUT引脚连接 DAC输出缓冲器OFF, DAC_OUT引脚未连接(仅内部连接)	- - -	0.7 10.5 2	3.5 18 3.5	女士 μs
泄漏	输出漏电流	采样和保持模式, DAC_OUT引脚连接	-	-	-(3)	和
克林特	内部样品和保持电容器	-	5.2	7	8.8	pF
修剪	中码偏移修剪时间	DAC输出缓冲器ON	50	-	-	μs
Voffset	中间代码偏移1修剪代码步骤	VREF + = 3.6 V VREF + = 1.8 V	- -	1500 750	- -	微伏
Idda (DAC)	的DAC消耗 VDDA的	DAC输出缓冲器ON 空载, 中间码 (0x800)空载, 最差 码(0xF1C) DAC输出 空载, 中间缓冲器 OFF码(0x800)	- - - -	315 450 - -	500 670 0.2 67915 (4)	μA
		取样和保持模式, CsH = 100 nF	-	(4)	+托夫) (4)	

表74。DAC 1MSPS特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
Iddv (DAC)	来自REF+的DAC消耗	DAC输出缓冲器ON 空载, 中码 (0x800)	-	185	240	μA
		DAC输出缓冲器ON 空载, 最差码 (0xF1C)	-	340	400	
		DAC输出缓冲器关 空载, 中间码 (0x800)	-	155	205	
		采样和保持模式, 缓冲区ON, CsH=100 nF, 最坏情况	400 _{(Ton/(Ton+Toff))} (4)	400 _{(Ton/(Ton+Toff))} (4)	+设备	
		采样和保持模式, 缓冲区关闭, CsH=100 nF, 最坏情况	205 _(托夫) (4)	205 _(托夫) (4)	+托夫	

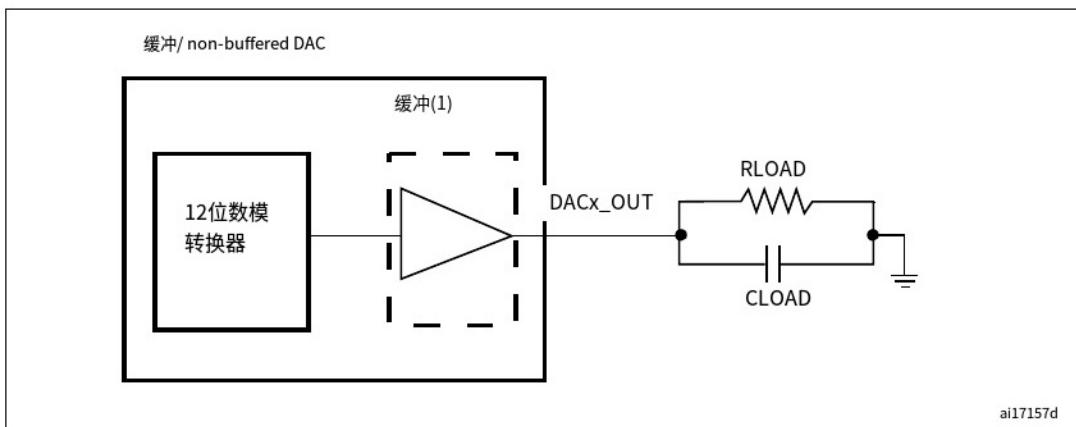
1. 设计保证。

2. 在缓冲模式下, 对于低输入代码(从最小值开始), 输出可以超调到最终值以上。

3. 参考表54:I/O静态特性。

4. Ton是刷新阶段持续时间。Toff为保持阶段持续时间。详细信息请参阅参考手册RM0440 “STM32G4系列高级Arm®32位mcu”。

图30。12位缓冲/非缓冲DAC



- The DAC integrates an output buffer to reduce the output impedance and to drive external loads directly without the use of an external operational amplifier. The buffer can be bypassed by configuring the BOFFx bit in the DAC_CR register.

表75。DAC 1MSPS精度(1)

象征	参数	条件	最小值	类型	马克斯	单位
日	微分非线性 ⁽²⁾	DAC输出缓冲器ON DAC输出缓冲器OFF	- -	- -	±2 ±2	
-	单调性	10位			保证	
INL	积分非线性 ⁽³⁾	DAC输出缓冲器ON CLs 50 pF, RL25 kΩ DAC输出缓冲器OFF CL 为50 pF, 无RL	- -	- -	±4 ±4	
抵消	代码0x800处的偏移错误 ⁽³⁾	DAC输出缓冲器ON CLs50 pF, RL25 kΩ Vref +=3.6 v Vref += 1.8 v DAC输出缓冲器OFF CL 为50 pF, 无RL	- - -	- -	±12 25± ±8	LSB
Offset1	代码0x001(4)处的偏移错误	DAC输出缓冲器OFF CL为 50 pF, 无RL	-	-		
OffsetCal	校正后代码0x800处的偏移错误	DAC输出缓冲器ON CL < 50 pF, RL ≥ 5 kΩ Vref +=3.6 v Vref += 1.8 v	- -	- -		
获得	增益误差 ⁽⁵⁾	DAC输出缓冲器ON CLs50 pF, RL25 kΩ DAC输出缓冲器OFF CL 为50 pF, 无RL	- -	- -	±0.5%±0.5	
星期二	总未调整误差	DAC输出缓冲器ON CL < 50 pF, RL ≥ 5 kΩ DAC输出缓冲器OFF CL 为50 pF, 无RL	- -	- -	±30 ±12	LSB
TUECal	校正后总未调整误差	DAC输出缓冲器ON CL < 50 pF, RL ≥ 5 kΩ	-	-	±23	LSB
信噪比	信噪比	DAC输出缓冲器ON CLS 50 pF, RL>5 kΩ 1 kHz, BW 500 kHz DAC输出缓冲器OFF CL为50 pF, 无RL, 1 kHz BW 500 kHz	-	71.2 71.6	- -	dB
总谐波失真	总谐波畸变	DAC输出缓冲器ON CL < 50 pF, RL 25 kΩ, 1 kHz DAC输出缓冲器OFF CL为50 pF, 无RL, 1 kHz	-	-78 -79	- -	dB

表75。DAC 1MSPS精度(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
SINAD	信噪比和失真比	DAC输出缓冲器ON 做什么的50 pF, RL25 kΩ1千赫	-	70.4 dB	-	位
		DAC输出缓冲器OFF CLs 50 pF, 无RL, 1 kHz	-	71	-	
ENOB公司	有效位数	DAC输出缓冲器ON CLs 50 pF, RL 25 kΩ, 1 kHz	-	11.4	-	位
		DAC输出缓冲器OFF CL < 50 pF, 无RL, 1 kHz	-	11.5	-	

1. 设计保证。
2. 两个连续代码之差, 1 LSB。
3. 代码*i*处的测量值与代码*j*处的值在代码0和最后代码4095之间的直线上的差值。
4. 代码处测量值(0x001)与理想值之间的差值。
5. 当缓冲区关闭时, 从代码0x000和0xFFFF计算的传递函数的理想斜率与测量斜率之间的差异, 以及当缓冲区打开时, 从给出0.2 V和(VREF+ -0.2) V的代码计算的斜率。

表76。DAC 15MSPS特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
VDDA的	模拟电源电压为DAC ON	VDDA>2,7 v, DAC输出 上有一个比较器	-	1.71	-	3.6
VREF +	正参考电压		-	1.71	-	VDDA的
VREF	负参考电压		-		VSSA	
VDAC_OUT	DAC_OUT输出电压		-	0	-	' REF +
tSETTLING	稳定时间(满量程:当DAC_OUT 达到final时, 最低和最高输入 码之间的12位码转换 value)	VDDA>2,7 v, DAC输出 上有一个比较器	10%-90%	-	16	22
			-	-	21	29
			-	-	33	46
			32 lsb	-	40	53
			1 lsb	-	64	87
		VDDA>2,7 v, 在DAC输 出端有一个比较器和 OPAMP	10%-90%	-	24	32
			-	-	32	43
			-	-	49	67
			32 lsb	-	57	75
			1 lsb	-	93	125

表76。DAC 15MSPS特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
解决 安定时间(满量程:用于 DAC_OUT达到final时最低和 最高输入码之间的12位码转 换 value)	VDDA< 2.7 v, 在DAC 输出端有一个比较器	10%-90%	-	16	88	ns
		5%-95%	-	21	116	
		1%-99%	-	33	181	
		32的特色	-	40	196	
		1的特色	-	64	332	
	VDDA< 2.7 v, 在DAC 输出端有一个比较器和 OPAMP	10%-90%	-	24	128	
		5%-95%	-	32	170	
		1%-99%	-	49	265	
		32的特色	-	57	284	
		1的特色	-	93	483	
调整 ?)	从关闭状态(在DAC控制寄存 器中设置ENx位)到最终值 ±1 LSB的唤醒时间	正常模式CLs为10pf	-	1.4	3.5	μs
PSRR	VDDA电源拒绝比	电压>2.7 V	65	85	-	dB
		视频点播 <2.7 V	40	85	-	
tSAMP系列	采样和保持模式下的采样时 间(当DACOUT达到最终值 ±1LSB时, 最低输入码和 最高输入码之间的代码转换 内部采样和保持电容)	-	-	0.7	-	μs
克林特	-	-	-	4	5	pF
电压衰减率在dV/dt(保持采样和保持模 式, 从VDDA保持相位DAC消耗期间 phase)	CSH = 4 pF T= 55°C	-	50	-	-	mV/女士
IDDA (DAC)	空载, 中码(0x800)	-	-	0.2	μA	
IDDy (数模转换器) 来自VREF+的DAC消耗	空载, 中间码(0x800)(3)	-	720	955		

1. 设计保证。

2. 在缓冲模式下, 对于低输入代码(从最小值开始), 输出可以超调到最终值以上。

3. 最坏情况消耗在代码0x800处。

表77。DAC 15MSPS精度(1)

象征	参数	条件	最小值	类型	马克斯	单位
DNL的	微分非线性(2)	-	-2	-	2	LSB
INL	积分非线性(3)	CL = 50 pF, 无RL	-5	-	5	
星期二	未调整总误差	CL = 50 pF, 无RL	-5	-	5	
DCS	动态代码尖峰	时, DAC电压上的尖峰幅值 DAC输出值下降	-	0	4	

1. 设计保证。
2. 两个连续代码之差- 1 LSB。
3. 代码i处的测量值与代码0和最后代码4095之间的直线上代码i处的值之差。偏移误差包括在内。

5.3.21 电压参考缓冲器特性

表78。VREFBUF特点(1)

象征	参数	条件	最小值	类型	马克斯	单位	
VDDA的 模拟电源电压	正常模式	VRS = 00	2.4	-	3.6	V	
		VRS = 01	2.8	-	3.6		
		VRS = 10	3.135	-	3.6		
		VRS = 00	1.65	-	2.4		
		VRS = 01	1.65	-	2.8		
	降级模式(2)	VRS = 10	1.65	-	3.135		
		VRS = 00	2.044	2.048	2.052		
		VRS = 01	2.496	2.5	2.504		
		VRS = 10	2.896	2.9	2.904		
		VRS = 00	VDDA-250毫伏	-	VDDA		
VREFBUF_电压基准OUT 输出	正常模式(3)	VRS = 01	VDDA-250毫伏	-	VDDA		
		VRS = 10	VDDA-250毫伏	-	VDDA		
		VRS = 00	VDDA-250毫伏	-	VDDA的		
电压基准VREFOUT输出分布在 TEMP上		VDDA v = 3	-	-	见图31、 图32、图 33	毫伏	
温度范围							
修剪	修剪步长 分辨率	-	-	± 0.05	± 0.1	%	
CL	负载电容	-	0.5	1	1.5	微法	
ESR型	负载等效串行电阻	-	-	-	2	Ω	
负载	静负载电流	-	-	-	6.5	不	
line_reg ⁽⁴⁾	行监管	-	-	1000	2000	ppm/V	
load_reg	负载调整率	500 μ A/S 54 mA	正常模 式	-	50	500 ppm/m	
TCoeff	温度系数	-40°C < TJ < +125°C	-	-	ATcoeff_vt efint + 50 (5)	ppm/ $^{\circ}$ C	
		0 °C < TJ < +50 °C	-	-			
PSRR	电源拒接	直流	40	55	-	dB	
		100千赫	25	40	-		
开始	启动时间	CL = 0.5微华氏度 (6)	-	300	350	μ s	
		CL = 1.1 μ f (6)	-	500	650		
		氯分升值 = 1.5 μ F (6)	-	650	800		

表78。VREFBUF特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
侵入	启动阶段VREFBUF OUT上最大直流电 流驱动的控制(7)	-	-	8	-	不
IDDA (VREF BUF)	VDDA对VREFBUF的 消耗	ilload = 0 μ A	-	16	25	μ A
		Load = 500 μ A	-	18	30	
		负载=4 mA	-	35	50	
		马负荷= 6.5	-	45	80	

1. 设计保证，除非另有规定。
2. 在退化模式下，电压基准缓冲器不能准确地维持其后的输出电压(VDDA -降电压)。
3. 表征结果保证。
4. 在正常模式下，线路调节是针对整体供应变化给出的。
5. Tcoeff_vrefint指的是嵌入式电压参考章节中的Tcoeff参数。
6. 容性负载必须包括一个100nF的低ESR电容，以切断高频噪声。
7. 为了正确控制VREFBUF在启动阶段和标度变化时的涌流，VRS=0、1和2时，VDDA电压应分别在[2.4 V ~ 3.6 V]、[2.8 V ~ 3.6 V]和[3.135 V ~ 3.6 V]范围内。

图31所示。如果VRS = 00，则VREFOUT_TEMP

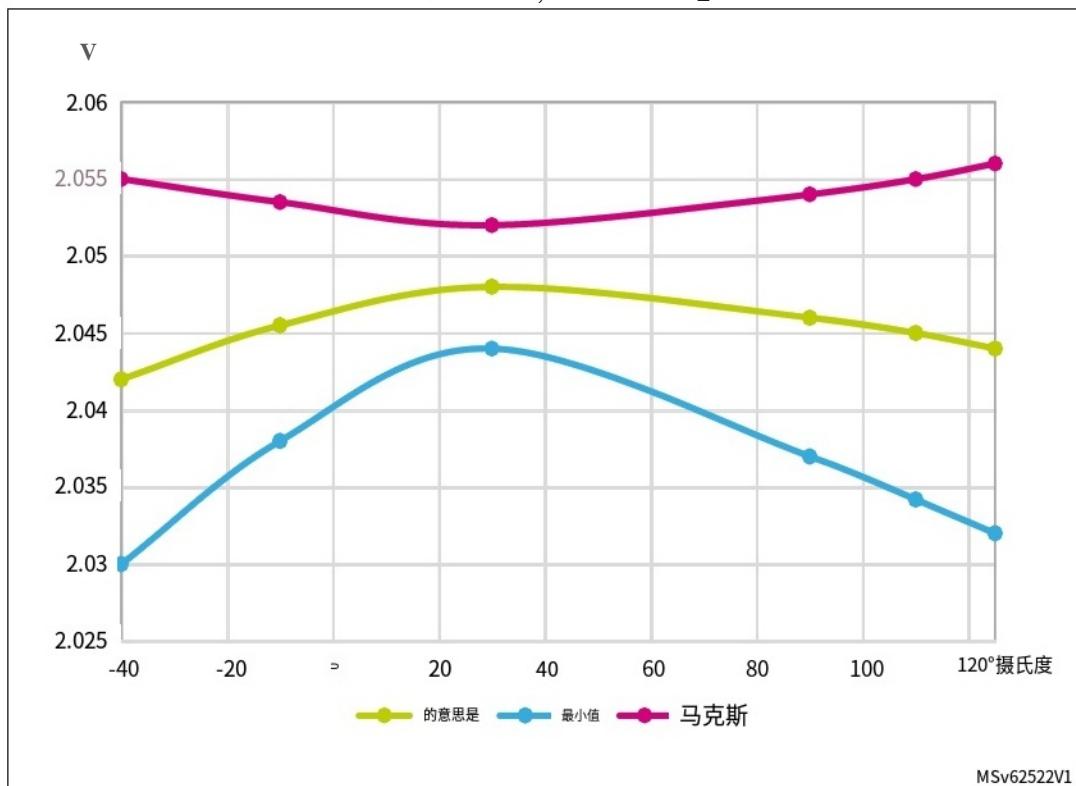


图32。VRS = 01时的VREFOUT_TEMP

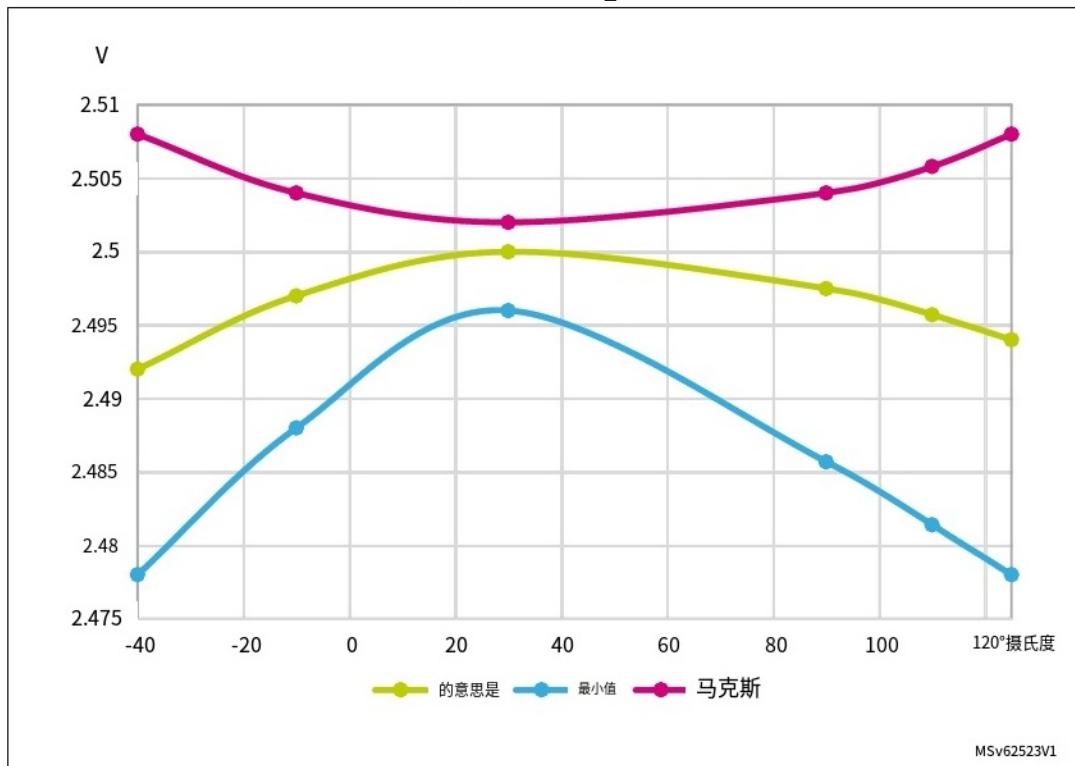
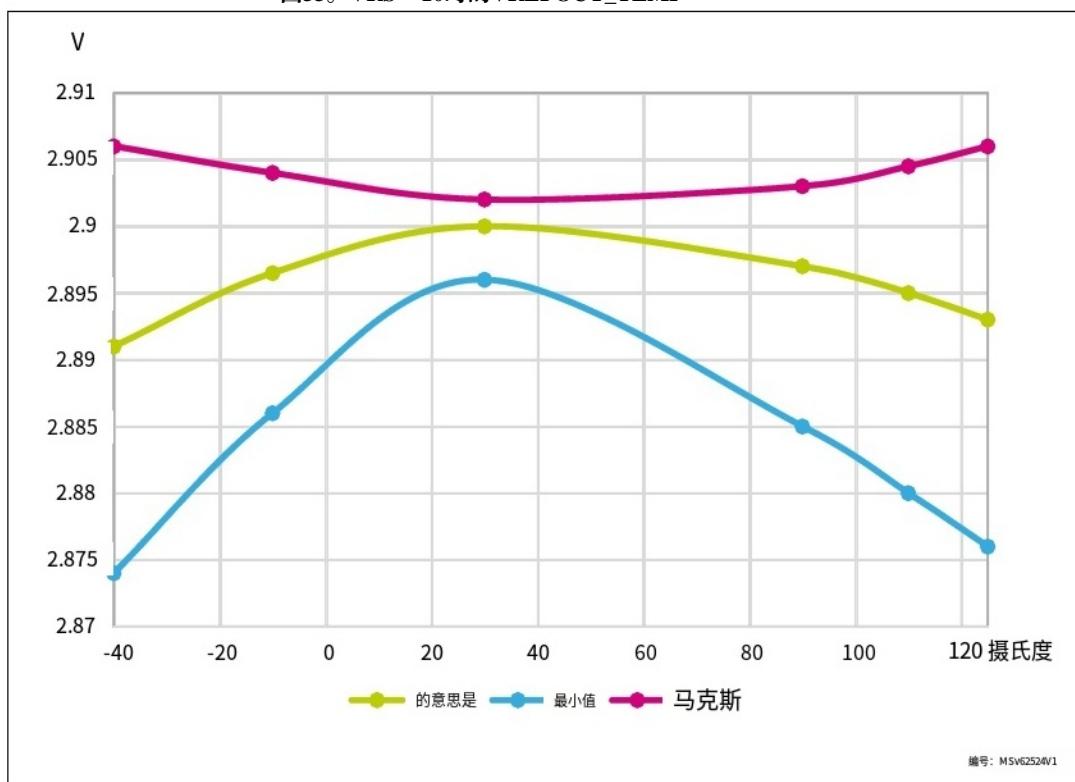


图33。VRS = 10时的VREFOUT_TEMP



5.3.22 比较器的特点

表79。薪酬特点(1)

象征	参数	条件	最小值	类型	马克斯	单位
VDDA的	模拟电源电压	-	1.62	-	3.6	
葡萄酒 中基于 性别的 暴力 ?)	比较器输入电压范围	-	0	-	VDDA的	V
Vsc ?)	标度器输入电压	-		VREFINT (英语)		
DDA(标量)	标度偏置电压	-	-	±5	±10	毫伏
DDA(标量)	标量静态消耗来自VDDA	BRG_EN=0 (bridge disable)	-	200	300	和
		BRG_EN=1(桥接启用)	-	0.8	1	μA
START_SCALER	Scaler启动时间	-	-	100	200	μS
tSTART	比较器启动时间达到传播延迟 规格	-	-	-	5	μs
tp (4)	传输延迟(从COMP输入引脚到COMP输出引脚)200 毫伏步进与100毫伏超速	VDDA <2.7 V 输出负载50pF VDDA 22.7 V	-	-	35	ns
			-	16.7	31	ns
Voffset ⁽³⁾	比较器偏移误差	全VDDA电压范围, 全温度范围	-9	-6/+2	3	毫伏
维斯	比较器迟滞	HYST[2:0] = 0	-	0	-	
		HYST(2比0)= 1	4	9	16	
		HYST(2比0)= 2	7	18	32	
		HYST[2:0] = 3	11	27	47	
		HYST(2比0)= 4	15	36	63	
		HYST[2:0] = 5	19	45	79	
		HYST[2:0] = 6	23	54	95	
		HYST(2比0)= 7	26	63	110	
良好 (COMP)	来自VDDA的比较器消耗	静态	-	450	720	
		具有50 kHz±100 mV的超速驱动平 方信号	-	450	-	μA

1. 设计保证, 除非另有规定。

2. 参考表20:嵌入式内部电压基准。

3. 表征结果保证。

4. 典型值(3V)是所有比较器传播延迟的平均值。

5.3.23 运算放大器特性

表80。OPAMP特性(1)(2)

象征	参数	条件	最小值	类型	马克斯	单位
VDDA的	模拟电源电压	-	2	3.3	3.6	V
CMIR红外光谱仪	共模输入范围	-	0	-	VDDA的	V
VIOFFSET ⁽³⁾	输入失调电压 I _o	25°C, 输出空载。	-	-	±1.5 ±3	毫伏
输入偏置电压漂移TRIMOFFSE	偏置微调步进在低TP ⁽¹⁾	-	-	±10	-	高压/°C
共输入电压 (0.1 x VDDA)		-	-	1.1	1.2	毫伏
偏移修剪步骤在高TRIMOFFSE TN		-	-	1.3	1.65	
共输入电压 (0.9 x VDDA)		-	-			
负载	驱动电流	-	-	-	500	μA
LOAD_PGA	驱动电流在PGA模式	-	-	-	270	
CLOAD	电容性负载	-	-	-	50	pF
CMRR	抑制比 共模电源抑制比	-	-	60	-	dB
PSRR		RLOAD 2.4 kΩ DC Vcom=负载50pf, 100mV输出	-	80	-	dB
GBW公司	增益带宽 产品	动态范围VDDA 100mV	7	13	-	兆赫
SR (3)	转换速率 (从10%到90%的输出 vg)	正常模式 高速模式	2.5 18	6.5 45	-	V/μs
在	开环增益	100mV输出动态范围VDD100mV 200mV输出动态范围VDDA200mV	65 75	95 95	-	dB
VOHSAT ⁽³⁾ VOLSAT ⁽³⁾	高饱和电压 低饱和电压	load max或Rloadmin输入在VDDA跟随模 式load=max或Rloadmin输入在0。跟随 者模式	VDDA的 -100	-	-	毫伏
米	阶段保证金	追随者模式, Vcom=VDDA/2	-	65	-	°
通用汽车	增益裕度	跟随者模式, Vcom=VDDA/2	-	10	-	dB

表80。OPAMP特性(1)(2)(续)

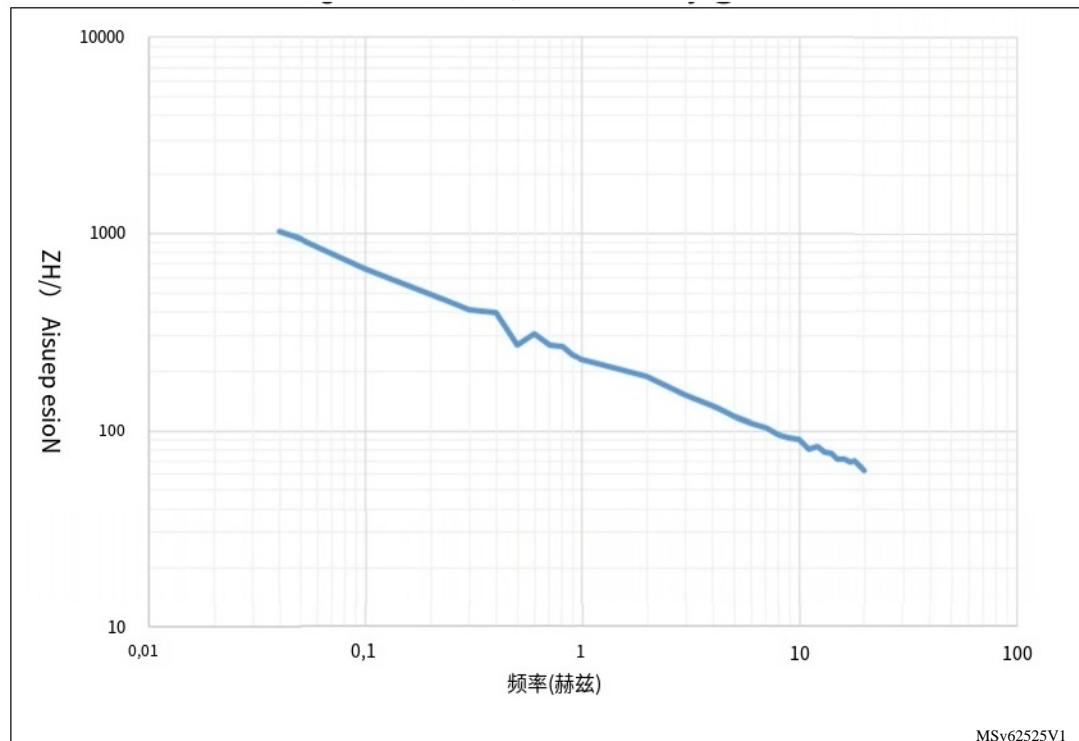
象征	参数	条件	最小值	类型	马克斯	单位
调整 ① ② ③ ④	从OFF状态唤醒时间 。	正常模式 CLOAD S 50 pf, RLOAD 24 kΩ follower配置	-	3	5	μs
		高速模式 CLOAD S50 pf, RLOAD 2 20 kΩ 追随者 配置	-	3	6	
Ibias	OPAMP输入偏置电流	参见表54中的Ileak参数:给定引脚的I/O静态特性。				
PGA增益	非反相增益值(4) 反转增益值	PGA增益=20.1 <输出动态范围VDDA <2.2 VDDA 0.1 PGA增益= 4,100VDDA 22.2 100mv	-2	-	2	%
		PGA增益=8 100mv输出动态范围s VDDA-100mV	-1	-	-	
		PGA增益= 16,100mv输出动态范围s VDDA-100mV	-1	-	-	
		PGA增益=32 200mv输出s VDDA200mV	-2	-	2	
		PGA增益=-64 200mV s输出动态 范围 s VDDA -200mV	-2	-	2	
		VDDA <2.2	-2	-	2	
		PGA增益=-1 100mV输出动态 范围VDDA-100mV PGA增益 =-3,100mV输出动态范围 VDDA-100mV PGA增益=-7	-1	-	-	
		100mV输出动态范围 VDDA-100mV PGA增益 =-15,100mV输出动态范围 VDDA-100mV	-1	-	-	
		PGA 增益=-31 200mV ≤输出≤ VDDA200mV	-2	-	2	%
		PGA增益=-63 200mV s输出动态 范围vdda - 200 mv	-5	-	2	

表80。OPAMP特性(1)(2)(续)

象征	参数	条件	最小值	类型	马克斯	单位
Rnetwork	非反相PGA模式下 R2/R1内阻值(5)	PGA增益=2	-	10/10	-	kΩ/ kΩ
		PGA增益= 4	-	30/10	-	
		PGA增益=8	-	70/10	-	
		PGA增益=16	-	150/10	-	
		PGA增益=32	-	310/10	-	
	反相PGA模式 下R2/R1内阻值)	PGA增益= 64	-	630/10	-	
		PGA增益=-1	-	10/10	-	
		PGA增益=-3	-	30/10	-	
		PGA增益=-7	-	70/10	-	
		PGA增益=-15	-	150/10/310/10	-	
δR	电阻变化(R1或R2)	PGA增益=-31	-		-	%
		PGA增益=-63	-	630/10	-	
PGA BW公司	PGA带宽适用于不同的 非逆变增益	获得= 2	-	GBW/2号文件	-	兆赫
		获得= 4= 8	-	GBW/4	-	
		增益= 16	-	GBW/8	-	
		增益=32增	-	GBW/16	-	
		益=64	-	GBW/32	-	
	不同反相增益的PGA带 宽	获得= 1	-	GBW/64号文件	-	兆赫
		获得= 3	-	GBW/2号文件	-	
		获得= 7	-	GBW/4号文件	-	
		获得= -15	-	GBW/8	-	
		获得= -31	-	GBW/16	-	
在	电压噪声密度	获得= -63	-	GBW/32号文件	-	nV / N 赫兹
		在1千赫, 输出加载4 kΩ	-	250	-	
DDA (运算放大器)	来自VDDA的OPAMP消 耗	在10 kHz, 输出负载4 kΩ	-	90	-	ns
		Normal模式高速模 式	-	1.3	2.2	
Ts_OPAMP_Vo	ADC采样时间 阅读UT时 OPAMP输出。 OPAINT厄恩= 1	空载, 跟随模式	-	1.4	2.6	不
		VDDA < 2v	300	-	-	
IDDA (OPAMPIVDDA NT的OPAMP消耗)	OPAINT厄恩= 1	VDDA22V	200	-	-	不
		正常模式	-	0.45	0.7	
		高速模式	-	0.5	0.8	

1. 设计保证，除非另有规定。
2. 除非另有说明，在正常和高速模式下保证数据。
3. 表征结果保证。
4. 也适用于带外部偏置的反相增益配置。
5. R2是OPAMP输出和OPAMP反相输入之间的内阻。R1是OPAMP反相输入与地之间的内阻。PGA增益=1+R2/R1

图34。OPAMP噪声密度@ 25°C



5.3.24 温度传感器特性

表81。TS特点

象征	参数	最小值	类型	马克斯	单位
TL (1)	vt与温度呈线性关系	-	±1	±2	°C
Avg_Slope (1)	平均斜率	2.3	2.5	2.7	mV/°C
V30	30°C时的电压(±5°C)(2)	0.742	0.76	0.785	V
开始奔跑) 运行模式下的启动时间(缓冲区启动)	-	8	15	μs
tSTART_CONT (3)	进入连续模式时的启动时间	-	70	120	μs
ts_temp (1)	ADC读取温度时的采样时间	5	-	-	μs
IDD (TS) (1)	温度传感器来自VDD的消耗, 当由ADC选择时	-	4.7	7	μA

1. 设计保证。

2. 在VDDA = 3.0 V±10 mV下测量。V30 ADC转换结果存储在TS_CAL1字节中。参考表5:温度传感器校准值。

3. 连续模式是指运行模式或温度传感器ON。

5.3.25 VBAT监控特性

表82。VBAT监控特点(1)

象征	参数	最小值	类型	马克斯	单位
R	VBAT的电阻器桥	-	3 x39	-	KΩ
问	VBAT测量上的比值	-	3	-	-
Er (2)	Q上出错	-10	-	10	%
ts_vbat	ADC读取VBAT时的采样时间	12	-	-	μs

1. 1.55 v < VBAT < 3.6 v。

2. 设计保证。

表83。VBAT充电特性

象征	参数	条件	最小值	类型	马克斯	单位
RBC	电池	VBRS =0	-	5	-	千兆瓦
	充电电阻	VBRS =1	-	1.5	-	

5.3.26 计时器特点

下表给出的参数都是经过设计保证的。

有关输入/输出交替功能特性(输出比较、输入捕获、外部时钟、PWM输出)的详细信息，请参见
[第5.3.14节:I/O端口特性](#)。

表84。TIMx(1)特性(2)

象征	参数	条件	最小值	马克斯	单位
特雷斯 (TIM)	计时器解析时间	$f_{TIMxCLK} = 170$ 兆赫	1	-	$t_{TIMxCLK}$
			5.88	-	ns兆
fExT	定时器外部时钟频率在 CH1至CH4	$f_{TIMxCLK} = 170$ 兆赫	0	$f_{TIMxCLK} / 2$	赫
			0	85	兆赫
ReTIM公司	计时器分辨率	TIMx(除了TIM2和5)	-	16	位
		TIM2和TIM5	-	32	
tCOUNTER	16位计数器时钟周期	$f_{TIMxCLK} = 170$ 兆赫	1	65536	$t_{TIMxCLK}$
			0.00588	385.5	μs
tMAX_COUNT	32位计数器的最大可能计数	$f_{TIMxCLK} = 170$ 兆赫	-	65536×65536	$t_{TIMxCLK}$
			-	25.26	年代
fENC电子	编码器在TI1和TI2输入引脚上的频率在ETR输入上的脉冲宽度	$f_{TIMxCLK} = 170\text{MHz}$	0	$f_{TIMxCLK} / 4$	兆赫
			0	42.5	兆赫
tw(索引)	入上的脉冲宽度	-	2	-	Tck
			-	-	Tck
	除方向时钟x1外，所有编码器模式下TI1和TI2输入的最小脉宽	-	2	-	Tck
			-	-	Tck

1. TIMx是一个通用术语，其中x代表1、2、3、4、5、6、7、8、15、16、17或20。

2. 设计保证。

表85。IWDG 32kHz最小/最大超时时间(LSI)(1)(2)

预定标器分频器	公关(2:0)位	最小超时RL[11:0]=0x000	最大超时 RL[11: 0]= OxFFF	单位
4	0	0.125	512	女士
/8	-	0.250	1024	
/16	2	0.500	2048	
/32	3	1.0	4096	
/64	4	2.0	8192	
/128	5	4.0	16384	
/256	6或7	8.0	32768	

1. 设计保证。
2. 确切的时序仍然取决于APB接口时钟相对于LSI时钟的相位，因此总是有一个完整的RC周期的不确定性。

表86。WWDG 170 MHz时的min/max超时值(PCLK)(1)

预定标器	WDGTB系列	最小超时值	最大超时值	单位
1	0	0.0241	1.542	女士
2	1	0.0482	3.084	
4	2	0.0964	6.168	
8	3	0.1928	12.336	

1. 设计保证。

5.3.27 通信接口特性

I2C接口特性

I2C接口满足I2C总线规范和用户手册rev. 03的时序要求：

- 标准模式(Sm):比特率高达100kbit /s
- 快速模式(Fm):比特率高达400kbit /s
- 快速模式Plus (Fm+):比特率高达1mbit /s。

当I2C外设配置正确时(参考参考手册RM0440 “STM32G4系列高级Arm®32位mcu”)，当I2CCLK频率大于下表所示的最小值时，设计保证了I2C时序要求。

表87。所有I2C模式下的最小I2CCLK频率

象征	参数	条件	最小值	单位
f(I2CCLK)	12 cclk 频率	标准模式	2	兆赫
		模拟滤波ON DNF=0	8	
		快速模式		
		模拟滤镜关闭 DNF=1	9	
		模拟滤波ON DNF=0	17	
		Analog filter OFF DNF=1	16	

SDA和SCL的I/O要求有以下限制:

- SDA和SCL I/O引脚不是“真正的”开漏。当配置为开漏时，连接在I/O引脚和VDDIOx之间的PMOS被禁用，但仍然存在。
- 部分支持快速模式Plus中的20mA输出驱动要求。这限制了Fm+中支持的最大负载负载，由以下公式给出:
 - $t_{R}(SDA/SCL) = 0.8473 \times R_p \times \text{负载}$
 - $R_p(\text{最小}) = (VDD - V_{OL(\text{最大})}) / I_{OL(\text{最大})}$

其中 R_p 是I2C线上拉。关于I2C *I/O输出特性*，请参见[第5.3.14节:I/O端口特性](#)。

所有I2C SDA和SCL I/O输出都嵌入模拟滤波器。模拟滤波器特性参见下[表88](#):

表88。I2C模拟滤波器特性(1)

象征	参数	最小值	马克斯	单位
塔夫	被模拟滤波器抑制的峰值的最大脉冲宽度	50 (2)	90(3)	ns

1. 设计保证。
2. 宽度低于tAF(min)的尖峰被过滤。
3. 宽度高于tAF(max)的尖峰不被过滤

SPI特性

除非另有说明，[表89](#)中给出的SPI参数是在环境温度、fpCLKx频率和电源电压条件下进行的测试得出的，[表17:一般工作条件](#)。

- 输出速度设置为OSPEEDRy[1:0] = 11
- 容性负载C = 30pf
- 测量点在CMOS水平完成:0.5 x VDD

关于输入/*输出交替功能特性*(NSS, SCK, MOSI, MISO用于SPI)的更多细节，请参阅[第5.3.14节:I/O端口特性](#)。

表89。SPI特点(1)

象征	参数	条件	最小值	类型	马克斯(2)	单位
fscK 1 / tc (SCK)	SPI时钟频率	主模式 2.7 V < VDD < 3.6V 电压范围V1	-	-	75	兆赫
		主模式 1.71 V < VpD < 3.6 V 电压范围V1			50	
		主发射机模式 1.71 V < VDD < 3.6 V电 压范围V1			50	
		从机模式 1.71 V < VDD < 3.6 V电 压范围V1			50	
		从模式发射机/全双工 2.7 V < VpD < 3.6 V电 压范围V1	-	-	41	
		从模式发射机/全双工 1.71 V < VDD < 3.6 V 电压范围V1			27	
		1.71 V < VpD < 3.6 V 电压范围V2	-	-	13	
tsu(NSS)	NSS设置时间	从机模式从	4 * 2 * Tpclk Tpclk	-	-	-
th(NSS)	NSS保持时间	机模式		-	-	-
tw(SCKH)	SCK高、低时间	主控模式， SPI预分频器=2	Tpclk-1	Tpclk	Tpclk + 1	ns
tw(SCKL)	数据输入设置时间	主模式从模式	4	-	-	ns
tsu(MI)	tsu(SI)		3	-	-	
千米	数据输入保持时间	主模式	4	-	-	ns
th (SI)		Slave模式	1	-	-	
tsu (SO)	数据输出访问时间	Slave模式	9	-	34	ns
tdis (SO)	数据输出禁用时间	被动式	9	-	16	ns

表89。SPI特性(1)(续)

象征	参数	条件	最小值	类型	马克斯(2)	单位
电视(所以)	数据输出有效时间	被动式 2.7 V < VDD < 3.6 V 电压范围V1	-	9	12	ns
		被动式 1.71 V < VDD < 3.6 V 电压范围V1	-	9	18	
		被动式 1.71 V < VDD < 3.6 V 电压范围V2	-	13	22	
电视(MO)	数据输出保持时间	主模式	-	3.5	4.5	
th(所以)	数据输出保持时间	从机模式 1.71 V < VDD < 3.6 V	6	-	-	
		从模式范围V2	9	-	-	
th (MO)	数据输出保持时间	主模式	2	-	-	

1. 表征结果保证。

2. 从发射机模式下的最大频率由tv(SO)和su(MI)的和决定，它必须在SCK采样边缘之前适应SCK低相或高相。当SPI与tsu(MI) = 0而Duty(SCK) = 50%的主机通信时，可以实现此值。

图35。SPI时序图-奴隶模式和CPHA = 0

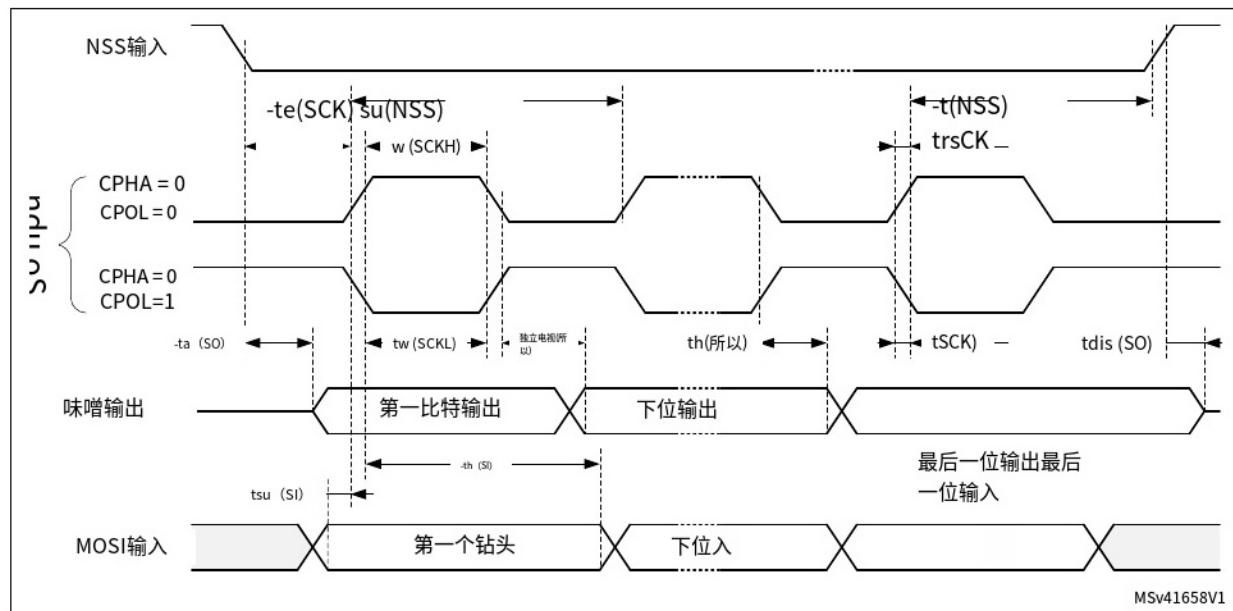
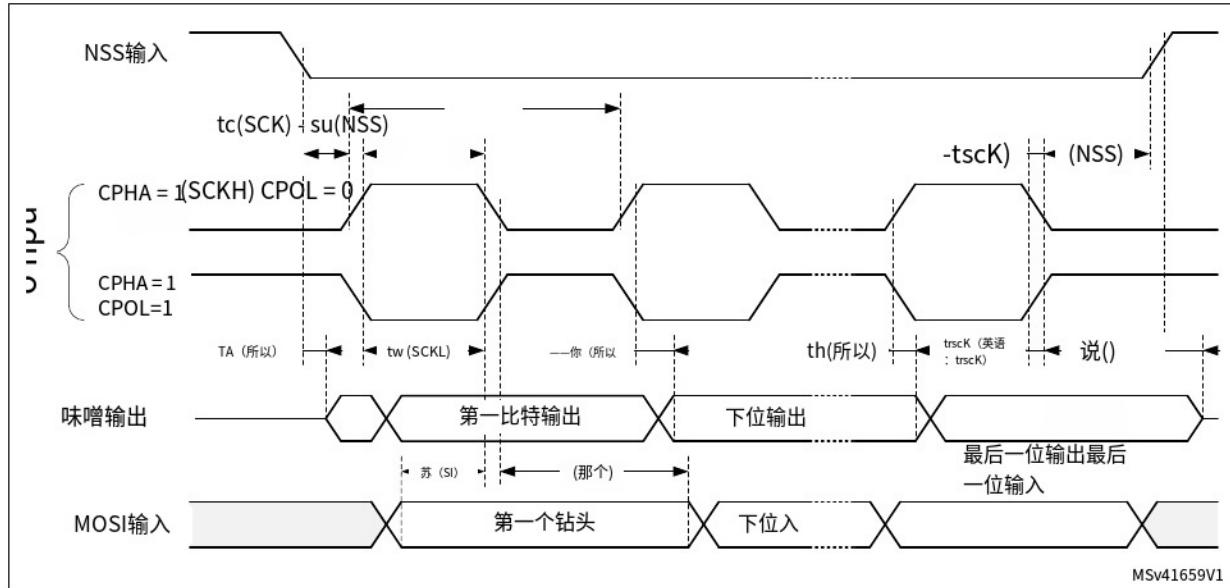
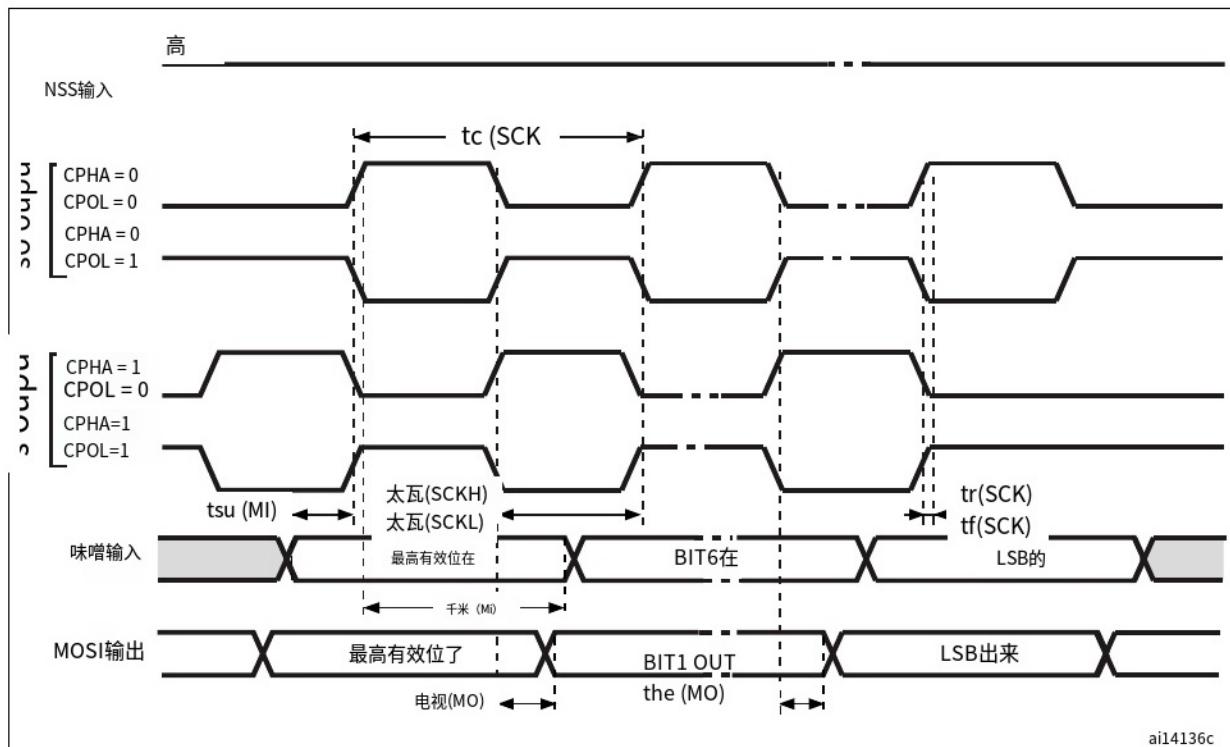


图36。SPI时序图-奴隶模式和CPHA = 1



1. 测量点在CMOS级完成:0.3 Vpp和0.7 Vpp。

图37。SPI时序图-主模式



1. 测量点在CMOS电平:0.3 VDD和0.7 VDD。

I2S特点

除非另有说明, 表90中给出的I2S参数来自于在环境温度、fPCLKx频率和VDD电源电压条件下进行的试验, 详见表17:一般工作条件, 配置如下:

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载C=30pF
- 测量点在CMOS水平:0.5 VDD

有关输入/输出交替功能特性(CK,SD,WS)的更多详细信息, 请参阅5.3.14节:I/O端口特性。

表90。I2S特性(1)

象征	参数	条件	最小值	马克斯	单位
fMCLK型	12S主时钟输出	-	256×8 K	256 * Fs (2)	兆赫
fCK的		主数据	-	64xFs	兆赫
	I2S时钟频率12S时钟	奴隶的数据	-	64xFs	
DCK	频率占空比	奴隶接收机	30	70	%
t(ws)	WS有效时间	主模式	-	6	
th(这些)	WS保持时间	主模式从模式	3	-	
			2	-	
苏(SW)	WS设置时间	被动式	4	-	
tsu(SD_MR)	数据输入设置时间	主接收器	3	-	
苏(SD_SR)		奴隶接收机	4	-	
th(SD_MR)	数据输入保持时间	主接收器	4	-	
th(SD_SR)		奴隶接收机	2	-	
电视(SD_ST)	数据输出有效时间	从发射机(后enable edge)	2.7 Vs VDD 3.6 V 1.65 Vs VDD 3.6 V	-	15 22
电视(SD_MT)		主发射机(启用边缘后)	-	3	
th(SD_ST)	数据输出保持时间	从发射机(使能边缘后)	7	-	
th(SD_MT)		主发射机(启用边缘后)	1	-	

1. 由表征结果保证, 不进行生产测试。

2. 256xFs的最大值是49.152 MHz。

注意: 参考参考手册RM0440“STM32G4系列高级基于Arm®的32位mcu”I2S部分,详细了解采样频率(f), fMCK, fCK, DCK值仅反映数字外设行为,源时钟精度可能略有变化,DCK值主要取决于ODD位值。数字贡献导致每个模式/条件支持的最小值为(I2SDIV/(2*I2SDIV+ODD)和最大值(I2SDIV+ODD)/(2*I2SDIV+ODD)和f最大值。

SAI特性

除非另有说明，[表91](#)中给出的SAI参数是在环境温度、fPCLKx频率和VDD电源电压条件下进行的试验得出的，[表17:一般工作条件](#)，配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 10
- 容性负载C = 30pf
- 测量点在CMOS电平完成:0.5 x VDD

关于输入/输出交替功能[特性\(CK,SD,FS\)](#)的更多细节，请参阅[5.3.14节:I/O端口](#)特性。

表91。SAI特征(1)

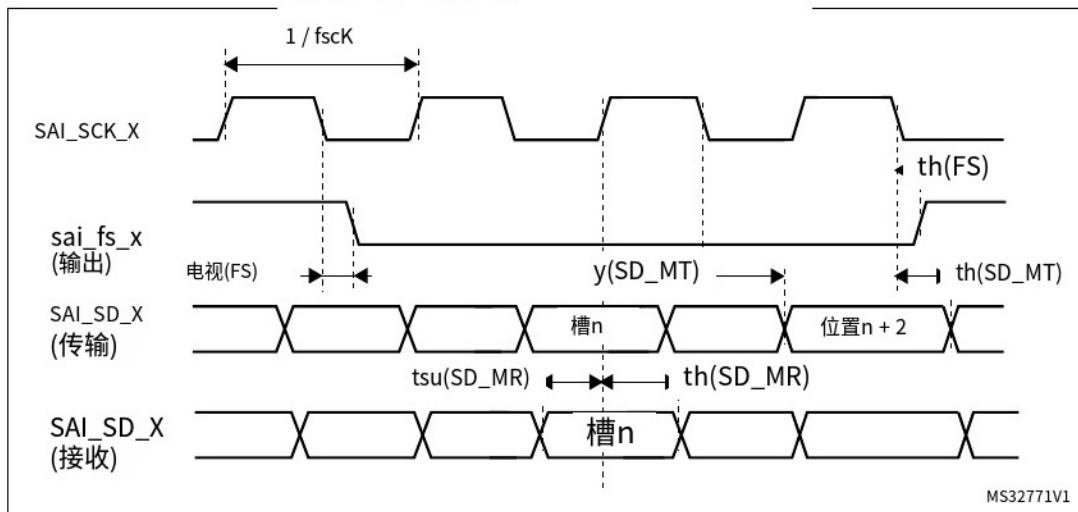
象征	参数	条件	最小值	马克斯	单位
fMCLK型	主时钟输出	-	-	50	兆赫
		主发射机 2.7 V VDD S 3.6 V电压 范围1	-	33	
		主发射机 1.71 Vs VDD S 3.6 V电 压范围1主接收器电压 范围1	-	22	
FCK公司	SAI时钟频率	奴隶发射机 2.7 V VDD S 3.6 V电压 范围	-	22兆赫	
		奴隶发射机 1.71 Vs VpD S 3.6 V电 压范围	-	45	
		从接收机电压范 围	-	29	
		从发射机电压范 围	-	50	
		从发射机电压范 围	-	13	
电视(FS)	FS有效时间	主模式 2.7 Vs VDD是3.6 V主 模式 1.71 Vs VpD S 3.6 V	-	15 ns	
		-	-	22	
th(FS)	FS保持时间	主模式	10	-	ns
苏(FS)	FS设置时间	被动式	2	-	ns
th(FS)	FS保持时间	被动式	1	-	ns
津 (SD_A_MR)	数据输入设置时间	主接收器	2.5	-	ns
津 (SD_B_SR)		奴隶接收机	1	-	ns
th (SD_A_MR)	数据输入保持时间	主接收机从接收 机	5	-	ns
th (SD_B_SR)		1	-		
电视(SD_B_ST)	数据输出有效时间	从发射机(启用边缘后) 2.7 Vs VDD S 3.6 V从发射机(使 能边缘后)	-	11	
		1.71 Vs VDD S 3.6 V从发射机(使能边缘 后)电压范围V2	-	17	ns
			-	20	
th (SD_B_ST)	数据输出保持时间	从发射机(使能边缘后)	10	-	ns

表91。SAI特征(1)(续)

象征	参数	条件	最小值	马克斯	单位
电视(SD_A_MT)	数据输出有效时间	主发射机(启用边缘后) 2.7 Vs VDDS 3.6 V	-	14	ns
		主发射机(启用边缘后) 1.71. VDSD3.6 V	-	21	
th (SD_A_MT)	数据输出保持时间	主发射机(使能边缘后)	10	-	ns

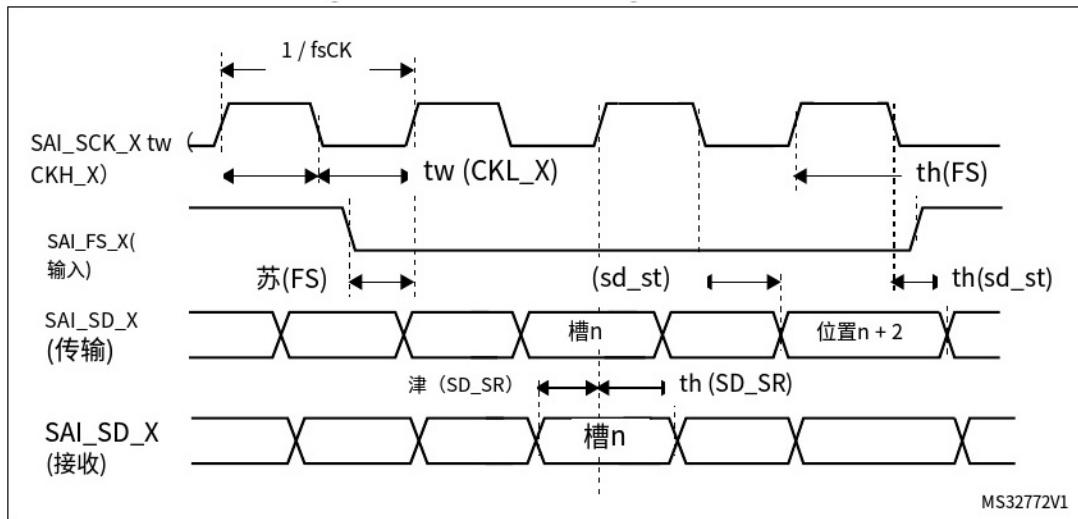
1. 表征结果保证。
 2. APB时钟频率至少为SAI时钟频率的两倍。

图38。SAI主时序波形



MS32771V1

图39。SAI从时序波形



MS32772V1

CAN(控制器局域网络)接口

关于输入/输出交替功能特性(FDCANx_TX和FDCANx_RX)的更多细节, 请参考[第5.3.14节:I/O端口特性](#)。

USB特性

设备USB接口完全符合USB规范2.0版本，通过USB- if认证(适用于设备全速运行)。

表92。USB电气特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
VDD的	USB收发器工作电压		3.0 (2)	-	3.6	V
tcrystal_less	USB少晶操作温度		-15	-	85	°C
鸡	在空闲期间嵌入USB_DP上拉值		900	1250	1500	Ω
RPUR	在接收期间嵌入USB_PD上拉值		1400	2300	3200	
ZSDRV ⁽³⁾	输出驱动器阻抗(4)	驱动高、低	28	36	44	Ω

1. 除非另有说明, TA = -40 ~ 125°C。

2. 设备的USB功能在2.7 V电压下得到保证, 但USB电气特性在2.7到3.0 V电压范围内会降低。

3. 设计保证。

4. USB_PD (D+)和USB_DM (D-)不需要外部端接串联电阻;匹配阻抗已经包含在嵌入式驱动中。

USART接口特性

除非另有说明, 表93中给出的USART参数是在环境温度、fPCLKx频率和VDD电源电压条件下进行的测试得出的, 其配置如下:

- 输出速度设置为OSPEEDRy[1:0] = 10
- 电容性负载C=30 pF
- 测量点在CMOS水平:0.5 VDD

关于输入/输出交替功能**特性**(USART的NSS, CK, TX, RX)的更多细节, 请参阅[5.3.14节:I/O端口特性](#)。

表93。USART电气特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
fcK的	USART时钟频率	主模式	-	-	21	兆赫
		被动式	-	-	22	
tsu(NSS)	NSS设置时间	被动式	TKER的+2	-	-	ns
		被动式		2	-	
太瓦(CKH) 太瓦(CKL)	CK高低时间	主模式	1/fck/2-1	1 / fck / 2	1 / fck / 2 + 1	ns
		被动式				
tsu (RX)	数据输入设置时间	主模式	tk + 2	-	-	ns
		被动式		2	-	
th (RX)	数据输入保持时间	主模式	0.5	-	-	ns
		被动式		1	-	

表93。USART电特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
t (TX)	数据输出有效时间	主模式	-	0.5	1.5	ns
		被动式	-	10	22	
tn (RX)	数据输出保持时间	主模式	0	-	-	
		被动式	7	-	-	

1. 基于表征，未在生产中测试。

5.3.28 加以特点

除非另有说明，[表94至表107](#)中给出的FMC接口参数均来自[表17](#)总结的环境温度、fHCLK频率和VDD电源电压条件下进行的试验，配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 11
- 电容性负载C = 30 pF
- 测量点在CMOS水平完成:0.5 x VDD

请参阅[5.3.14节:I/O端口特性](#)，了解更多关于输入/输出特性的细节。

异步波形和时序

[图40至图43](#)表示异步波形，[表94至表101](#)提供相应的时序。这些表中所示的结果是通过以下FMC配置获得的：

- AddressSetupTime = 0x1
- AddressHoldTime = 0x1
- DataHoldTime = 0x1
- ByteLaneSetup = 0x1
- DataSetupTime = 0x1(异步NWAIT模式除外， DataSetupTime = 0x5)
- BusTurnAroundDuration = 0x0

在所有计时器表中，THCLK为HCLK时钟周期。

图40。异步非多路SRAM/PSRAM/NOR读波形

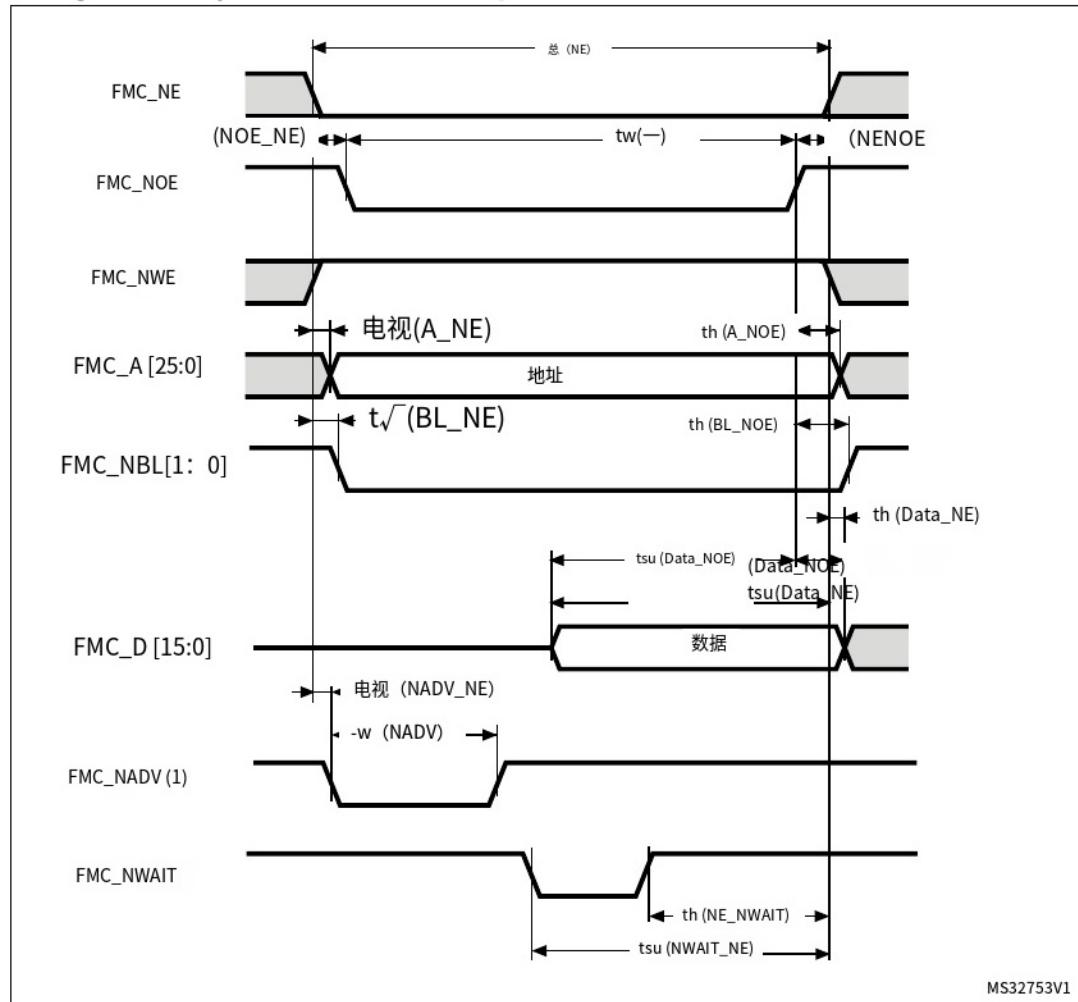


表94。异步非复用SRAM/PSRAM/NOR读取时序(1)(2)

象征	参数	最小值	马克斯	单位
总 (NE)	FMC_NE低时间	3 thclk - 0.5	3 thclk + 1	ns
电视(NOE_NE)	fmc_next低到FMC_NOE低	0	-	
tw(-)	FMC_NOE低时间	2 thclk - 0.5	2 thclk + 1	
th(NE_NOE)	FMC_NOE高到FMC_NE高保持时间	THCLK	-	
电视(A_NE)	FMC_NEx低到FMC_A有效	-	2	
th(A_NOE)	地址保持时间后FMC_NOE高	2 THCLK-1型	-	
tsu(Data_NE)	数据到FMC_NEx高设置时间	THCLK + 20	-	
tsu(Data_NOE)	数据到FMC_NOEx高设置时间	20	-	
th(Data_NOE)	FMC_NOE高后的数据保持时间	0	-	
th(Data_NE)	FMC_NEx高位后数据保持时间	0	-	
tv [−] (NADV_NE)	fmc_next低到FMC_NADV低	-	1.5	
tw (NADV)	FMC_NADV低时间	-	THCLK+8型	

1. CL = 30 pF。

2. 表征结果保证。

表95。异步非多路SRAM/PSRAM/NOR read-NWAIT
计时(1)(2)

象征	参数	最小值	马克斯	单位
总 (NE)	FMC_NE低时间	-	8 THCLK +1	ns
tw(-)	FMC_NWE低时间	7 THCLK-1	7 THCLK + 0.5	
tw (NWAIT)	FMC_NWAIT低时间	THCLK	-	
苏 (NWAIT_NE)	FMC_NWAIT在fmc_next高之前有效	5 THCLK + 17	-	
th (NE_NWAIT)	FMC_NWAIT无效后的fmc_next保持时间	4 thclk + 17	-	

1. CL = 30 pF。

2. 表征结果保证。

图41。异步非多路SRAM/PSRAM/NOR写波形

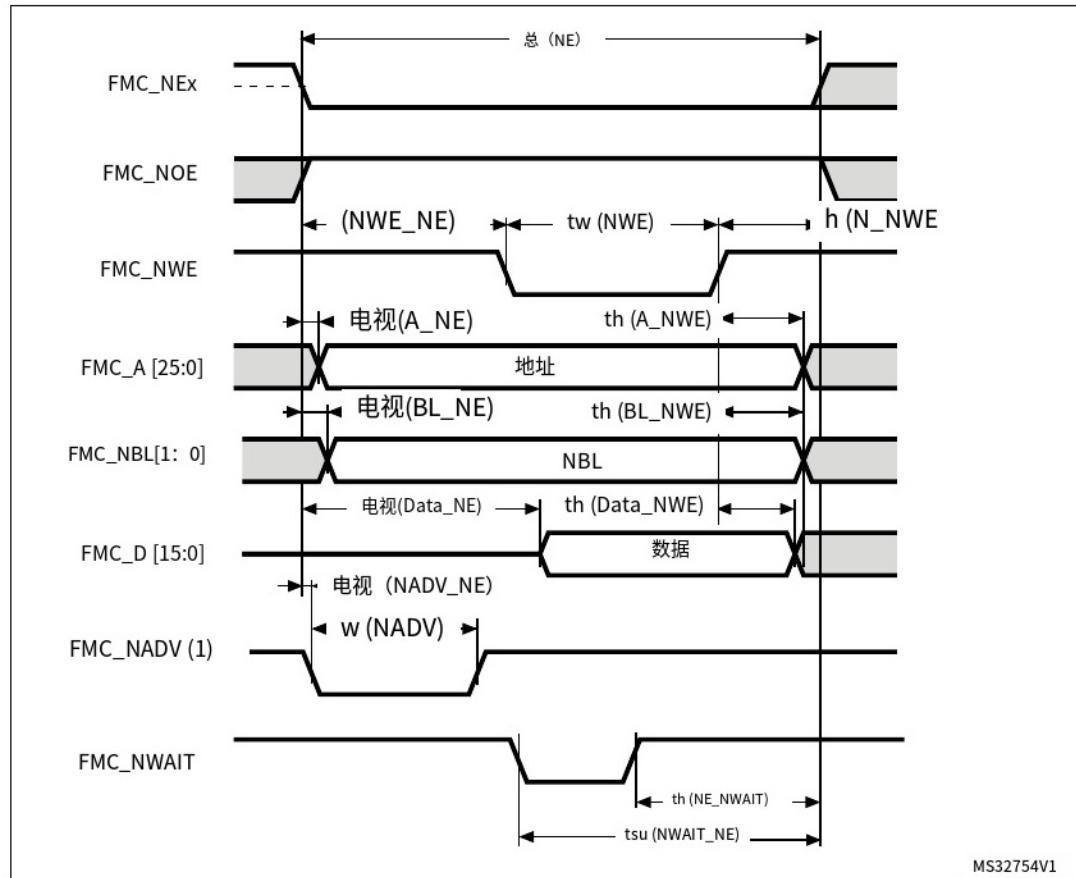


表96。异步非复用SRAM/PSRAM/NOR写时序(1)(2)

象征	参数	最小值	马克斯	单位
总(NE)	FMC_NE低时间	3 thclk - 0.5	3 THCLK +1	ns
电视(NWE_NE)	FMC_NE低到FMC_NWE低	thclk - 0.5	THCLK + 1	
tw(NWE)	FMC_NWE低时间	THCLK-2	THCLK + 1	
TH(NE_NWE)	FMC_NWE高到FMC_NE高保持时间	thclk - 0.5	-	
电视(A_NE)	FMC_NE低到FMC_A有效	-	0	
th(A_NWE)	地址保持时间后FMC_NWE高	THCLK-1型	-	
电视(BL_NE)	FMC_NE低到FMC_BL有效	-	0	
th(BL_NWE)	FMC_NWE高后FMC_BL保持时间	THCLK + 0.5	-	
电视(Data_NE)	Data to FMC_NE low to Data valid	-	THCLK + 2	
th(Data_NWE)	FMC_NWE高后的数据保持时间	THCLK + 6	-	
电视(NADV_NE)	fmc_next低到FMC_NADV低	-	1.5	
tw(NADV)	FMC_NADV低时间	-	THCLK + 0.5	

1. CL = 30 pF。

2. 表征结果保证。

表97。异步非多路SRAM/PSRAM/NOR write-NWAIT
计时(1)(2)

象征	参数	最小值	马克斯	单位
总 (NE)	FMC_NE低时间	9 THCLK-1	9 THCLK +1	
tw (NWE)	FMC_NWE低时间	THCLK-1	6 THCLK +1	
tsu (NWAIT_NE)	FMC_NWAIT在fmc_next高之前有效	7 THCLK + 17	-	ns
th (NE_NWAIT)	FMC_NWAIT无效后的fmc_next保持时间	7 THCLK +17	-	

1. CL = 30 pF。

2. 表征结果保证。

图42。异步多路PSRAM/NOR读波形

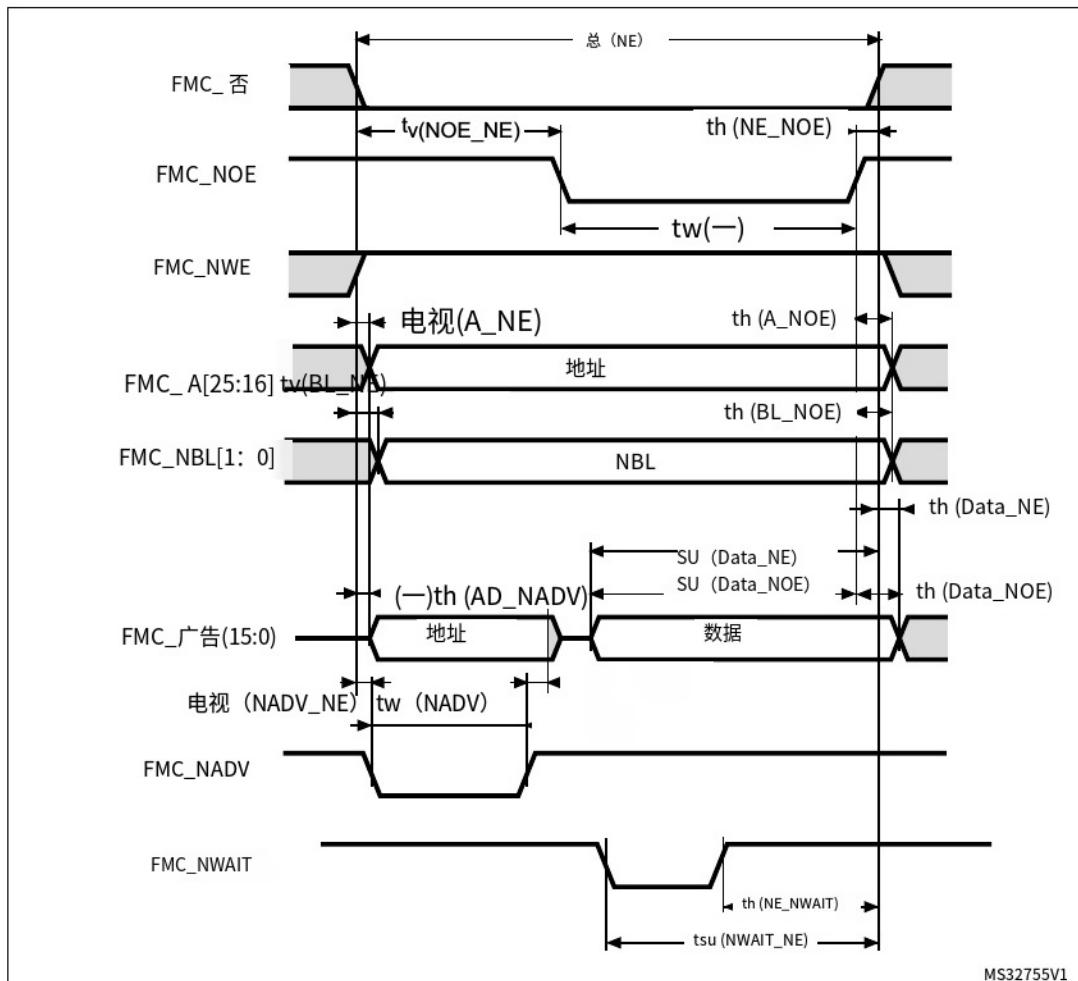


表98。异步多路PSRAM/NOR读时序(1)(2)

象征	参数	最小值	最大3	单位
总(NE)	FMC_NE低时间	3 thclk - 0.5	THCLK +1	
$t_{v^{\prime}}(NOE_NE)$	fmc_next低到FMC_NOE低	0	-	
$tw(-)$	FMC_NOE低时间	2 THCLK - 0.5	2 THCLK + 0.5	
$th(NE_NOE)$	FMC_NOE高到FMC_NE高保持时间	THCLK	-	
电视(A_NE)	FMC_NEx低到FMC_A有效	-	2	
泰(NADV_NE)	FMC_NEx低到FMC_NADV低	0.5	1.5	
$tw(NADV)$	FMC_NADV低时间	THCLK	THCLK + 1.5	
$th(AD_NADV)$	FMC_AD(地址)FMC_NADV高后的有效保持时间	thclk - 0.3	-	
$th(A_NOE)$	地址保持时间后FMC_NOE高	地址保持时间，直到下一次读操作	-	
tsu(Data_NE)	数据到FMC_NEx高设置时间	THCLK 20	-	
tsu(Data_NOE)	数据到FMC_NOE高设置时间	20	-	
$th(Data_NE)$	FMC_NEx高位后数据保持时间	0	-	
$th(Data_NOE)$	FMC_NOE高后的数据保持时间	0	-	

1. CL = 30 pF。

2. 表征结果保证。

表99。异步多路PSRAM/NOR读- nwait时序(1)(2)

象征	参数	最小值	马克斯	单位
总(NE)	FMC_NE低时间	8 THCLK -1	8 +1	
$tw(-)$	FMC_NWE低时间	7 THCLK -1	7 th教练机+ 0.5	
苏(NWAIT_NE)	FMC_NWAIT在fmc_next高之前有效	5 THCLK +17	-	
$th(NE_NWAIT)$	FMC_NWAIT无效后的fmc_next保持时间	4 THCLK +17	-	

1. CL = 30 pF。

2. 表征结果保证。

图43。异步多路PSRAM/NOR写波形

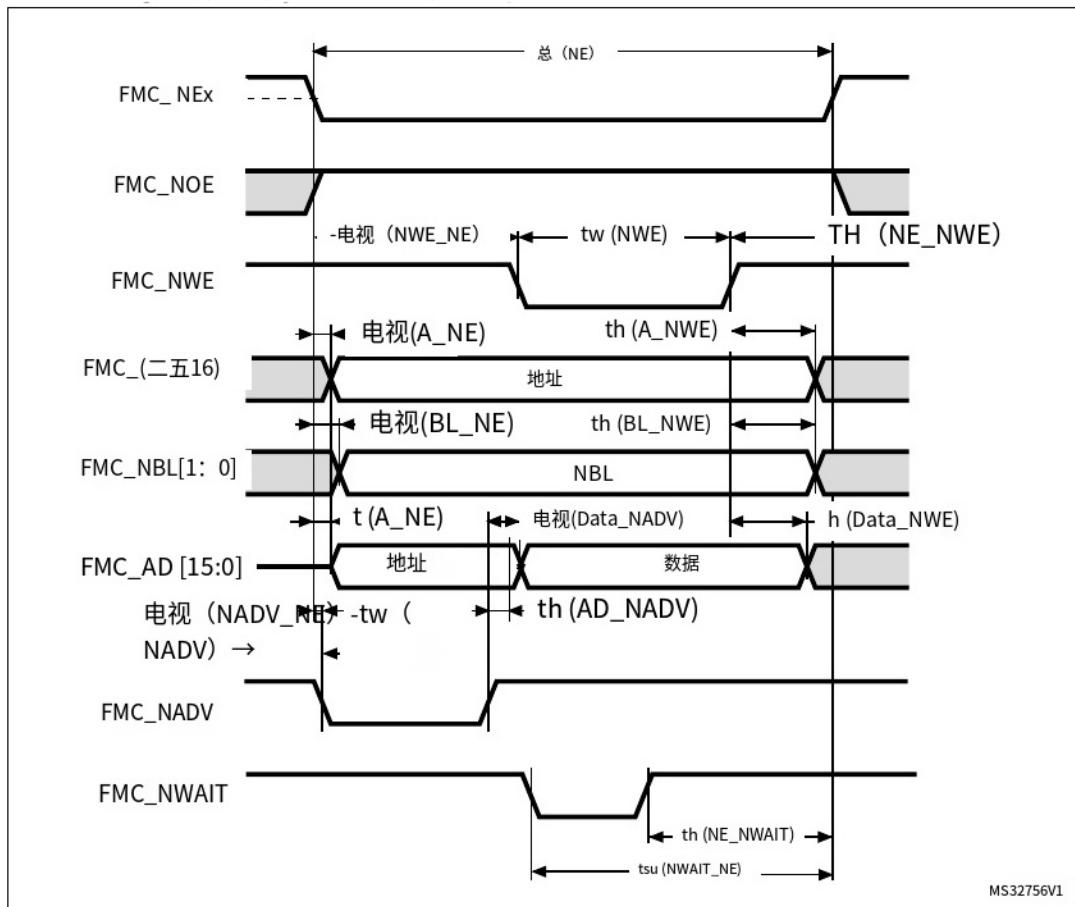


表100。异步多路PSRAM/NOR写时序(1)(2)

象征	参数	最小值	马克斯	单位
总 (NE)	FMC_NE低时间	3 THCLK - 0.5	3 THCLK + 1	
电视(NWE_NE)	FMC_NEx低到FMC_NWE低	THCLK -0.5	THCLK + 1	
tw (NWE)	FMC_NWE低时间	THCLK -2	THCLK + 1	
TH (NE_NWE)	FMC_NWE高到FMC_NE高保持时间	thclk - 0.5	-	
电视(A_NE)	FMC_NEx低到FMC_A有效	-	0	
泰(NADV_NE)	FMC_NEx低到FMC_NADV低	0	1.5	
tw (NADV)	FMC_NADV低时间	THCLK + 0.5	THCLK + 1.5	
th (AD_NADV)	FMC_AD(地址)FMC_NADV高后的有效保持时间	THCLK -3	-	ns
tn (A_NWE)	FMC_NWE高后的地址保持时间	地址保持时间，直到下一次写操作	-	
th (BL_NWE)	FMC_NWE高后的FMC_BL保持时间	thclk - 0.5	-	
t _v (BL_NE)	FMC_NEx低到FMC_BL有效	-	0	
泰(Data_NADV)	FMC_NADV high到Data valid	-	THCLK + 2	
th (Data_NWE)	FMC_NWE高后的数据保持时间	THCLK + 6	-	

1. CL = 30 pF。

2. 表征结果保证。

表101。异步多路PSRAM/NOR写-nwait时序(1)(2)

象征	参数	最小值	马克斯	单位
总 (NE)	FMC_NE低时间	9 THCLK-1型	9 THCLK +1	
tw (NWE)	FMC_NWE低时间	6 THCLK-1	6 thclk + 0.5	
tsu (NWAIT_NE)	FMC_NWAIT在fmc_next高之前有效	7 THCLK + 17	-	
th (NE_NWAIT)	FMC_NWAIT无效后的fmc_next保持时间	5 THCLK +17	-	ns

1. CL = 30 pF。

2. 表征结果保证。

同步波形和定时

图44至图47表示同步波形，表102至表105提供相应的时序。这些表中所示的结果是通过以下FMC配置获得的：

- BurstAccessMode = FMC_BurstAccessMode_Enable
- MemoryType = FMC_MemoryType_CRAM
- WriteBurst = FMC_WriteBurst_Enable
- CLKDivision = 1
- 对于NOR Flash, DataLatency = 1;PSRAM的DataLatency = 0

在所有时钟表中，THCLK为HCLK时钟周期。

- 对于 $2.7 \text{ V} \leq \text{VDD} \leq 3.6 \text{ V}$, CLKDIV = 0x1时最大FMC_CLK = 60 MHz, CL = 30 pF时(FMC_CLK) CLKDIV = 0x0时最大FMC_CLK = 54 MHz。
- 对于 $1.71 \text{ V} \leq \text{VDD} \leq 2.7 \text{ V}$, CLKDIV = 0x1时最大FMC_CLK = 60 MHz, CL= 20 pF时(FMC_CLK) CLKDIV = 0x0时最大FMC_CLK = 32 MHz。

图44。同步多路NOR/PSRAM读取时序

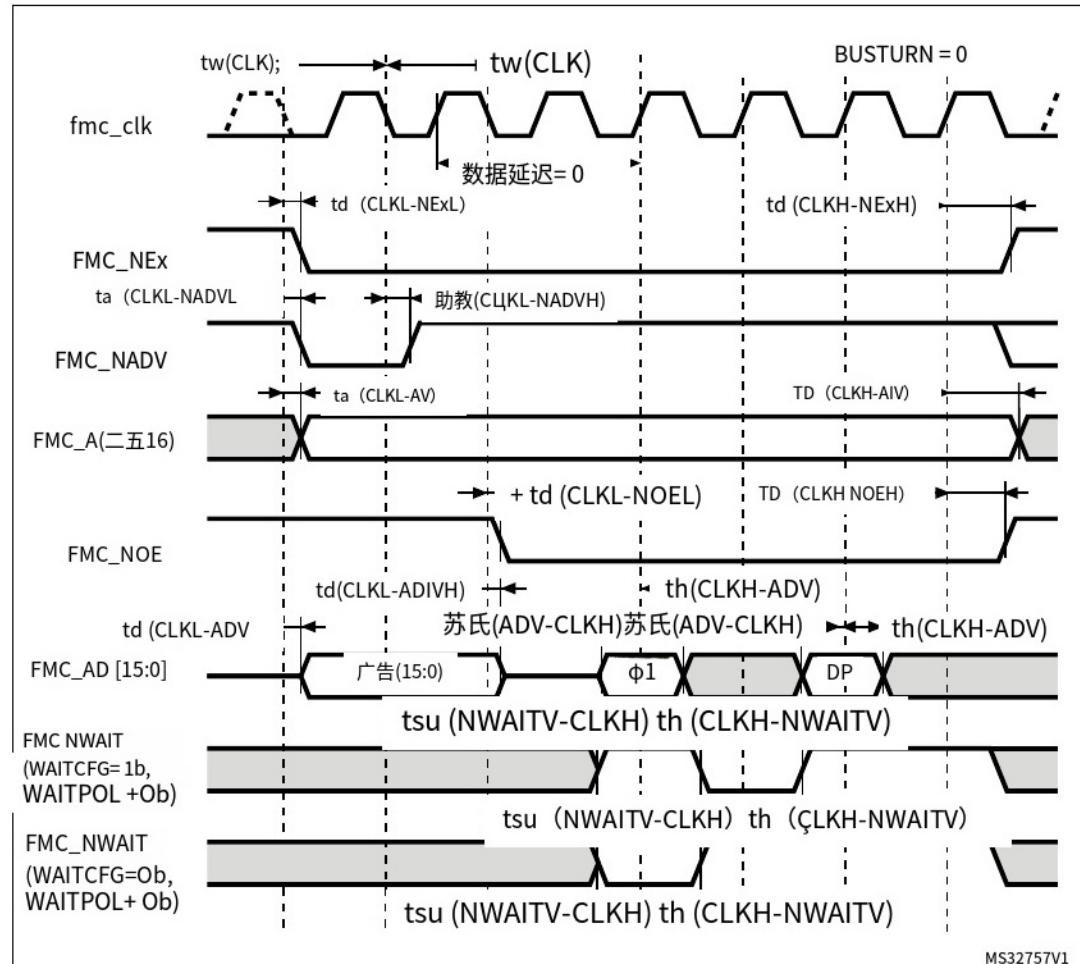


表102。同步复用NOR/PSRAM读取时序(1)(2)(3)

象征	参数	最小值	马克斯	单位
tw(时钟)	FMC_CLK周期	$R * thclk - 0.5$	-	
助教(CLKL-NExL)	FMC_CLK低到FMC_NEx低(x=0..2)	-	1.5	
ta(CLKH_NExH)	FMC_CLK高电平到FMC_NEx高电平(x=0..2)	$R * THCLK / 2 + 1$	-	
ta(CLKL-NADVl)	FMC_CLK低到FMC_NADV低	-	2.5	
的(CLKL-NADVh)	FMC_CLK低到FMC_NADV高	3.5	-	
ta(CLKL-AV)	FMC_CLK低到FMC_Ax有效(x=16..25)	-	4	
ta(CLKH-AIV)	FMC_CLK高到FMC_Ax无效(x=16..25)	$R * thclk / 2 + 1$	-	
ta(CLKL-NOEL)	FMC_CLK低到FMC_NOE低	-	2	
ta(CLKH-NOEH)	FMC_CLK高到FMC_NOE高	$R * THCLK / 2 + 1$	-	
ta(CLKL-ADV)	FMC_CLK低到FMC_AD[15:0]有效	-	3	
ta(CLKL-ADIV)	FMC_CLK低到FMC_AD[15:0]无效	0	-	
tsu(ADV-CLKH)	FMC_A/D[15:0] FMC_CLK高前有效数据	2	-	
th(CLKH-ADV)	FMC_A/D[15:0] FMC_CLK高后的有效数据	4	-	
tsu(NWAIT-CLKH)	FMC_NWAIT在FMC_CLK高之前有效	1.5	-	
th(CLKH-NWAIT)	FMC_CLK高后FMC_NWAIT有效	4	-	

1. CL = 30 pF。

2. 表征结果保证。

3. 时钟比R = (HCLK周期/FMC_CLK周期)。

图45。同步多路PSRAM写入时序

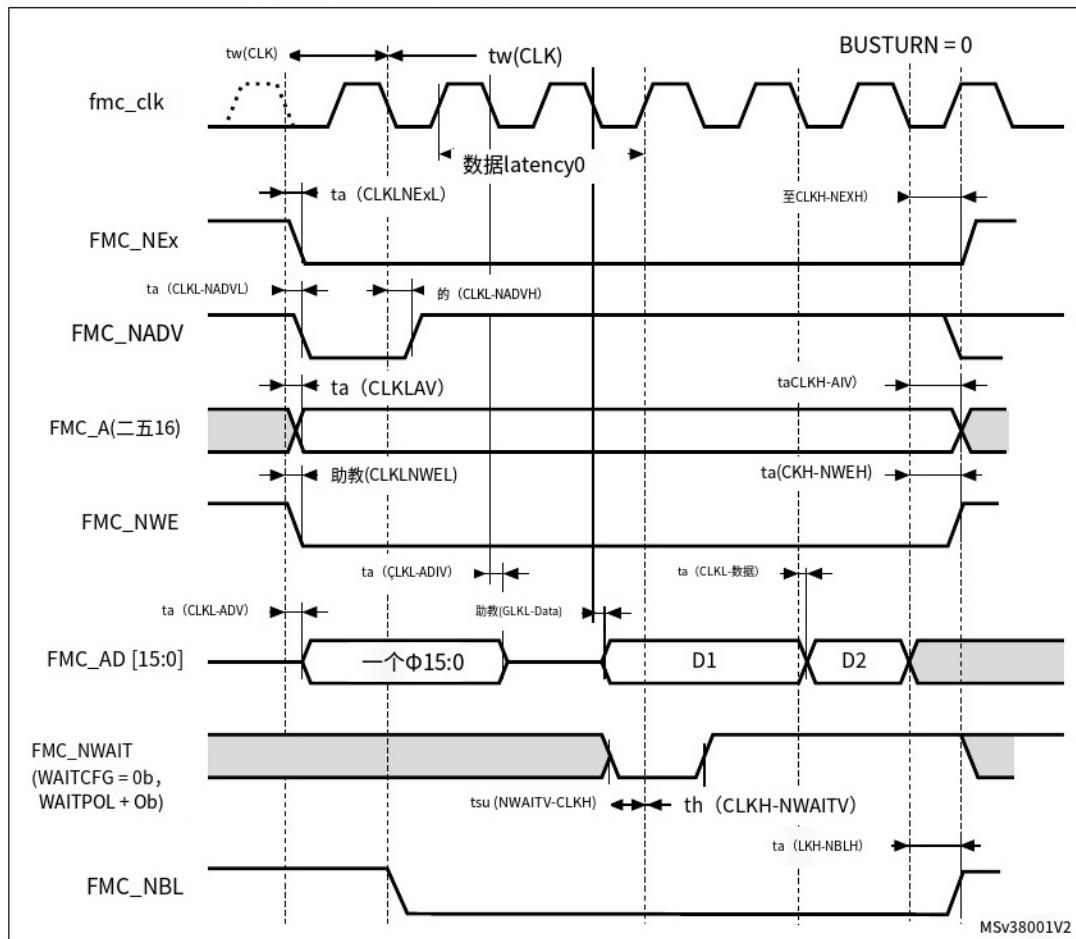


表103。同步多路PSRAM写时序(1)(2)(3)

象征	参数	最小值	马克斯	单位
tw(时钟)	FMC_CLK周期	$R * thclk - 0.5$	-	
助教(CLKL-NExL)	FMC_CLK低到FMC_NEx低(x=0..2)	-	1.5	
ta (CLKH-NExH)	FMC_CLK高电平到FMC_NEx高电平(x= 0…2)	$R * THCLK / 2 + 1$	-	
ta (CLKL-NADVL)	FMC_CLK低到FMC_NADV低	-	2.5	
的 (CLKL-NADVH)	FMC_CLK低到FMC_NADV高	3.5	-	
ta (CLKL-AV)	FMC_CLK低到FMC_Ax有效(x=16…25)	-	4	
ta (CLKH-AIV)	FMC_CLK高到FMC_Ax无效(x=16…25)	$R * thclk / 2 + 1$	-	
ta (CLKL-NWEL)	FMC_CLK低到FMC_NWE低	-	2 ns	
ta(CLKH-NWEH)	FMC_CLK高到FMC_NWE高	$R * THCLK / 2 + 1$	-	
ta (CLKL-ADV)	FMC_CLK低到FMC_AD[15:0]有效	-	3	
ta (CLKL-ADIV)	FMC_CLK低到FMC_AD[15:0]无效	0	-	
ta (CLKL-数据)	FMC_A/D[15:0] FMC_CLK低后的有效数据	-	3	
ta (CLKL-NBLL)	FMC_CLK低到FMC_NBL低	1	-	
ta (CLKH-NBLH)	FMC_CLK高电平到FMC_NBL高电平	$R * thclk / 2 + 1.5$	-	
tsu (NWAIT-CLKH)	FMC_NWAIT在FMC_CLK高之前有效	1.5	-	
th (CLKH-NWAIT)	FMC_CLK高后FMC_NWAIT有效	4	-	

1. CL = 30 pF。

2. 表征结果保证。

3. 时钟比R = (HCLK周期/FMC_CLK周期)。

图46。同步非多路NOR/PSRAM读取时序

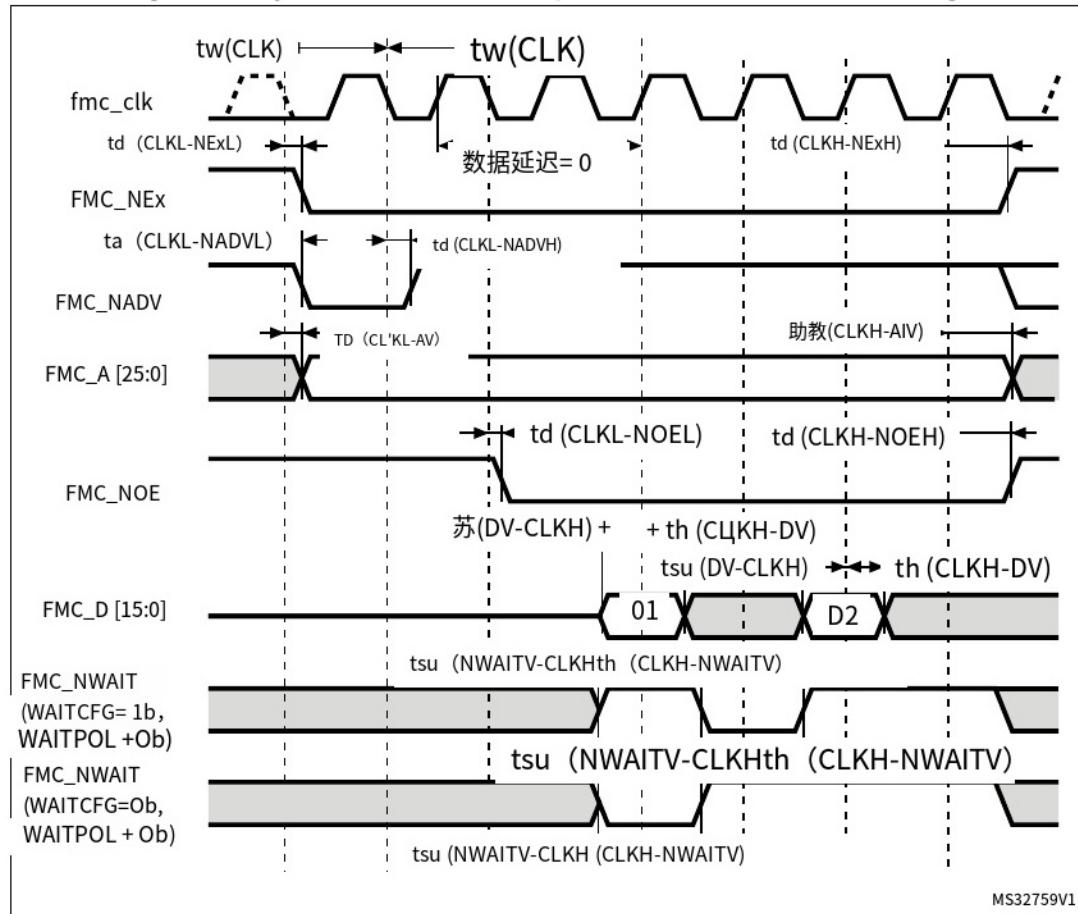


表104。同步非复用NOR/PSRAM读取时序(1)(2)(3)

象征	参数	最小值	马克斯	单位
tw(时钟)	FMC_CLK周期	$R * \text{thclk} - 0.5$	-	
助教(CLKL-NExL)	FMC_CLK低到FMC_NEx低($x=0..2$)	-	1.5	
ta(CLKL-NADVL)	FMC_CLK高电平到FMC_NADV低	$R * \text{THCLK} / 2 + 1$	-	
的(CLKL-NADVH)	FMC_CLK低到FMC_NADV高	3.5	-	
ta(CLKL-AV)	FMC_CLK低到FMC_Ax有效($x=16..25$)	-	4	ns
ta(CLKH-AIV)	FMC_CLK高到FMC_Ax无效($x=16..25$)	$R * \text{THCLK}/2+1$ 型	-	
ta(CLKL-NOEL)	FMC_CLK低到FMC_NOE低	-	2	
ta(CLKH-NOEH)	FMC_CLK高到FMC_NOE高	$R * \text{THCLK}/2 + 1$	-	
su(DV-CLKH)	FMC_D[15:0]前有效数据FMC_CLK高	2	-	
th(CLKH-DV)	FMC_D[15:0]有效数据后FMC_CLK高	4	-	
tsu(NWAIT-CLKH)	FMC_NWAIT在FMC_CLK高之前有效	1.5	-	
th(CLKH-NWAIT)	FMC_CLK高后FMC_NWAIT有效	4	-	ns

1. CL = 30 pF。
2. 表征结果保证。
3. 时钟比R = (HCLK周期/FMC_CLK周期)。

图47。同步非复用PSRAM写时序

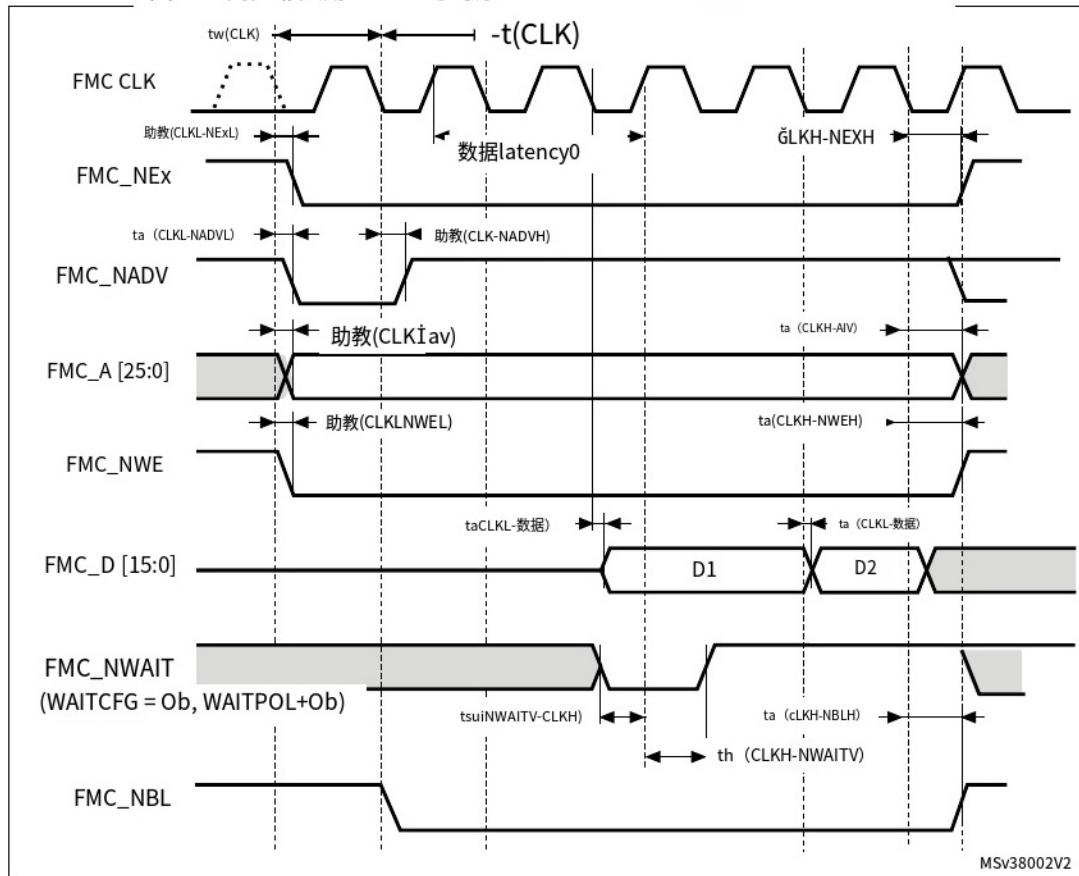


表105。同步非复用PSRAM写时序(1)(2)(3)

象征	参数	最小值	马克斯	单位
tw(时钟)	FMC_CLK周期	$R * thclk - 0.5$	-	ns
助教(CLKL-NExL)	FMC_CLK低到FMC_NEx低(x=0..2)	-	1.5	
ta(CLKH-NExH)	FMC_CLK高电平到FMC_NEx高电平(x=0…2)	$R * THCLK / 2 + 1$	-	
ta(CLKL-NADVL)	FMC_CLK低到FMC_NADV低	-	2.5	
的(CLKL-NADVH)	FMC_CLK低到FMC_NADV高	3.5	-	
ta(CLKL-AV)	FMC_CLK低到FMC_Ax有效(x=16…25)	-	4	
ta(CLKH-AIV)	FMC_CLK高到FMC_Ax无效(x=16…25)	$R * thclk / 2 + 1$	-	
ta(CLKL-NWEL)	FMC_CLK低到FMC_NWE低	-	2	
ta(CLKH-NWEH)	FMC_CLK高到FMC_NWE高	$R * thclk / 2 + 1$	-	
td(CLKL-Data)	FMC_D[15:0]有效数据后FMC_CLK低	-	3	
ta(CLKL-NBLL)	FMC_CLK低到FMC_NBL低	1	-	
ta(CLKH-NBLH)	FMC_CLK高电平到FMC_NBL高电平	$R * thclk / 2 + 1.5$	-	
tsu(NWAIT-CLKH)	FMC_NWAIT在FMC_CLK高之前有效	1.5	-	
th(CLKH-NWAIT)	FMC_CLK高后FMC_NWAIT有效	4	-	

1. CL = 30 pF。

2. 表征结果保证。

3. 时钟比R = (HCLK周期/FMC_CLK周期)。

NAND控制器波形和时序

图48至图51表示同步波形，表106和表107提供相应的时序。这些表中所示的结果是通过以下FMC配置获得的：

- COM。 FMC_SetupTime = 0x01
- COM。 FMC_WaitSetupTime = 0x03
- COM。 FMC_HoldSetupTime = 0x02
- COM。 FMC_HiZSetupTime = 0x01
- at . fmc_setuptime = 0x01
- ATT.FMC_WaitSetupTime = 0x03
- at . fmc_holdsetuptime = 0x02
- at . fmc_hizsetuptime = 0x01
- Bank = FMC_Bank_NAND
- MemoryDataWidth = FMC_MemoryDataWidth_16b
- ECC = FMC_ECC_Enable
- ECCPageSize = FMC_ECCPageSize_512Bytes
- TCLRSetupTime = 0
- TARSetupTime = 0

在所有计时器表中，THCLK为HCLK时钟周期。

图48。用于读访问的NAND控制器波形

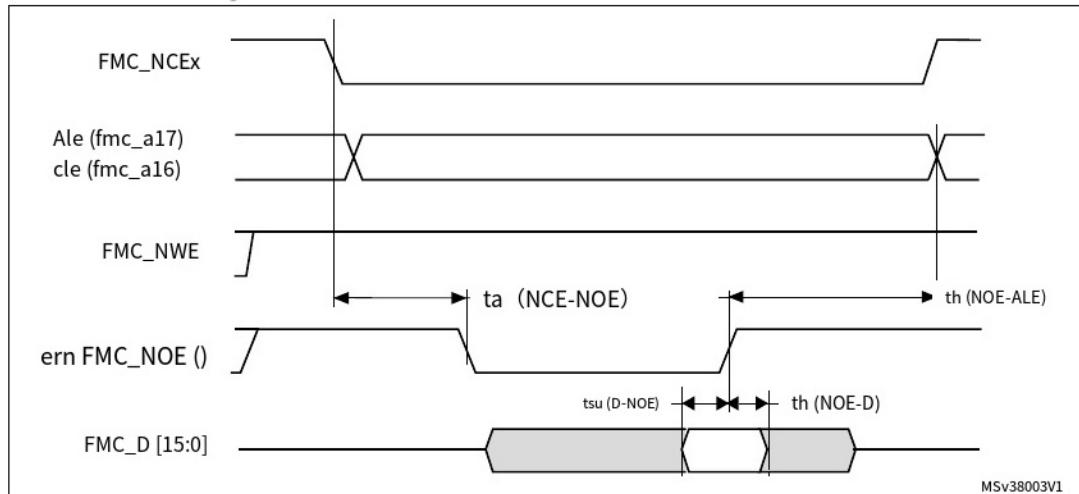


图49。用于写访问的NAND控制器波形

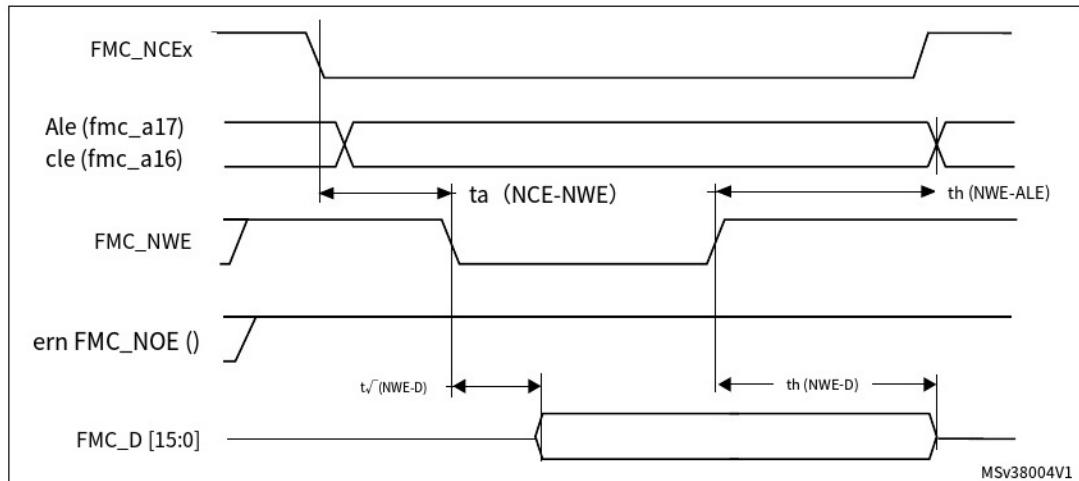


图50。用于普通存储器读访问的NAND控制器波形

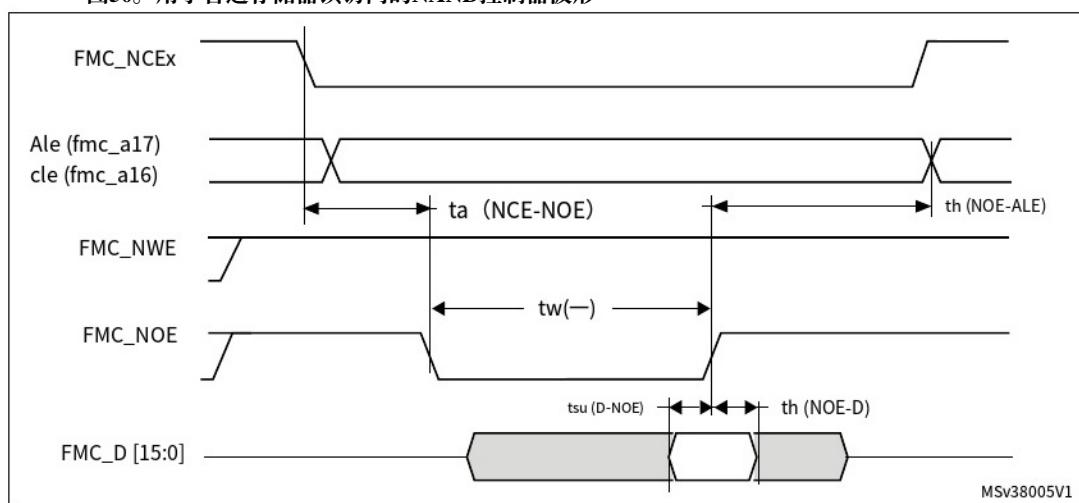


图51。用于通用存储器写访问的NAND控制器波形

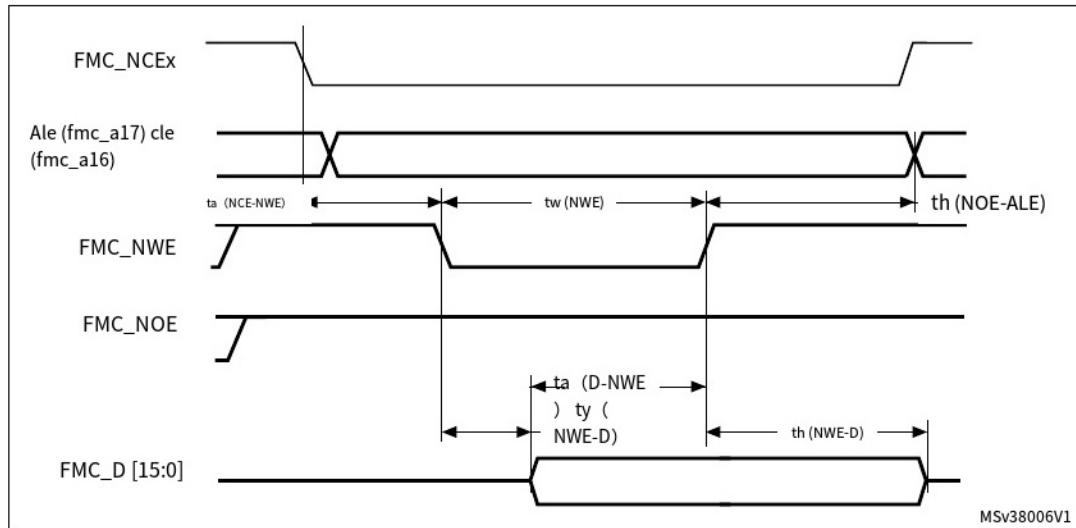


表106。NAND Flash读取周期的开关特性(1)(2)

象征	参数	最小值	马克斯	单位
Tw(—)	FMC_NOE低宽度	4 THCLK-1型	4 THCLK	ns
Tsu (D-NOE)	FMC_D[15-0]前有效数据FMC_NOE高	19	-	
Th (NOE-D)	FMC_D[15-0] FMC_NOE高后的有效数据	0	-	
ta (NCE-NOE)	FMC_NCE在FMC_NOE low之前有效	-	3 THCLK	
Th (NOE-ALE)	FMC_NOE高到FMC_ALE无效	3 THCLK	-	

1. CL = 30 pF。

2. 表征结果保证。

表107。NAND Flash写周期的开关特性(1)(2)

象征	参数	最小值	马克斯	单位
Tw (NWE)	FMC_NWE低宽度	4 THCLK -1	4 THCLK	ns
电视(NWE-D)	FMC_NWE低到FMC_D[15-0]有效	0	-	
Th (NWE-D)	FMC_NWE高到FMC_D[15-0]无效	3 THCLK-1型	-	
Ta (D-NWE)	FMC_D[15-0]在FMC_NWE高之前有效,	5 THCLK	-	
Ta (NCE_NWE)	FMC_NCE在FMC_NWE低之前有效	-	3 THCLK	
Th (NWE-ALE)	FMC_NWE高到FMC_ALE无效	3 THCLK	-	

1. CL = 30 pF。

2. 表征结果保证。

5.3.29 QUADSPI特性

除非另有说明，[表108](#)和[表109](#)中给出的四路SPI参数是在环境温度、fAHB频率和VDD电源电压条件下进行的测试得出的，[表17](#)总结了一般工作条件，配置如下：

- 输出速度设置为OSPEEDRy[1:0] = 11
- 容性负载C = 15或20 pF
- 测量点在CMOS电平完成:0.5×VDD

有关输入/输出交替功能特性的更多详细信息，请参阅[第5.3.14节:I/O端口](#)特性。

表108。SDR模式下的四路SPI特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
F (QCK)	四路SPI时钟频率	1.71<VDD<3.6V, 负载=15pf电压范围	-	-	50	兆赫
		1.71 < VDD < 3.6V, 负载=20pf电压范围	-	-	110	
tw (CKH) 台湾 (CKL)	四路SPI时钟高低时间 均匀分割	PRESCALER [7:0] n= 0,1,3,5···	t(ck/2 - 0.5	-	t(CK/2 + 1	ns
			t (cK) / 2 - 1	-	t(ck/2 + 0.5	
tw (CKH) tw(CKL)奇除	四路SPI时钟高低时间 tw(CKL)奇除	PRESCALER [7:0] n= 2,4,6,8···	t (n / 2) * (科纳克里/ (n + 1) - 0.5	-	(n/2)*t(ck)/(n+1) +1	ns
			t (n / 2 + 1) * (ck) / (n + 1) 1	-	t (n / 2 + 1) * (ck) / (n + 1) + 0.5	
ts(中)	数据输入设置时间	1.71 < VDD < 3.6 V	1	-	-	ns
th(中)	数据输入保持时间	1.71 < VDD < 3.6 V	5	-	-	
电视(出)	数据输出有效时间	1.71 < VDD < 3.6 V	-	1	1.5	
th(出)	数据输出保持时间	1.71 < VDD < 3.6 V	0.5	-	-	

1. 表征结果保证。

表109。DDR模式下的QUADSPI特性(1)

象征	参数	条件	最小值	类型	马克斯	单位
F (QCK)	四路SPI时钟 频率	1.71 < Vpp < 3.6 V, CLOAD = 15pf 电压范围1	-	-	50	兆赫
		1.71 < Vpp < 3.6 V, CLOAD = 20pf 电压范围2	-	-	70	

表109。DDR模式下的QUADSPI特性(1)(续)

象征	参数	条件	最小值	类型	马克斯	单位
tw (CKH)	四路SPI时钟高低时间	PRESCALER [7:0] n= 0,1,3,5···	$t (cKy/2)$	-	$t(cK)/2+1$	
台湾 (CKL)	均匀分割		$t (ck / 2 - 1)$	-	$t(cK)/2$	
tw (CKH)	四路SPI时钟高低时间	PRESCALER [7:0] n= 2,4,6,8···	$(n/2) * \text{科纳克里} / (n+1)$	-	$(n/2) * (cK) / (n+1) + 1$	
	tw(CKL)奇除		$t (n / 2 + 1) * (ck / (n + 1))$	-	$t (n / 2 + 1) * (ck) / (n + 1)$	
tsr(中)	上升沿上的数据输入设置时间	$1.71 < VDD < 3.6$ V		-	-	
tsf(中)	下降沿上的数据输入设置时间	$1.71 < VDDD < 3.6$ V	1	-	-	
刺(中)	数据输入上升沿保持时间	$1.71 < VDD < 3.6$ V	6	-	-	
四氢呋喃(中)	数据输入下降沿保持时间	$1.71 < VDD < 3.6$ V	5	-	-	
tvr(出)	数据在上升沿上输出有效时间	$1.71 < VDD < 3.6$ V DHHC = 0 $1.71 < VpD < 3.6$ V DHHC = 1	-	7.5 Thclk/2 +1	8 Thclk / 2 + 1.5	ns
tvf(出)	数据输出有效时间	$1.71 < VpD < 3.6$ V DHHC = 0 $1.71 < VDD < 3.6$ V DHHC = 1	-	7 THCLK/2型 +1	10 THCLK/2+2型	
刺(出)	数据输出上升沿保持时间	$1.71 < VDD < 3.6$ V DHHC = 0 $1.71 < VpD < 3.6$ V DHHC = 1	2	-	-	
四氢呋喃(出)	下降沿上的数据输出保持时间	$1.71 < VDD < 3.6$ V DHHC = 0 $1.71 < GTC < 3.6$ 英寸 DHHC = 10	3 Thclk / 2 + 0.5	-	-	

1. 表征结果保证。

图52。四路SPI时序图- SDR模式

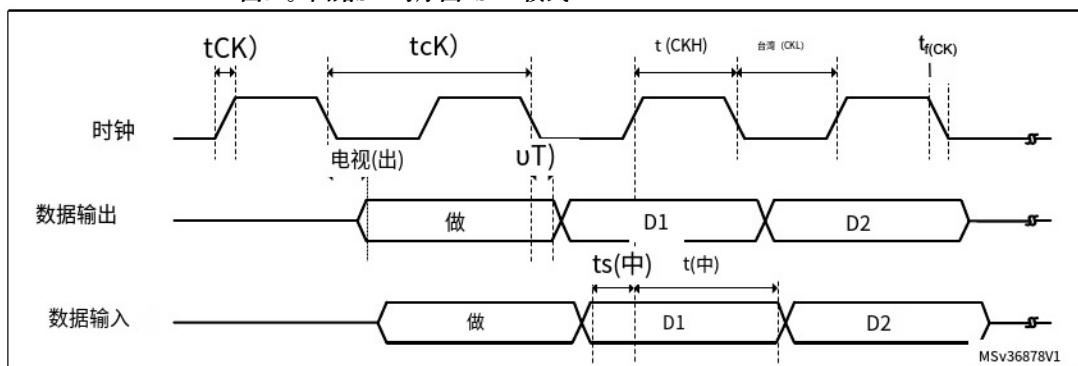
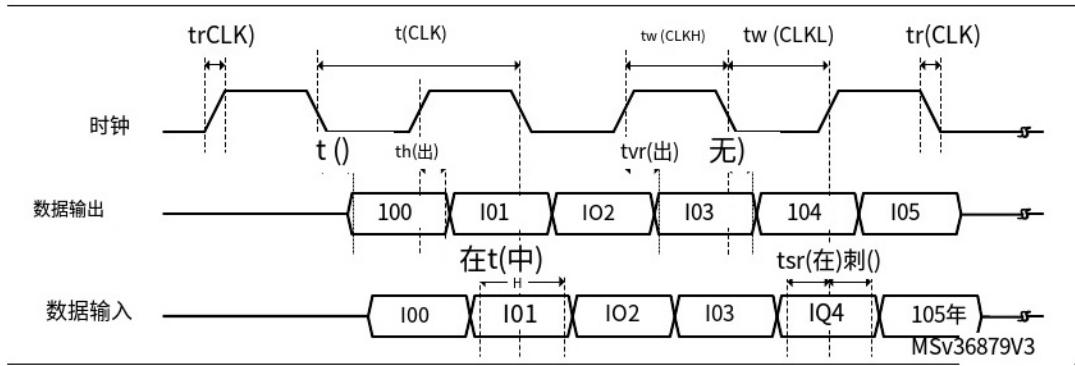


图53。四路SPI时序图- DDR模式



5.3.30 UCPD特点

UCPD1控制器符合USB Type-C Rev.1.2和USB Power Delivery Rev. 3.0规范。

表110。UCPD特点

象征	参数	条件	最小值	类型	马克斯	单位
VDD的	UCPD工作电源电压	仅限下沉模式	3.0	3.3	3.6	V
		汇源模式	3.135	3.3	3.465	V

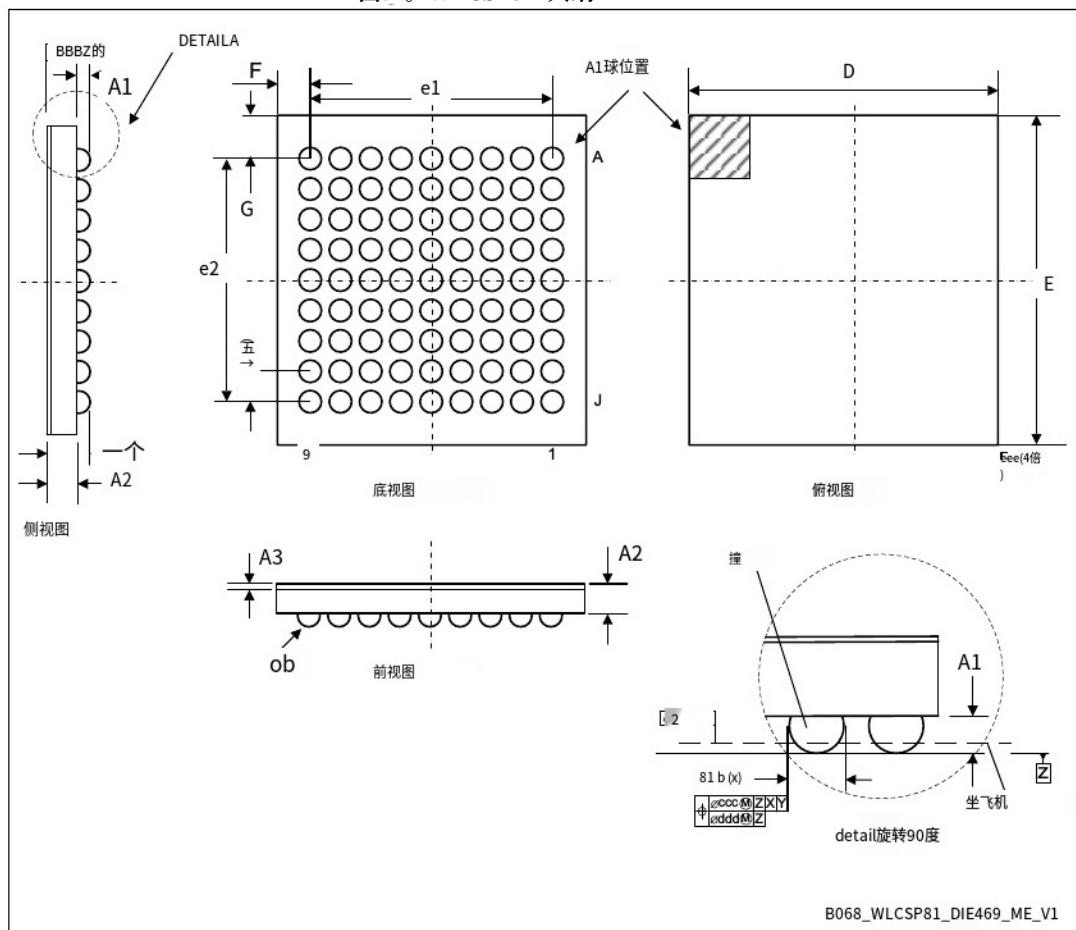
6 包信息

为了满足环保要求, ST提供不同等级的ECOPACK封装, 这取决于它们的环保合规水平。ECOPACK规格, 等级定义和产品状态可在:www.st.com。ECOPACK是一个ST商标。

6.1 WLCSP81包信息

这款WLCSP是一款81球、4.02 x 4.27 mm、0.4 mm节距的晶圆级芯片规模封装。

图54。WLCSP81 -大纲



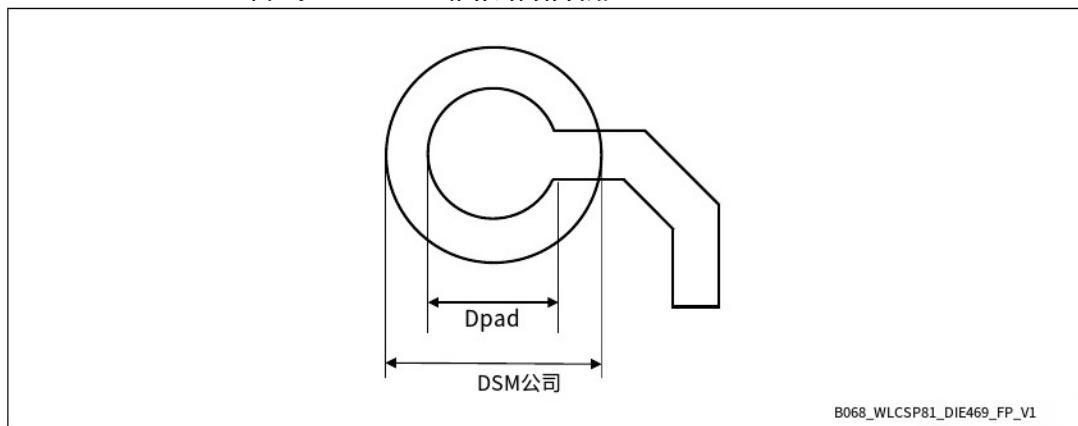
1. 绘图不按比例。
2. 尺寸以平行于主基准面Z的最大凸起直径测量。
3. 主基准面Z和座席平面由凸起的球形冠定义。
4. 凸起位置指定符合JESD 95-1, SPP-010。

表111。WLCSP81 -机械数据

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
(2)	-	-	0.59	-	-	0.023
A1	-	0.18	-	-	0.007	-
A2	-	0.38	-	-	0.015	-
A3	-	0.025	-	-	0.001	-
b	0.22	0.25	0.28	0.009	0.010	0.011
D	4.00	4.02	4.04	0.157	0.158	0.159
E	4.25	4.27	4.29	0.167	0.168	0.169
e	-	0.40	-	-	0.016	-
e1	-	3.20	-	-	0.126	-
e2	-	3.20	-	-	0.126	-
F (3)	-	0.410	-	-	0.016	-
G (3)	-	0.535	-	-	0.021	-
aaa	-	-	0.10	-	-	0.004
BBB公司	-	-	0.10	-	-	0.004
CCC	-	-	0.10	-	-	0.004
DDD的	-	-	0.05	-	-	0.002
eee	-	-	0.05	-	-	0.002

1. 以英寸为单位的值由毫米转换为3位小数。
2. 最大总包装高度由RSS方法(平方根)计算，使用A1和A2的标称值和公差值。
3. 计算出来的尺寸四舍五入到小数点后第三位

图55。WLCSP81—推荐的内存占用



B068_WLCSP81_DIE469_FP_V1

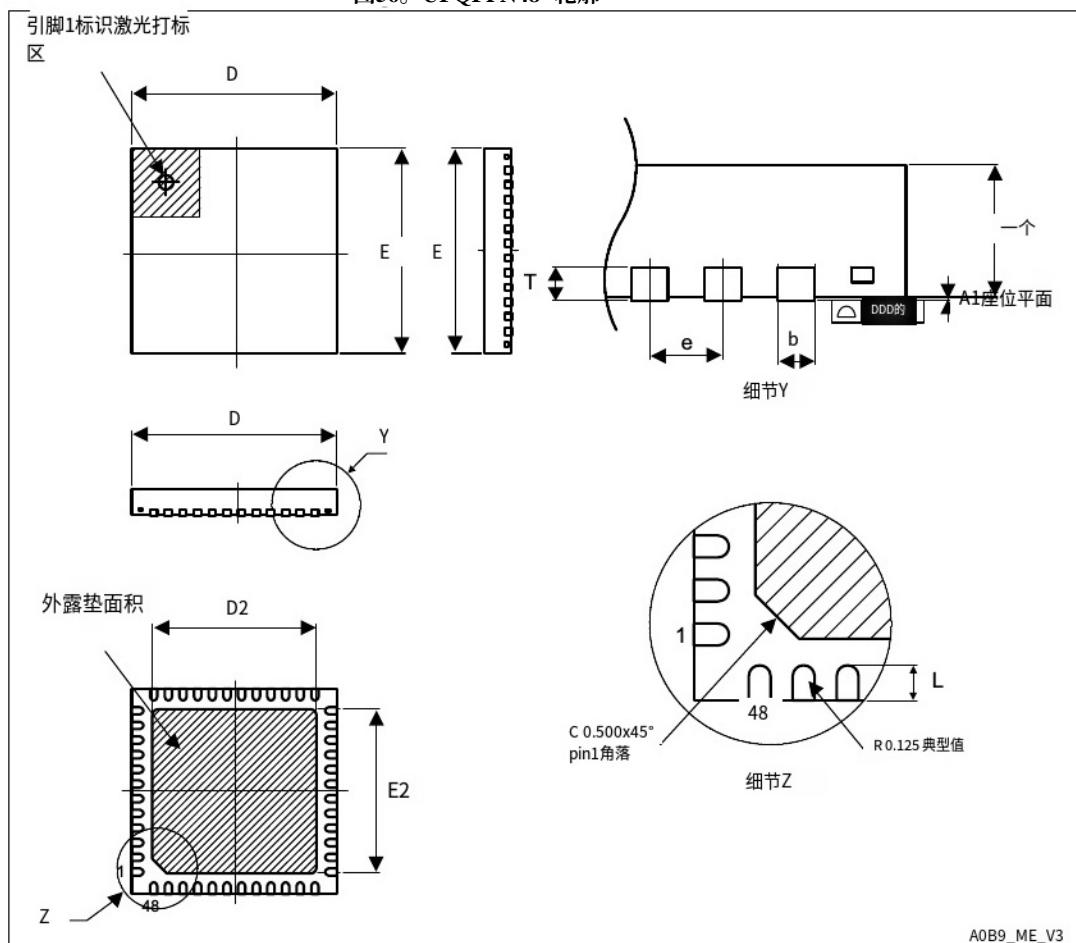
表112。WLCSP81 -推荐PCB设计规则

维	推荐值
球场	0.4毫米
Dpad	0225毫米
DSM公司	0.290 mm型。(取决于焊罩配准公差)d
钢网开口	0.250毫米
钢网厚度	0.100毫米

6.2 UFQFPN48包信息

此UFQFPN为48引脚，7x7 mm, 0.5 mm间距，超薄细间距四平面封装。

图56。UFQFPN48 -轮廓



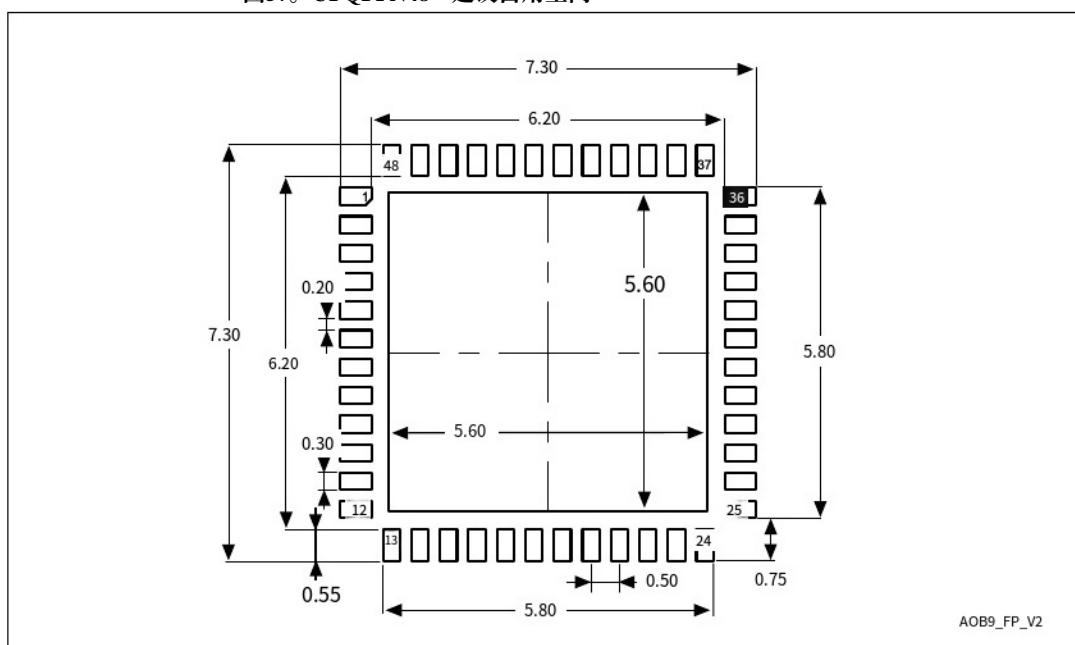
1. 绘图不按比例。
2. 所有的引线/焊盘也应焊接到PCB上，以提高引线/焊盘的焊点寿命。
3. UFQFPN48封装的底面有一个外露的模垫。建议将此背衬垫连接并焊接到PCB地。

表113。UFQFPN48 -机械数据

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
-个	0.500	0.550	0.600	0.0197	0.0217	0.0236
A1	0.000	0.020	0.050	0.0000	0.0008	0.0020
D	6.900	7.000	7.100	0.2717	0.2756	0.2795
E	6.900	7.000	7.100	0.2717	0.2756	0.2795
D2	5.500	5.600	5.700	0.2165	0.2205	0.2244
E2	5.500	5.600	5.700	0.2165	0.2205	0.2244
l _s	0.300	0.400	0.500	0.0118	0.0157	0.0197
T	-	0.152	-	-	0.0060	-
b	0.200	0.250	0.300	0.0079	0.0098	0.0118
e	-	0.500	-	-	0.0197	-
DDD的	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图57。UFQFPN48—建议占用空间



1. 尺寸以毫米表示。

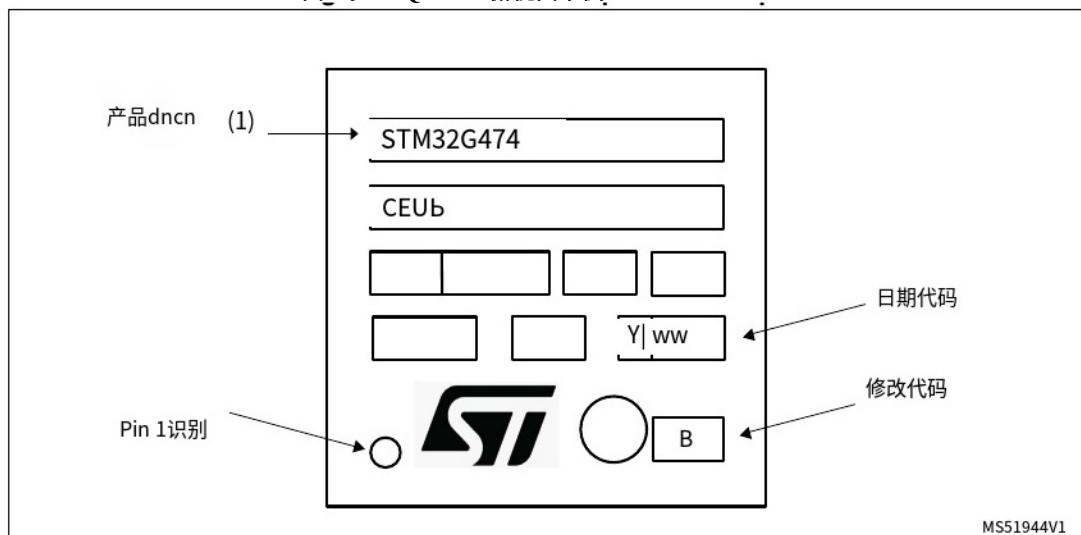
UFQFPN48器件标记

下图给出了顶部标记方向与引脚1标识符位置的例子。

打印的标记可能会因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图58。UFQFPN48俯视图示例

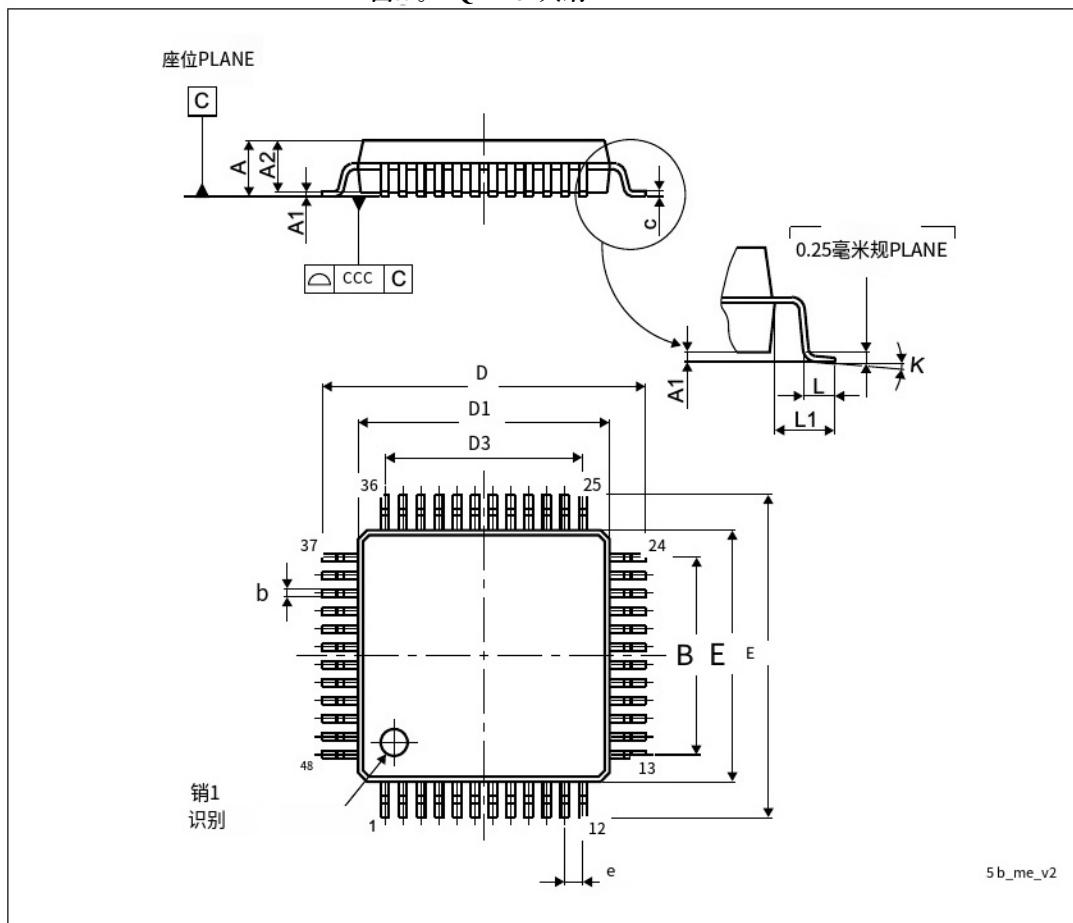


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.3 LQFP48包信息

这个LQFP是一个48针， 7×7 毫米的低轮廓四平面封装。

图59。LQFP48 - 大纲



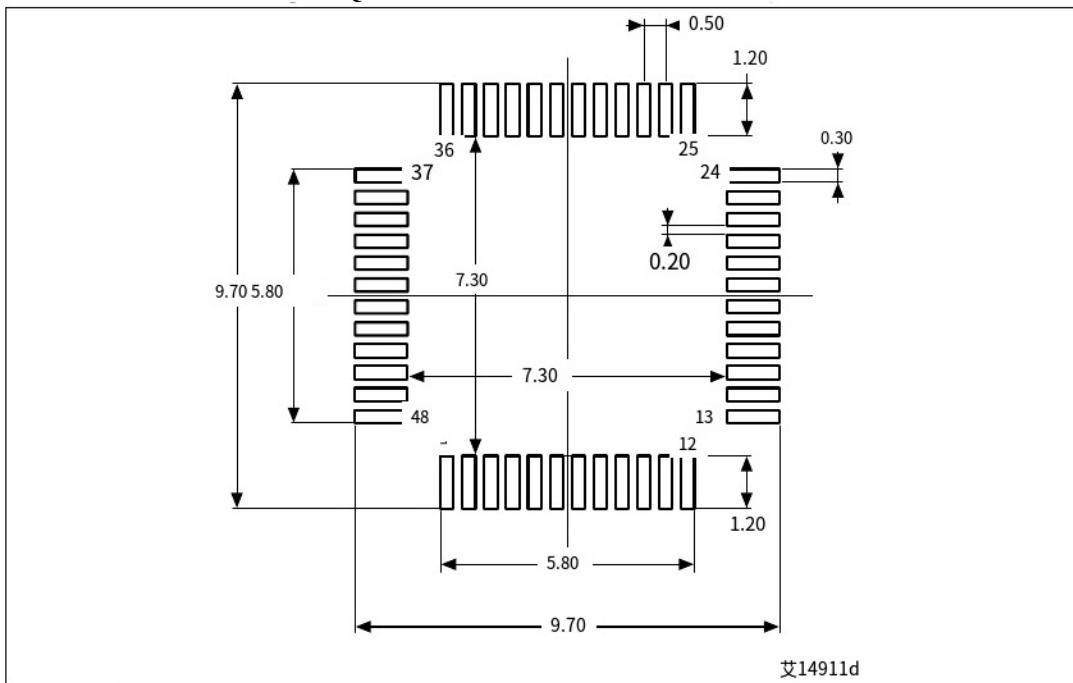
1. 绘图不按比例。

表114。LQFP48 -机械数据

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
- ^个	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	8.800	9.000	9.200	0.3465	0.3543	0.3622
D1	6.800	7.000	7.200	0.2677	0.2756	0.2835
D3	-	5.500	-	-	0.2165	-
E	8.800	9.000	9.200	0.3465	0.3543	0.3622
E1	6.800	7.000	7.200	0.2677	0.2756	0.2835
E3	-	5.500	-	-	0.2165	-
e	-	0.500	-	-	0.0197	-
l _o	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
ccc	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图60。LQFP48—建议占用空间



1. 尺寸以毫米表示。

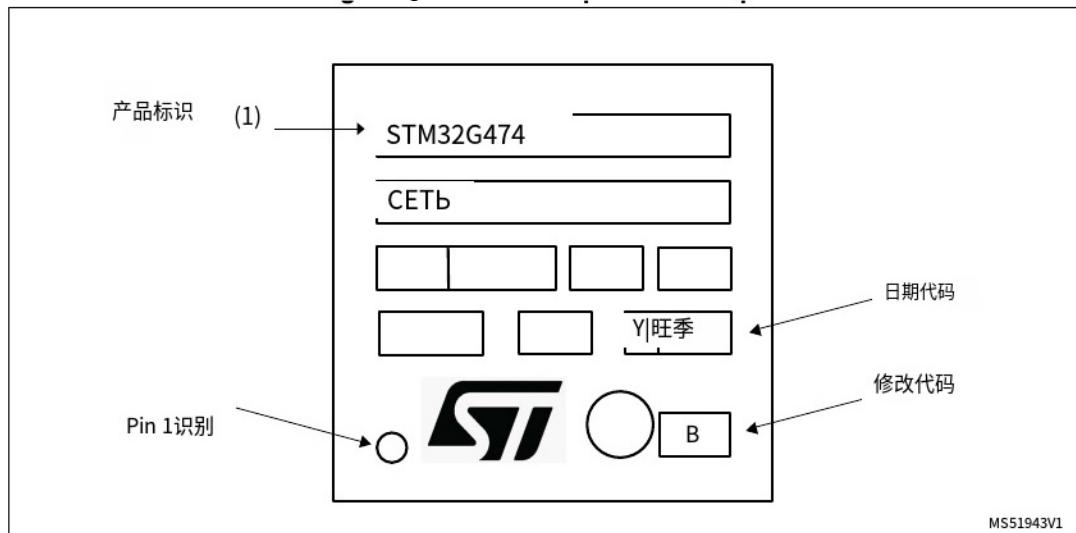
LQFP48器件标记

下图给出了顶部标记方向与引脚1标识符位置的示例。

打印的标记可能会因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图61。LQFP48俯视图示例

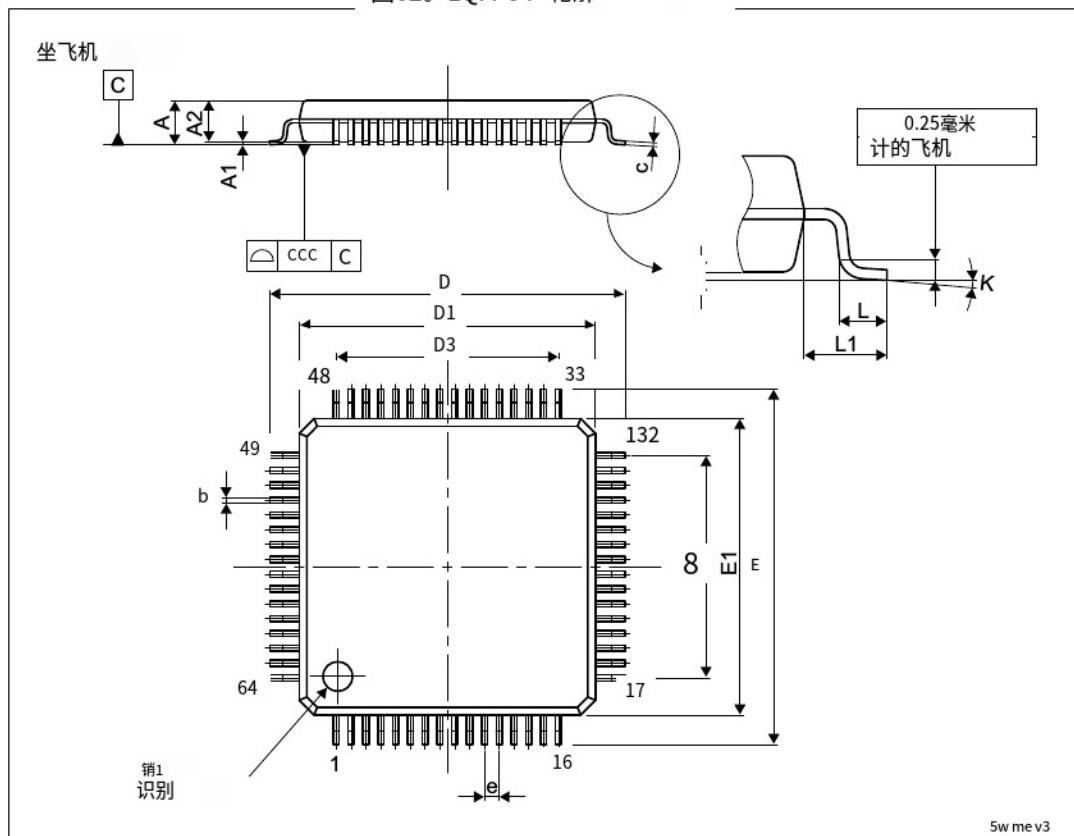


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.4 LQFP64包信息

此LQFP为64引脚，10 x 10 mm低轮廓四平面封装。

图62。LQFP64 -轮廓



1. 绘图不按比例。

表115。LQFP64 -机械数据

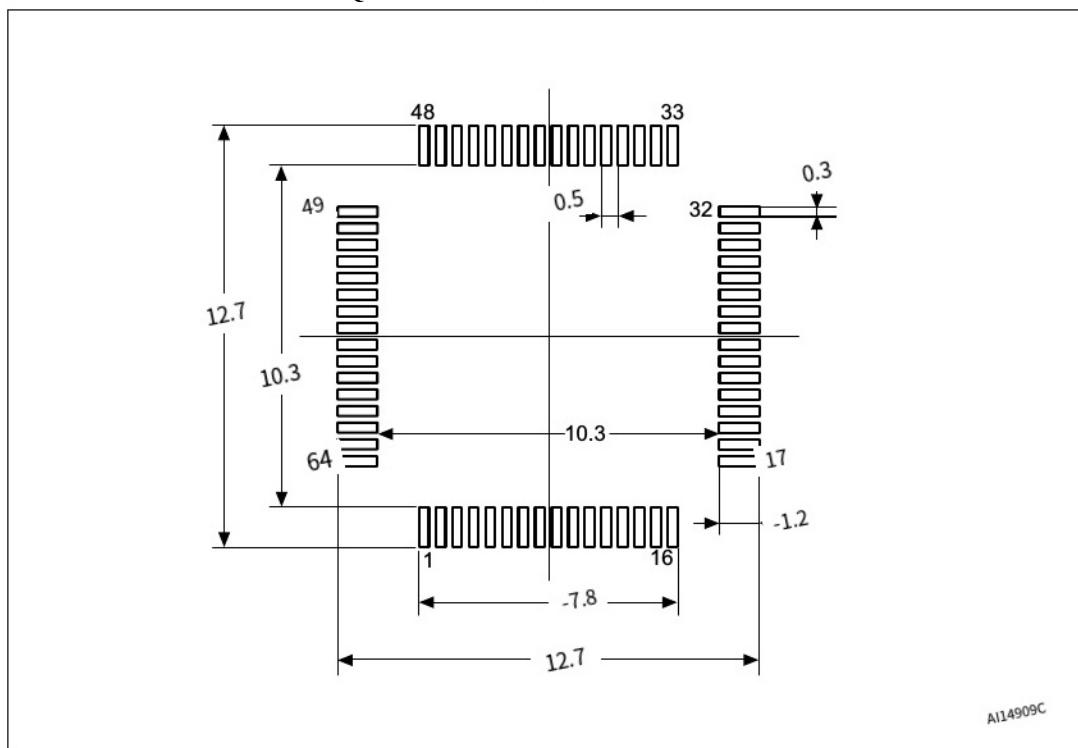
象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
一个	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	12.000	-	-	0.4724	-
D1	-	10.000	-	-	0.3937	-
D3	-	7.500	-	-	0.2953	-
E	-	12.000	-	-	0.4724	-
E1	-	10.000	-	-	0.3937	-

表115。LQFP64 - 机械数据(续)

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
E3	-	7.500	-	-	0.2953	-
e	-	0.500	-	-	0.0197	-
K	0°	3.5°	7°	0°	3.5°	7°
l _o	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图63。LQFP64—建议的内存占用



1. 尺寸以毫米表示。

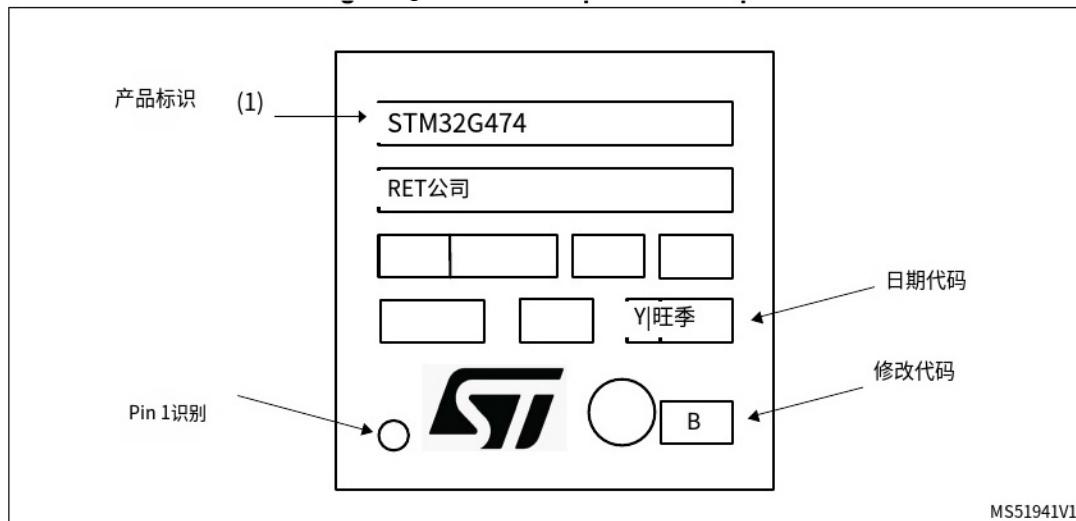
LQFP64器件标记

下图给出了顶部标记方向与引脚1标识符位置的示例。

打印的标记可能因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图64。LQFP64俯视图示例

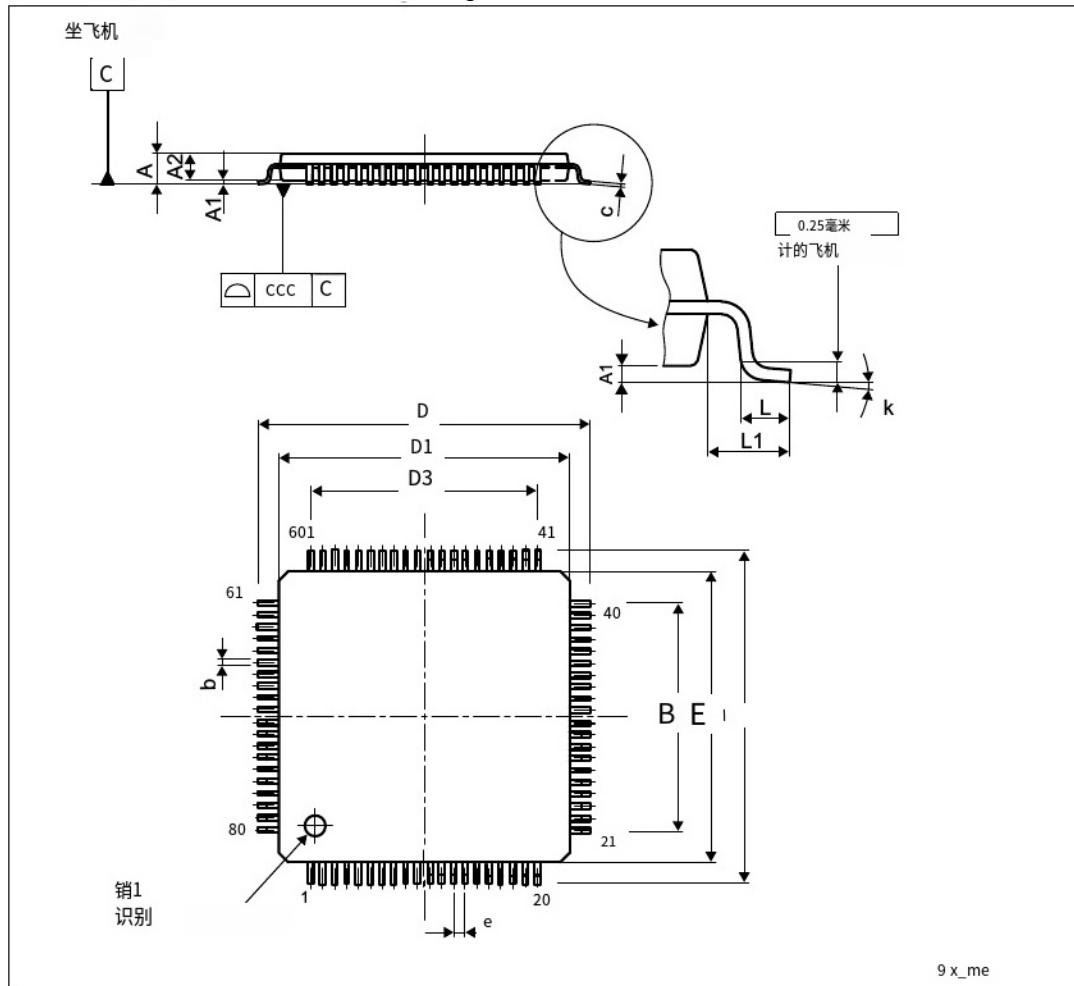


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.5 LQFP80包信息

这个LQFP是一个80引脚，12 x 12 mm的低轮廓四平面封装。

图65。LQFP80 -外形



1. 绘图不按比例。

表116。LQFP80 -机械数据

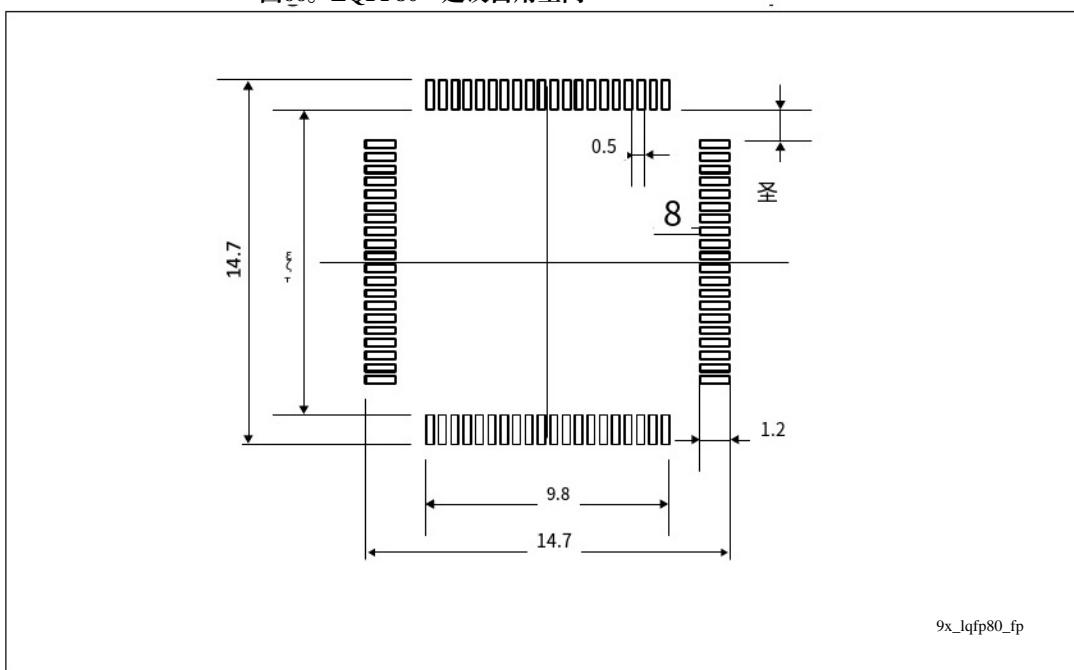
象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
一个	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	-	14.000	-	-	0.5512	-
D1	-	12.000	-	-	0.4724	-

表116。LQFP80 -机械数据(续)

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
D2	-	9.500	-	-	0.3740	-
E	-	14.000	-	-	0.5512	-
E1	-	12.000	-	-	0.4724	-
E3	-	9.500	-	-	0.3740	-
e	-	0.500	-	-	0.0197	-
l _o	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
ccc	-	-	0.080	-	-	0.0031
k	0.0°	-	7.0°	0.0°	-	7.0°

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图66。LQFP80—建议占用空间



1. 尺寸以毫米表示。

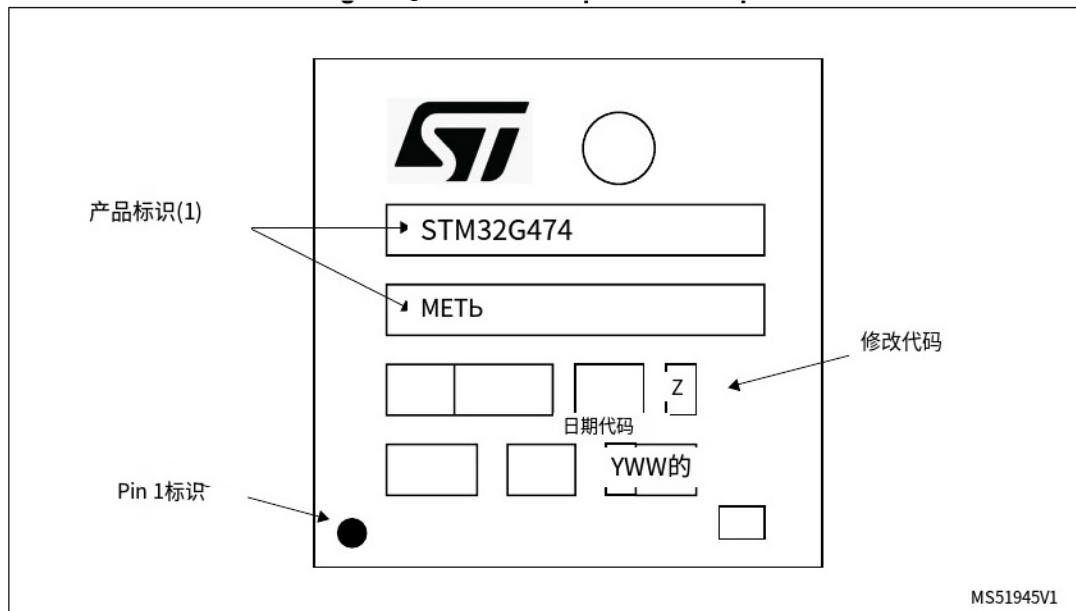
LQFP80器件标记

下图给出了顶部标记方向与引脚1标识符位置的示例。

打印的标记可能因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图67。LQFP80俯视图示例



1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.6 TFBGA100包信息

这个TFBGA是一个100球, 8 × 8毫米, 0.8毫米间距的细间距球网格阵列封装。

图68。TFBGA100 -大纲

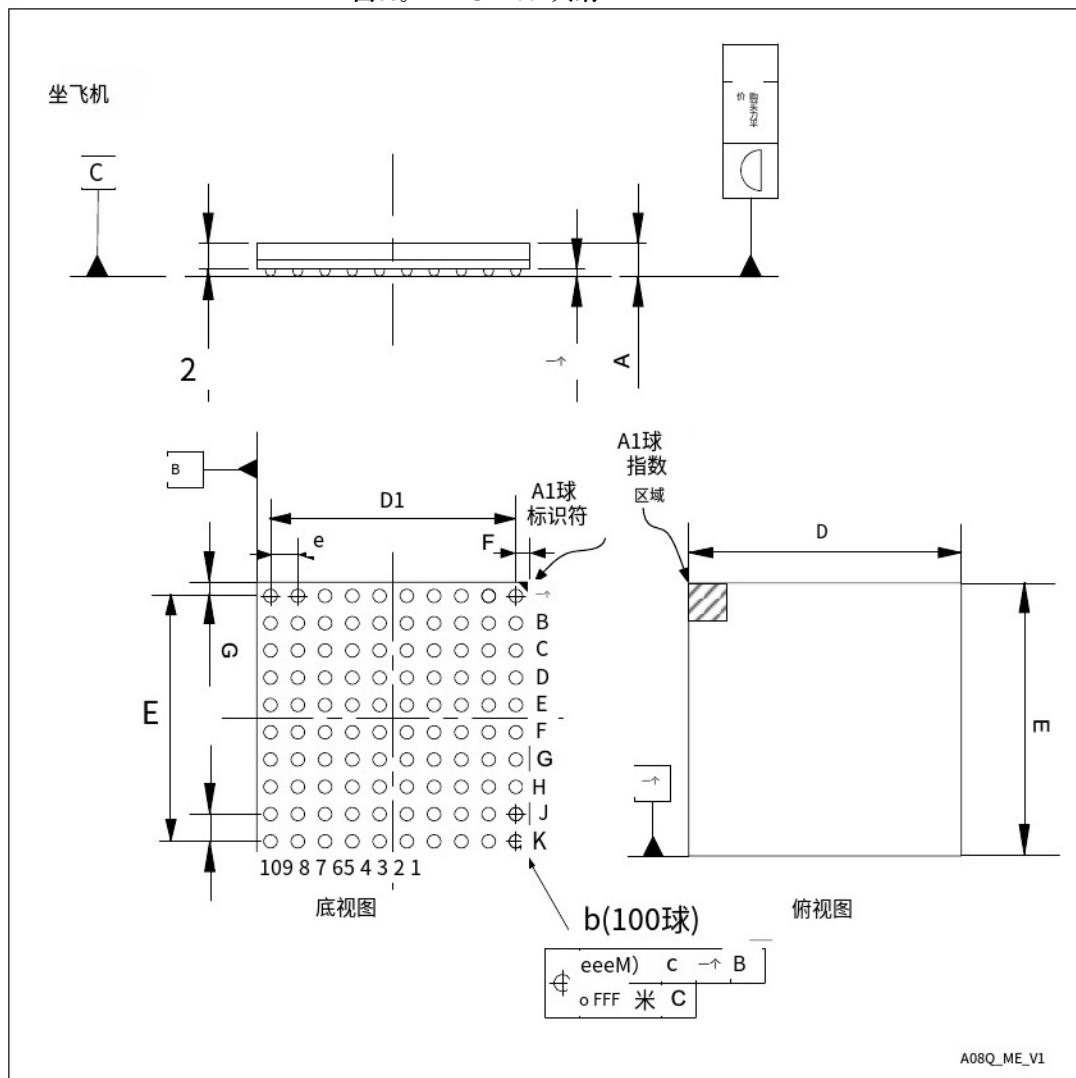


表117。TFBGA100 -机械数据

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
-个	-	-	1.100	-	-	0.0433
A1	0.150	-	-	0.0059	-	-
A2	-	0.760	-	-	0.0299	-
b	0.350	0.400	0.450	0.0138	0.0157	0.0177
D	7.850	8.000	8.150	0.3091	0.3150	0.3209
D1	-	7.200	-	-	0.2835	-
E	7.850	8.000	8.150	0.3091	0.3150	0.3209
E1	-	7.200	-	-	0.2835	-
e	-	0.800	-	-	0.0315	-
F	-	0.400	-	-	0.0157	-
G	-	0.400	-	-	0.0157	-
DDD	-	-	0.100	-	-	0.0039
EEE	-	-	0.150	-	-	0.0059
FFF的	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图69。TFBGA100 -推荐足迹

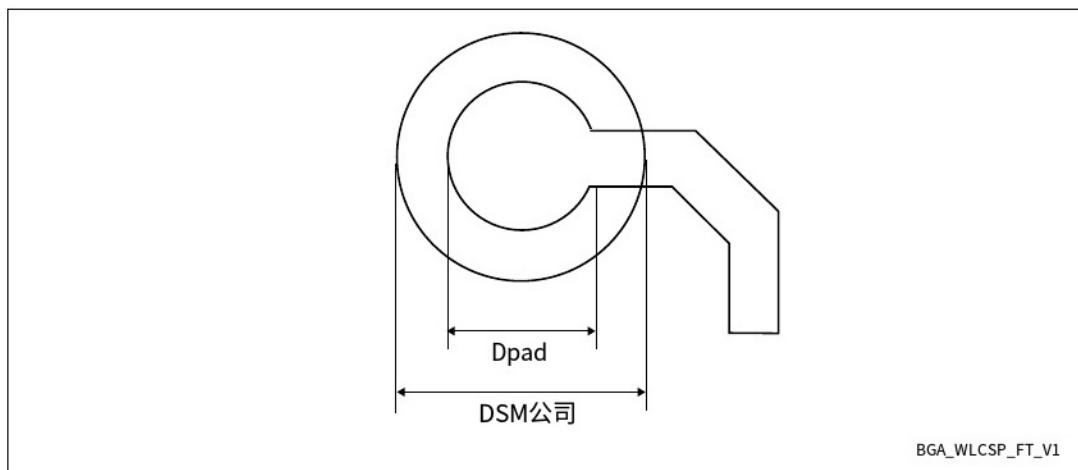


表118。TFBGA100 -推荐PCB设计规则

维	推荐值
球场	0.8
Dpad	0.400毫米
DSM公司	0.470毫米型。(取决于焊罩 g

表118。TFBGA100 - PCB设计推荐规则(续)

维	推荐值
钢网开口	0.400毫米
钢网厚度	介于0.100 mm到0.125 mm之间
垫线宽度	0.120毫米

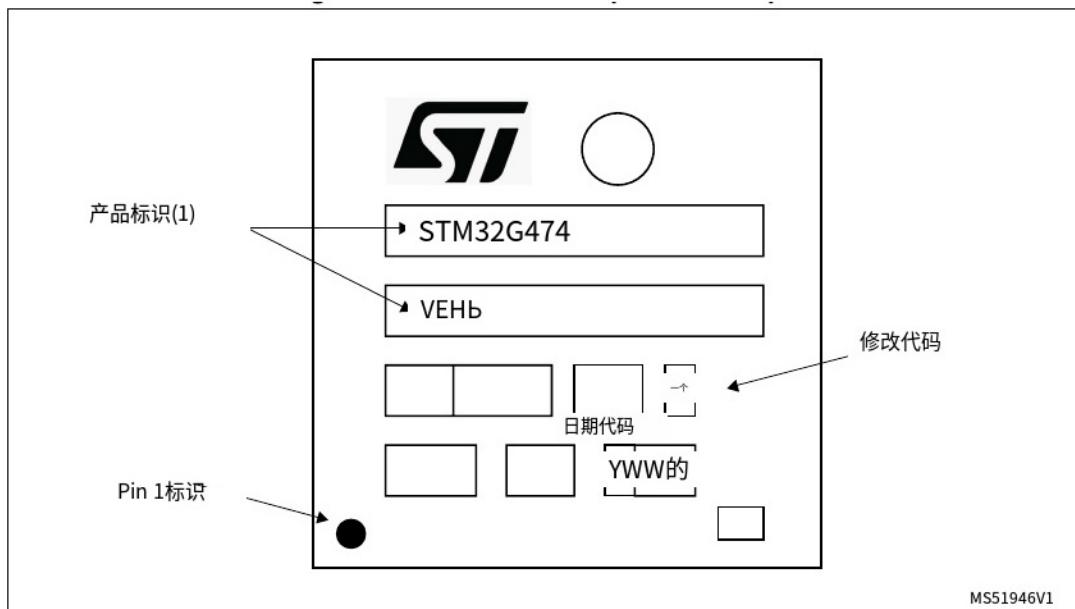
TFBGA100器件标记

下图给出了顶部标记方向与引脚1标识符位置的例子。

打印的标记可能会因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图70。TFBGA100 -俯视图示例

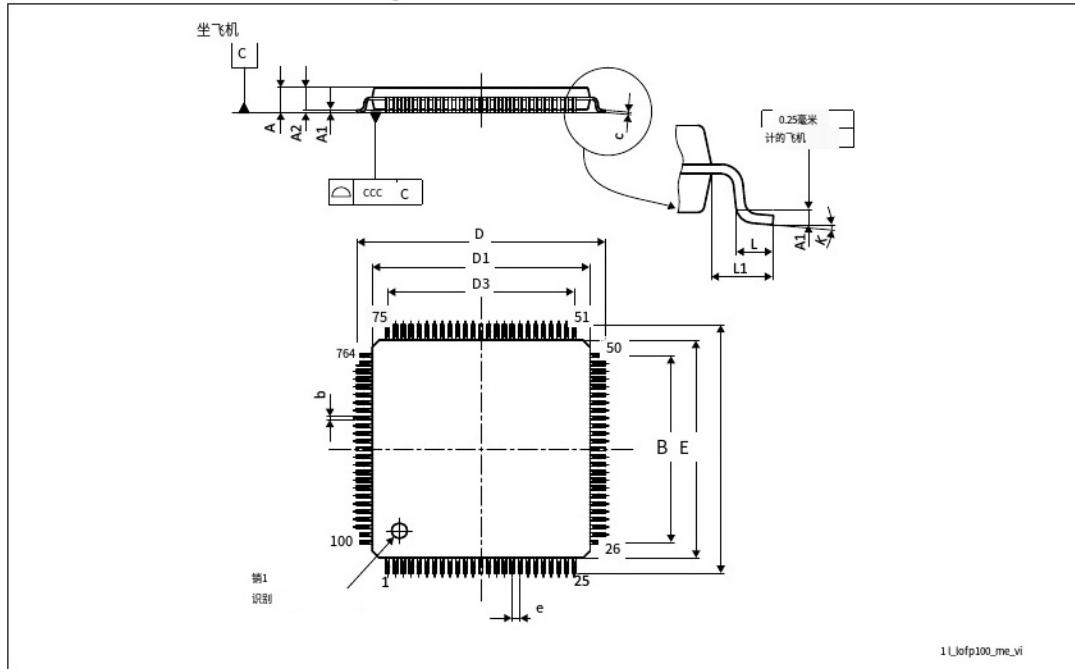


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.7 LQFP100包信息

这个LQFP是一个100引脚，14 x 14 mm的低轮廓四平面封装。

图71。LQFP100 -轮廓



1. 绘图不按比例。

表119。LQPF100 -机械数据

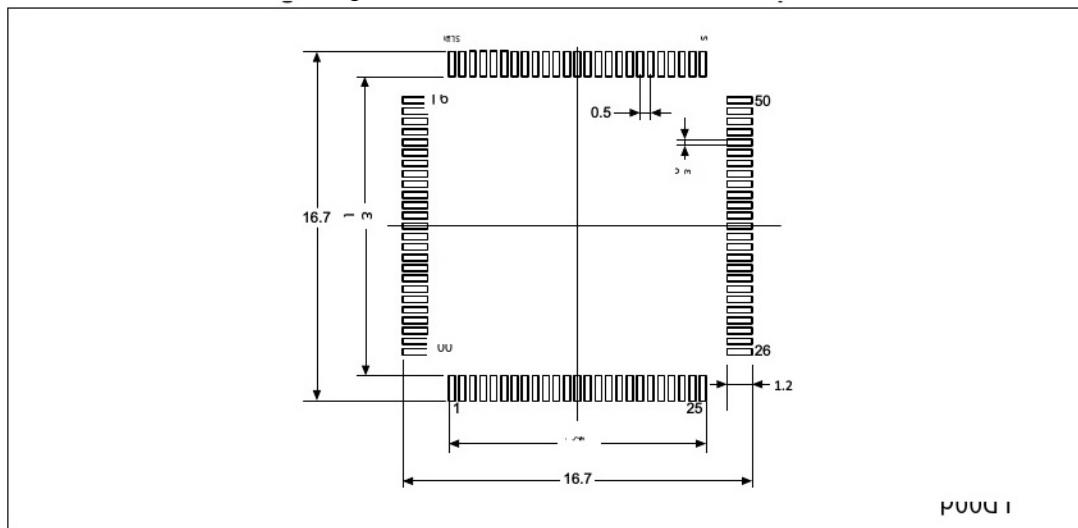
象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
一个	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.170	0.220	0.270	0.0067	0.0087	0.0106
c	0.090	-	0.200	0.0035	-	0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3	-	12.000	-	-	0.4724	-
E	15.800	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3	-	12.000	-	-	0.4724	-
e	-	0.500	-	-	0.0197	-
l _o	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-

表119。LQFP100 -机械数据(续)

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
k	0.0°	3.5°	7.0°	0.0°	3.5°	7.0°
ccc	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图72。LQFP100—建议占用空间



1. 尺寸以毫米表示。

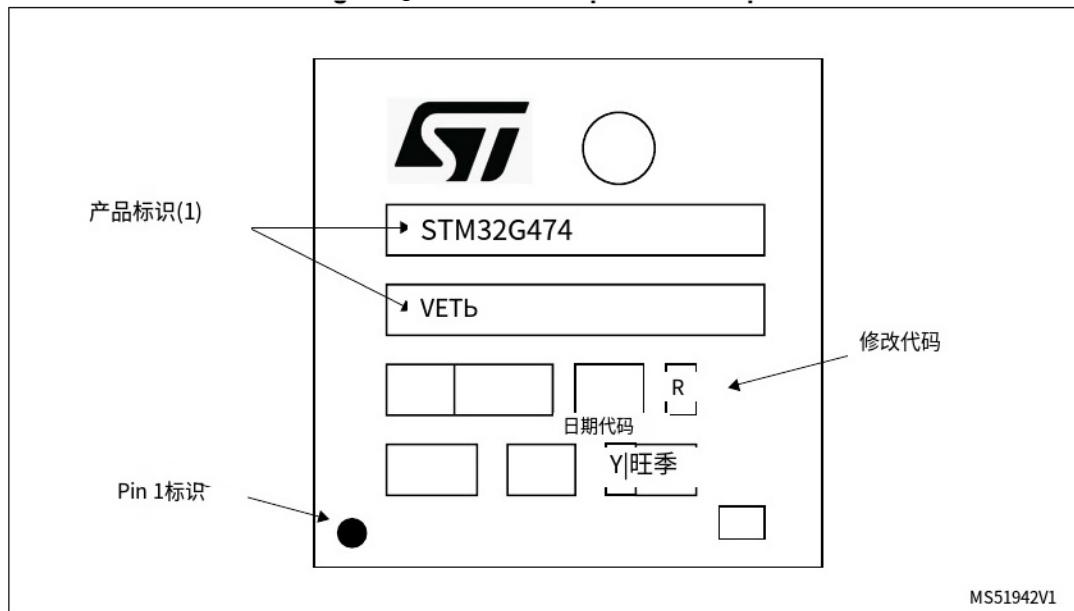
LQFP100器件标记

下图给出了顶部标记方向与引脚1标识符位置的示例。

打印的标记可能会因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图73。LQFP100俯视图示例

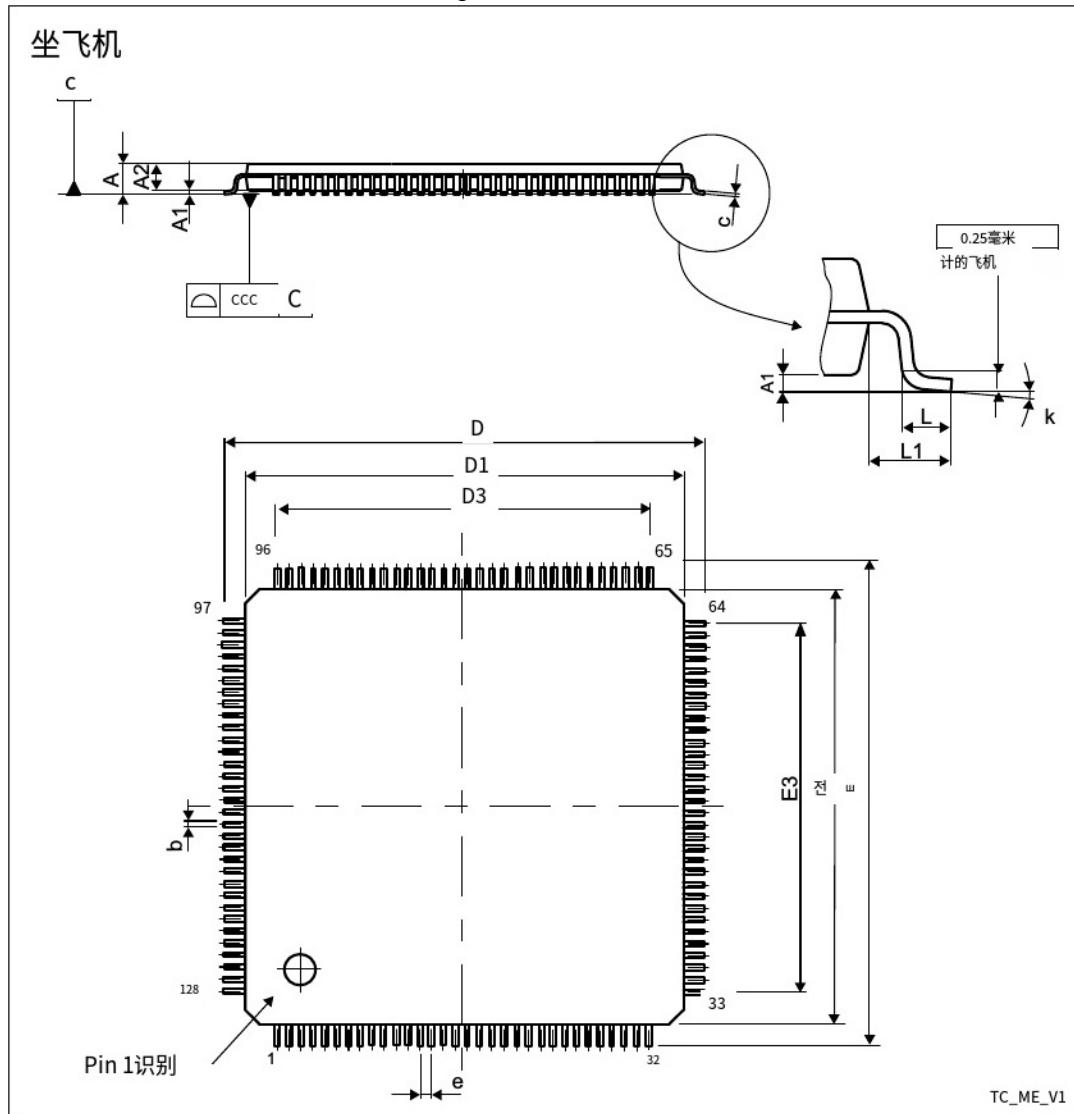


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，
ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.8 LQFP128包信息

此LQFP为128引脚，14 x 14 mm低轮廓四平面封装。

图74。LQFP128 -轮廓



1. 绘图不按比例。

表120。LQFP128 -机械数据

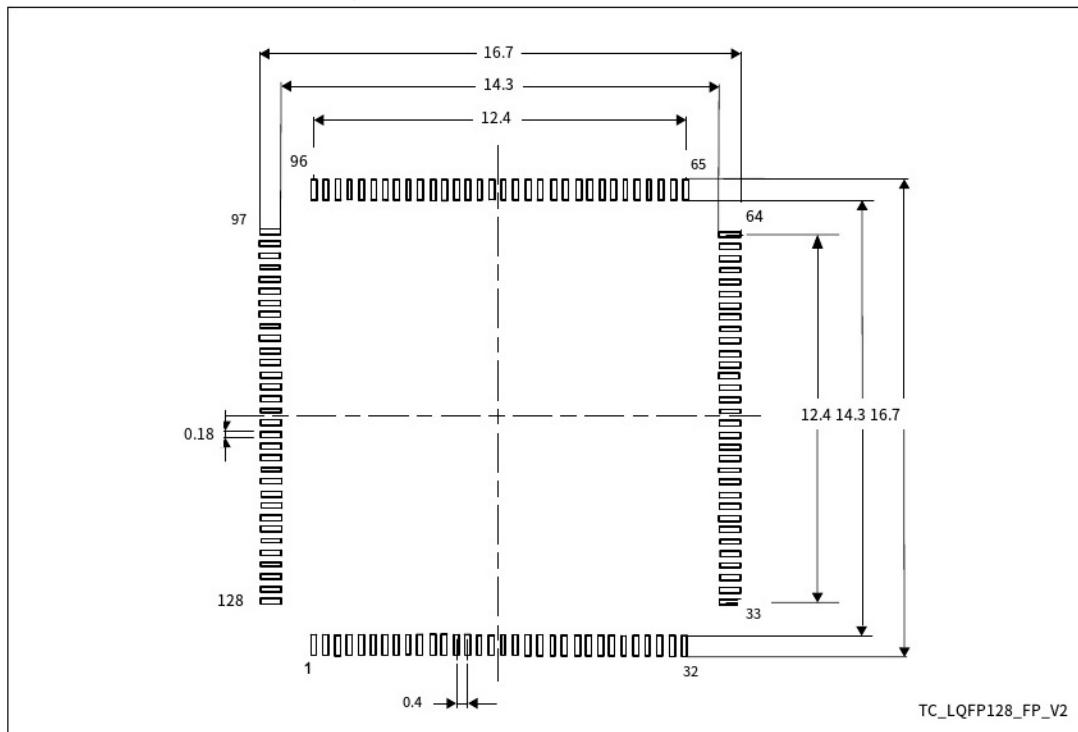
象征	毫米			英寸(1)		
	分钟。	类型。	Max.	分钟。	类型。	Max.
一个	-	-	1.600	-	-	0.0630
A1	0.050	-	0.150	0.0020	-	0.0059
A2	1.350	1.400	1.450	0.0531	0.0551	0.0571
b	0.130	0.180	0.230	0.0051	0.0071	0.0091

表120。LQFP128 -机械数据(续)

象征	毫米			英寸(1)		
	分钟。	Typ.	Max.	分钟。	Typ.	Max.
c	0.090	-	0.200	0.0035	-	0.0079
D	15.800	16.000	16.200	0.6220	0.6299	0.6378
D1	13.800	14.000	14.200	0.5433	0.5512	0.5591
D3	-	12.400	-	-	0.4882	-
E	15.800	16.000	16.200	0.6220	0.6299	0.6378
E1	13.800	14.000	14.200	0.5433	0.5512	0.5591
E3	-	12.400	-	-	0.4882	-
e	-	0.400	-	-	0.0157	-
l _o	0.450	0.600	0.750	0.0177	0.0236	0.0295
L1	-	1.000	-	-	0.0394	-
k	0°	3.5°	7°	0°	3.5°	7°
CCC	-	-	0.080	-	-	0.0031

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

图75。LQFP128—建议占用空间



1. 尺寸以毫米表示。

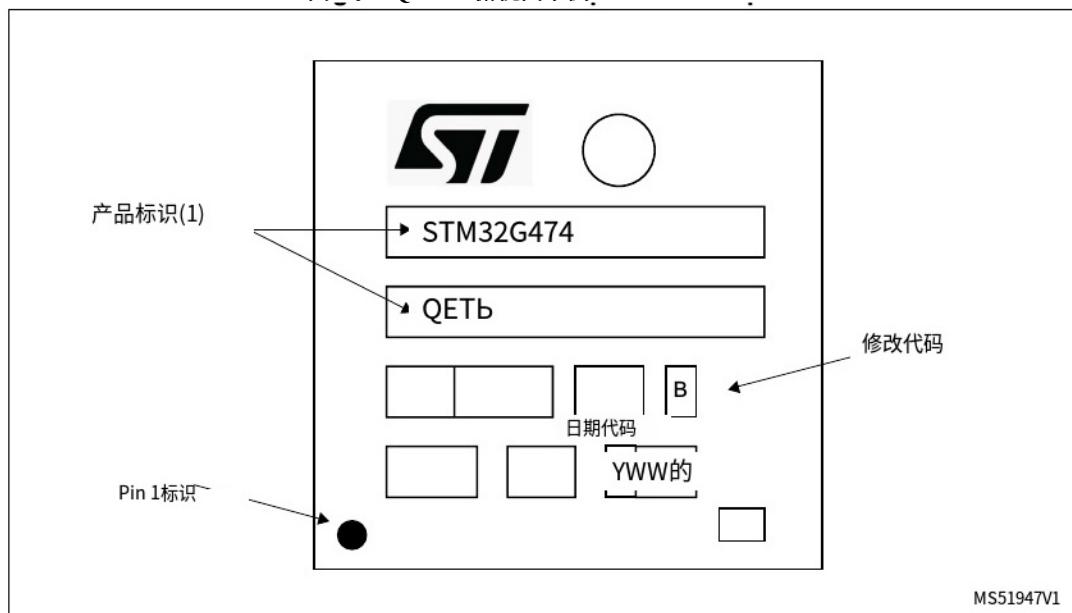
LQFP128器件标记

下图给出了顶部标记方向与引脚1标识符位置的示例。

打印的标记可能会因供应链而异。

其他可选的标记或插入/翻转标记，在整个供应链操作中识别零件，下面没有说明。

图76。LQFP128俯视图示例

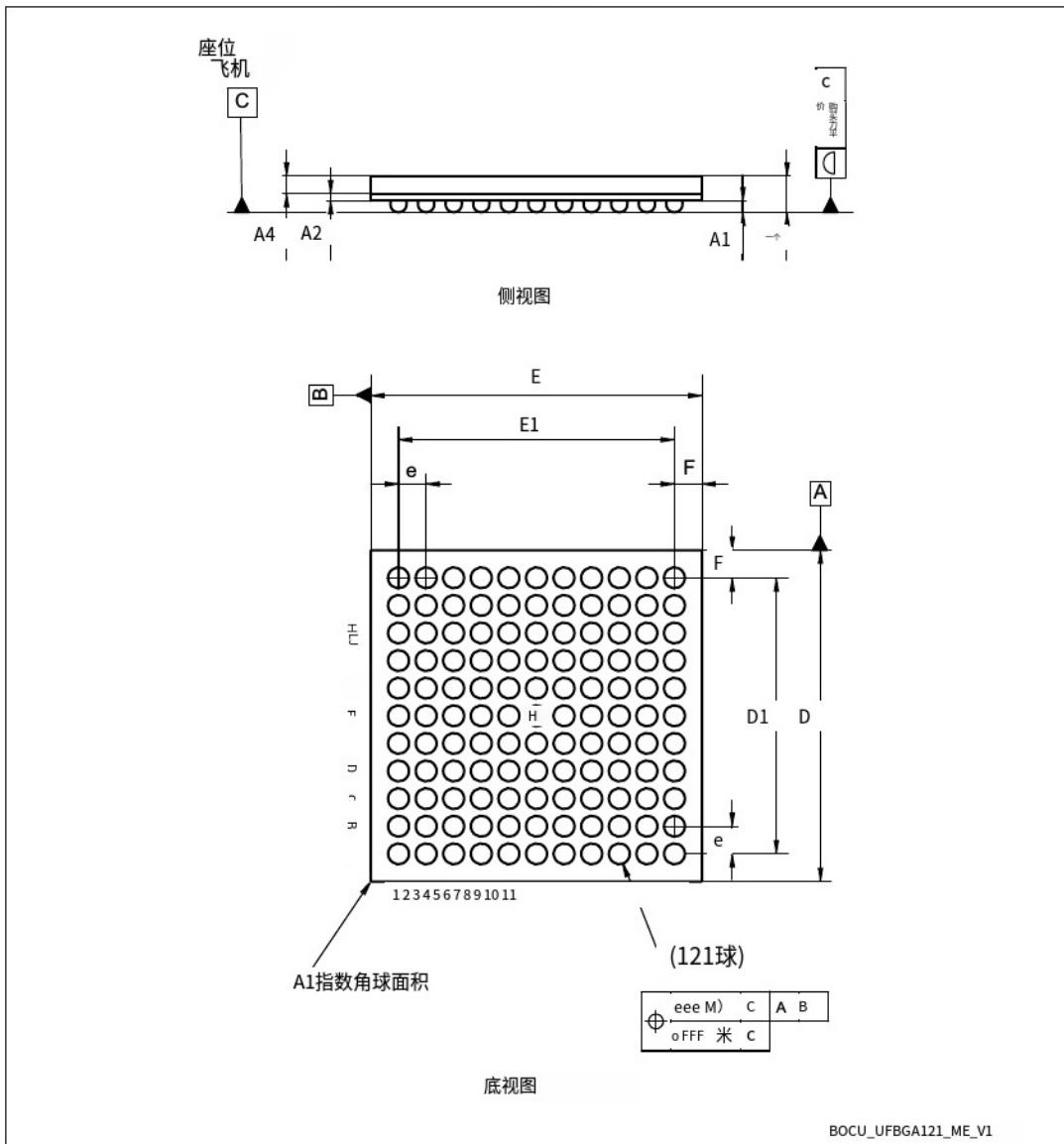


1. 标记为ES或E或随附工程样品通知函的部件尚未合格，因此不批准在生产中使用。ST不负责任何由此产生的后果。在任何情况下，ST都不对客户在生产中使用任何这些工程样品负责。在决定使用这些工程样品进行鉴定活动之前，必须与ST的质量部门联系。

6.9 UFBGA121包信息

这个UFBGA是一个121球， 6×6 毫米，0.5毫米间距，细间距，方球网格阵列封装。

图77。UFBGA121 -大纲



1. 绘图不按比例。
 2. 终端A1角必须在上表面使用角倒角、油墨或金属化标记，或封装体或整体热塞的其他特征进行识别。
- 在封装底面允许有区别性特征，以识别终端A1角。每个角的确切形状是可选的。

表121。UFBGA121 -机械数据

象征	毫米			英寸(1)		
	最小值	类型	马克斯	最小值	类型	马克斯
(2)	-	-	0.60	-	-	0.0236
A1	-	-	0.11	-	-	0.0043
A2	-	0.13	-	-	0.0051	-
A4	-	0.32	-	-	0.0126	-
b (3)	0.24	0.29	0.34	0.0094	0.0114	0.0134
D	5.85	6.00	6.15	0.2303	0.2362	0.2421
D1	-	5.00	-	-	0.1969	-
E	5.85	6.00	6.15	0.2303	0.2362	0.2421
E1	-	5.00	-	-	0.1969	-
e	-	0.50	-	-	0.0197	-
F	-	0.50	-	-	0.0197	-
DDD的	-	-	0.08	-	-	0.0031
eee (4)	-	-	0.15	-	-	0.0059
FFF的 (5)	-	-	0.05	-	-	0.0020

1. 以英寸为单位的值由毫米转换为四舍五入到4位小数。

2. - UFBGA代表超薄轮廓细间距球网格阵列。

- Ultra Thin profile: $0.50 < A \leq 0.65\text{mm}$ / Fine pitch: $e < 1.00\text{mm pitch}$ 。

-总轮廓高度(Dim A)从座位平面到组件顶部测量-最大总封装高度采用以下方法计算:

$$A_{Max} = A1\text{类型} + A2\text{类型} + A4\text{类型} + \sqrt{(A1^2 + A2^2 + A4^2 \text{公差值})}$$

3. 安装前的典型球径为0.20 mm

4. 控制球的图案相对于基准A和基准b的位置的位置公差。对于每个球，有一个垂直于基准C的圆柱形公差区eee，并位于相对于基准C的真实位置上

对基准面A和基准面B的定义为e.每个球的垂直于基准面C的轴必须位于该公差区内。

5. 控制球在矩阵中相对于彼此的位置的位置公差。对于每个球，都有一个垂直于基准面C的圆柱形公差区fff，并位于由e定义的真实位置。每个球的垂直于基准面C的轴必须位于该公差区内。数组中的每个容差区fff都完全包含在上面各自的区域eee中。每个球的轴线必须同时位于两个公差区内。

图78。UFBGA121 -建议占用空间

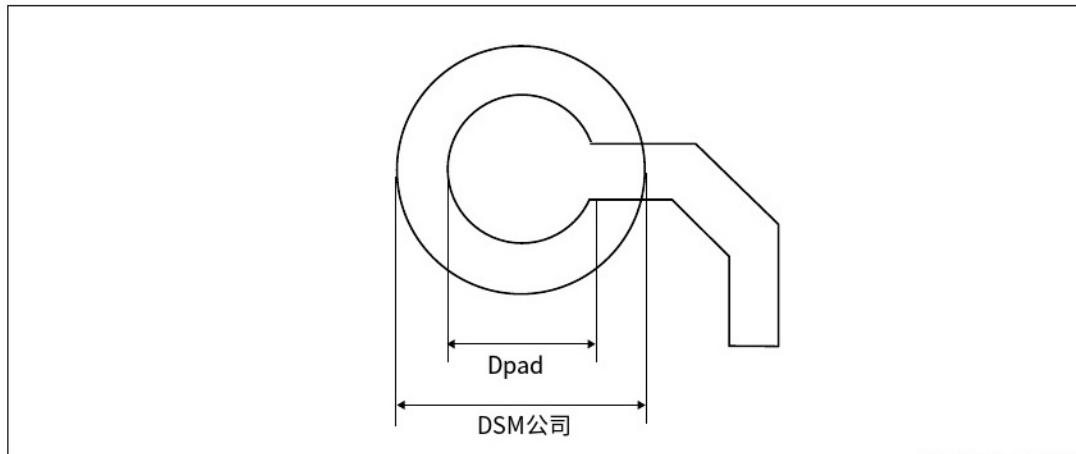


表122。UFBGA121推荐PCB设计规则

维	推荐值
球场	0.5毫米
Dpad	0225毫米
DSM公司	0.290 mm型。(视焊罩配准公差而定)
钢网开口	0.250毫米
钢网厚度	0.100毫米

6.10 热特性

最大芯片结温TJ max, 以摄氏度为单位, 可以用下面的公式计算:

$$T_{J\max} = T_{A\max} + (P_{D\max} \times \Theta_{JA})$$

地点:

- TA max 为最高环境温度, 单位为°C;
- ΘJA 为封装结对环境热阻, 单位为°C/W;
- PD max 为PINT max 与PI/Omax 之和($P_{D\max} = P_{INT\max} + P_{I/O\max}$), PINT max 为IDD 与VDD 的乘积, 单位为瓦。这是芯片内部功率的最大值。

PI/O max 表示输出引脚的最大功耗, 其中:

$$P_{I/O\max} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DDIOx} - V_{OH}) \times I_{OH}),$$

考虑到应用中低电平和高电平I/o 的实际VOL / IOL 和VOH / IOH。

表123。封装热特性

象征	参数	价值	单位
ΘJA	热阻结-环境LQFP128-14 × 14mm	43.0	°C/W
	热阻结-环境 LQFP100-14×14毫米	46.2	
	热阻结-环境 LQFP80-12 × 12毫米	46.8	
	热阻结-环境LQFP64-10 × 10mm	47.9	
	热阻结-环境 LQFP48-7×7毫米	55.2	
	热阻结-环境TFBGA100-8x 8mm	30.8	
	热阻结-环境 UFBGA121-6 × 6毫米	TBD	
	热阻结-环境 UFQFPN48-7 × 7 毫米	26.8	
	热阻结-环境WLCSP81 -4.02 X 4.27 mm	45	

表123。封装热特性(续)

象征	参数	价值	单位
Oc	热阻结壳 LQFP128- 14 × 14 mm	7.0	C / W
	热阻结壳 LQFP100 - 14 × 14 mm	8.3	
	热阻结壳 LQFP80-12 × 12 毫米	8.2	
	热阻结壳 LQFP64-10 × 10 mm	8.0	
	热阻结壳 LQFP48-7 × 7 mm	9.6	
	热阻结壳 TFBGA100 - 8 × 8 毫米	13	
	热阻结-环境 UFBGA121 -6 × 6 毫米	TBD	
	热阻结壳 UFQFPN48-7 × 7mm	2(1) 7.5	
	热阻结壳 WLCSP81 -4.02 × 4.27 毫米	1.46	
Θ_{JB}	热阻接线板 LQFP128- 14 × 14 mm	19.9	°C/W
	热阻连接板 LQFP100 - 14 × 14 mm	22.9	
	热阻连接板 LQFP80-12 × 12 毫米	22.3	
	热阻连接板 LQFP64-10 × 10 mm	21.8	
	热阻连接板 LQFP48-7 × 7 毫米	24.3	
	热阻连接板 TFBGA100-8 × 8mm	13.42	
	热阻结-环境 UFBGA121-6 × 6 毫米	TBD	
	热阻连接板 UFQFPN48 -7 × 7 mm	11	
	热阻连接板 WLCSP81-4.02 X 4.27 mm	27.45	

1. 热阻结壳——该壳为UFQFPN封装上的底部热垫。

6.10.1 参考文档

JESD51-2集成电路热试验方法。环境条件。自然对流(静止空气)。可从 www.jedec.org 获得

6.10.2 选择产品温度范围

在订购微控制器时，温度范围在[第7节:订购信息](#)中所示的[订购信息方案中指定](#)。

每个温度范围后缀对应于最大耗散下的特定保证环境温度，以及特定的最大结温。

由于应用通常不会在最大耗散下使用STM32G474xE，因此计算精确的功耗和结温以确定哪个温度范围最适合该应用是有用的。

下面的例子展示了如何计算给定应用所需的温度范围。

例1:高性能应用

假设应用条件如下:

最大环境温度 $T_{Amax} = 82^\circ\text{C}$ (根据JESD51-2测量)， $IDD_{max} = 50 \text{ mA}$, $VDD = 3.5 \text{ V}$,
 $IOL = 8 \text{ mA}$, $VOL= 0.4 \text{ V}$ 的低电平输出最大同时使用20个I/o, $IOL = 20 \text{ mA}$, $VOL= 1.3 \text{ V}$
的低电平输出最大同时使用8个I/o

$$PINT_{max} = 50 \text{ mA} \times 3.5 \text{ V} = 175 \text{ mW}$$

$$PIO_{max} = 20 \times 8 \text{ mA} \times 0.4 \text{ V} + 8 \times 20 \text{ mA} \times 1.3 \text{ V} = 272 \text{ mW}$$

这给出: $PINT_{max} = 175 \text{ mW}$ 和 $PIO_{max} = 272 \text{ mW}$:

$$PD_{max} = 175 + 272 = 447 \text{ mW}$$

利用 TJ_{max} 中得到的值计算如下:

对于LQFP100, $42^\circ\text{C}/\text{W}$

$$TJ_{max} = 82^\circ\text{C} + (42^\circ\text{C}/\text{W} \times 447 \text{ mW}) = 82^\circ\text{C} + 18.774^\circ\text{C} = 100.774^\circ\text{C}$$

这是在后缀6版本部件($-40 < TJ < 105^\circ\text{C}$)的范围内，参见[第7节:订购信息](#)。

在这种情况下，零件必须至少以温度范围后缀6订购(参见[第7节:订购信息](#))。

注意:

有了这个给定的 PD_{max} ,我们可以找到给定设备温度范围(订单代码后缀6或7)所允许的 T_{Amax} 。

$$\text{后缀6: } T_{Amax} = TJ_{max} - (42^\circ\text{C}/\text{W} \times 447 \text{ mW}) = 105 - 18.774 = 86.226^\circ\text{C}$$

$$\text{后缀3: } T_{Amax} = TJ_{max} - (42^\circ\text{C}/\text{W} \times 447 \text{ mW}) = 130 - 18.774 = 111.226^\circ\text{C}$$

例2:高温应用

使用相同的规则，只要结温 TJ 保持在规定的范围内，就可以解决在高环境温度下以低耗散运行的应用。

假设以下应用条件:

Maximum ambient temperature $T_{A\max} = 100^\circ\text{C}$ (measured according to JESD51-2),
 $I_{DD\max} = 20 \text{ mA}$, $V_{DD} = 3.5 \text{ V}$, maximum 20 I/Os used at the same time in output at low
level with $I_{OL} = 8 \text{ mA}$, $V_{OL} = 0.4 \text{ V}$

$$P_{INT\max} = 20 \text{ mA} \times 3.5 \text{ V} = 70 \text{ mW}$$

$$P_{IO\max} = 20 \times 8 \text{ mA} \times 0.4 \text{ V} = 64 \text{ mW}$$

This gives: $P_{INT\max} = 70 \text{ mW}$ and $P_{IO\max} = 64 \text{ mW}$:

$$P_{D\max} = 70 + 64 = 134 \text{ mW}$$

Thus: $P_{D\max} = 134 \text{ mW}$

Using the values obtained in $T_{J\max}$ is calculated as follows:

- For LQFP100, 42°C/W

$$T_{J\max} = 100^\circ\text{C} + (42^\circ\text{C/W} \times 134 \text{ mW}) = 100^\circ\text{C} + 5.628^\circ\text{C} = 105.628^\circ\text{C}$$

这高于后缀6版本部件的范围($-40 < TJ < 105^\circ\text{C}$)。

在这种情况下，除非我们为了能够使用后缀6的部件而降低功耗，否则部件必须至少以后缀3的温
度范围订购(参见第7节:订购信息)。

7 订购信息

表124。订购信息

例子:	STM32 克	474	VET6	x
设备的家庭				
STM32 = 基于arm的32位微控制器				
产品类型				
G =通用				
Sub-family				
474 = STM32G474xB /我/ xE				
销数				
C= 48针				
R = 64针				
M = 80针, 81针				
V= 100针				
P= 121针				
Q= 128针				
代码大小				
B= 128 kb				
C= 256 Kbytes				
E= 512 Kbytes				
包				
H= 至 TFB				
I= 地平线				
T = LQFP				
U = UFQFPN				
Y= WLCSP型				
温度范围				
6 =工业温度范围, - 40 ~ 85°C(105°C结)				
3 =工业温度范围, - 40 ~ 125°C(130°C结)				
选项				
XXX =可编程部件				
TR =磁带和卷轴				

如需可用选项列表(存储器、封装等)或有关此设备任何方面的进一步信息, 请联系最近的ST销售办事处。

8 修订历史

表125。文档修订历史

日期	修订	变化
15 - 5 - 2019	-	最初的版本。
01 - 10月- 2019	2	<p>更新:</p> <ul style="list-style-type: none"> - 第2节:描述, 第3.5节:嵌入式SRAM, - 表2:STM32G474xB/xC/xE特性和外设计数, 表17:一般工作条件, 表35:外设电流消耗, 表66:ADC特性, 表67:最大ADC RAIN, 表89:SPI特性, 表123:封装热特性, 表124:订购信息 增加:表71:ADC精度(多ADC操作)-有限测试条件1, 表73:ADC精度(多ADC操作)-有限测试条件3, 表73:ADC精度(多ADC操作)-有限测试条件3
24 - 4月- 2020	3	<p>更新:</p> <ul style="list-style-type: none"> - 第二部分:描述, - 表2:STM32G474xB/xC/xE特性和外设计数 - 表12:STM32G474xB/xC/xE引脚定义 - 表124:订货信息 - 补充道: - 第4.9节:UFBGA121引脚描述; - 第6.9节:UFBGA121包信息:
03 - jun - 2020	4	<p>更新:</p> <ul style="list-style-type: none"> - 表2:STM32G474xB/xC/xE特性和外设计数 - 表36:低功耗模式唤醒时序 - 第3.5节:嵌入式SRAM <p>删除:</p> <ul style="list-style-type: none"> - 表23:运行和低功耗运行模式下的电流消耗, 数据处理代码在单个银行中从Flash运行, ART禁用 - 表24:运行和低功耗运行模式下的电流消耗, 数据处理代码在双银行中从Flash运行, ART禁用 - 表27:运行和低功耗运行模式下的典型电流消耗, 不同的代码从Flash运行, ART禁用

表125。文件修订历史(续)

日期	修订	变化
23日-10月-2020	5	<p>更新:</p> <ul style="list-style-type: none"> -表1:设备汇总 -第3.18节:模数转换器(ADC) -表2:STM32G474xB/xC/xE特性和外设计数 <p>表21:运行和低功耗运行模式下的电流消耗, 数据处理代码在单个Bank中从Flash运行, ART启用(Cache ON Prefetch OFF)</p> <p>表22:运行和低功耗运行模式下的电流消耗, 数据处理代码在双银行中从Flash运行, ART启用(Cache ON Prefetch OFF)</p> <p>表23:运行和低功耗运行模式下的电流消耗, 数据处理从SRAM1运行的代码</p> <ul style="list-style-type: none"> -表28:睡眠和低功耗睡眠模式下的电流消耗 -表29:低功耗睡眠模式下的电流消耗, 关机时Flash -表30:Stop 1模式下的电流消耗 -表31:Stop 0模式下的电流消耗 -表32:待机模式下的电流消耗 <ul style="list-style-type: none"> -表51:ESD绝对最大额定值 -表76:DAC 15MSPS特性 -表79:COMP特性 -表80:OPAMP特性 -表84:TIMx特性 -表89:SPI特性 -表90:12S特性 <ul style="list-style-type: none"> -表109:DDR模式下的QUADSPI特性 -表121:UFBGA121 -机械数据 -表122:UFBGA121—推荐的PCB设计规则 -表123:包装热特性 -表124:订购信息 -图77:UFBGA121 -轮廓 -图78:UFBGA121—推荐的足迹 <p>补充道:</p> <ul style="list-style-type: none"> -图75:lqfp128 -建议占用空间

表125。文件修订历史(续)

日期	修订	变化
16 - 11月- 2021	6	<p>更新:</p> <ul style="list-style-type: none">- 特性- 第二部分:描述- 第3.4节:嵌入式闪存- 第3.11.1节:电源方案- 表5:温度传感器校准值- 表12:STM32G474xB/xC/xE引脚定义- 图28:ADC精度特性- 图29:使用具有模拟开关功能的FT/TT引脚的ADC时的典型连接图- 表17:一般工作条件- 表30:Stop 1模式下的电流消耗- 表31:Stop 0模式下的电流消耗- 表32:待机模式下的电流消耗- 第5.3.14节:I/O端口特性- 表68:ADC精度限制测试条件- 表69:ADC精度限制测试条件- 表70:ADC精度限制测试条件- 图75:LQFP128 -推荐占用空间

I重要通知-请仔细阅读

意法半导体及其子公司(“意法半导体”)保留随时对意法半导体产品和/或本文档进行更改、更正、增强、修改和改进的权利，恕不另行通知。买方下单前，应先取得有关意法半导体产品的最新资料。意法半导体产品是根据意法半导体在确认订单时的销售条款和条件销售的。

买方全权负责意法半导体产品的选择、选择和使用，意法半导体对买方产品的应用协助或设计不承担任何责任。

意法半导体在此未授予任何明示或暗示的知识产权许可。

若意法半导体产品的规定与本协议中所述信息不同，则转售该产品将使意法半导体对该产品授予的任何保证无效。

意法半导体和意法半导体标识均为ST的商标。欲了解更多关于意法半导体商标的信息，请访问www.st.com/trademarks。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息将取代本文档之前任何版本中先前提供的信息。

©2021意法半导体公司保留所有权利