|  |
| --- |
| IHA_logo_ENG6cm.jpg |
| **Komponenter til lydbehandling i en FPGA** |
| **ETDSPC Projekt** |
|  |
| **Rune Salberg-Bak (08935), Kim Bjerge (20097553)** |
|  |
| **Q1 2012** |

Indhold

[1 Indledning 3](#_Toc319057196)

[1.1 Report struktur 3](#_Toc319057197)

[2 Problemformulering 4](#_Toc319057198)

[3 Udviklingsstrategi 4](#_Toc319057199)

[4 Arkitektur 5](#_Toc319057200)

[5 Komponent beskrivelser 5](#_Toc319057201)

[5.1 FIR filter 5](#_Toc319057202)

[5.2 Sigma delta converter 5](#_Toc319057203)

[5.3 LMS filter 5](#_Toc319057204)

[5.4 Delay 5](#_Toc319057205)

[6 SoPC systemerne 5](#_Toc319057206)

[6.1 Sigma delta SoPC 5](#_Toc319057207)

[6.2 LMS filter SoPC 5](#_Toc319057208)

[7 Test resultater 6](#_Toc319057209)

[7.1 Diskussion af resutater 6](#_Toc319057210)

[7.2 Forslag til forbedringer 6](#_Toc319057211)

[8 Konklusion 6](#_Toc319057212)

[9 Appendix 6](#_Toc319057213)

[10 References 7](#_Toc319057214)

# Indledning

(Rune)

* Hvorfor denne rapport – læringsmål
* Hvilke læringsmål er dækket af dette projekt

Opsætning af mål:

* Implementere programmer for FPGA’er, skrevet i VHDL
  + OK
* Anvende modelsim og test benches til at udføre simulation af VHDL design
  + Beskrive testbench for LMS og SigmaDelta converter
  + Assertion – hvordan kan vi få det med
* Anvende constraints til specifikation af system krav
  + Introduktion til problemet, eg. 48 khz med 12 Mhz – latency, throughput, area
* Redegøre for begreber som: clock domæner, clock skew, pipelining, PLL- og

memory komponenter

* 48 khz vs. 1.2 mhz sigmadelta

* Redegøre for timings simulering og analyse i Quartus II værktøjet
  + Ikke anvendt
* Anvende soft cores til opbygning af et SoC (System On Chip) system
  + OK
* Implementere C programmer til afvikling på SoC
  + OK
* Implementere signal behandlings algoritmer i VHDL
  + Absolut, filter mm.

## Report struktur

# Problemformulering

(Kim)

Beskrivelse af projekt:

* Afprøve og implementere forskellige audio algorithmer som komponenter, der kan genbruges i et Altera SoPC design med mulighed for portering til andre FPGA typer.
  + Transposed FIR filter
  + LMS filter – optimeret for area
  + Delay demonstration
  + SigmaDelta convert
  + SoPC projektet de versioner (Codec styret fra HW eller SW)
  + Egne komponenter til ST bus og MM bus
    - Argumentation for egne implementation - flytbarhed
* Mål
  + Testbench verifikation af algoritmer i forhold til MATLAB referencer
  + Flere SoPC projekter med stereo 48 kHz audio ind og ud
    - LMS filter med delay
    - Sigma Delta i stereo
  + Oversigt af udviklede audio komponenter (ST, MM kompatible) med information om ressource forbrug som area, latency
  + Rapport med refleksioner over resultater og læring

# Udviklingsstrategi

(Kim)

* Fra formel til Matlab og/eller C-reference
* Stepvis udvikling af SoPC versioner
* Stepvis udvidelse af ModelSim versioner
* Håndtering af fejl i forhold til simulering vs. SoPC på target
* Version før ST interface introduktion
* Læsevejledning til efterfølgende afsnit

# Arkitektur

(Rune)

* Audio, ST og MM Bus
* Block diagrammer (SysML) - Kim
* Eksempel på vores implementation ST og MM bus
* Audio streaming – Codec interface (I2S -> Sync Bus og I2S -> ST Bus)
* Opsætning af Code på 2 forskellige metoder (HW vs. SW)
* ST bus vs. simplet 48 kHz sync interface -> flere komponenter

# Komponent beskrivelser

(Kim)

* Formel samt reference til Matlab model
* Impementation i VHDL
* Simulering i Model Sim
* Forskellige versioner
* Fokus på implemetering på baggrund af fagets teori

## FIR filter

(Rune)

* Forskellige typer (Direct form 1, Transponsed, Sysmetrisk)
* Optimering for area

## Sigma delta converter

(Rune)

## LMS filter

(Kim)

## Delay

(Kim)

# SoPC systemerne

## Sigma delta SoPC

(Rune)

## LMS filter SoPC

(Kim)

# Test resultater

* Dump af ModelSim simuleringerne
* Reference til Video for HW test

## Diskussion af resutater

## Forslag til forbedringer

# Konklusion

# Appendix

* Oversigt over modeler, kode, arkiver mm.
* ModelSim tests:

Komponeter til Sync Bus:

* Grundlaget er CodecInterface
* Audio Process til Sync bus: audio\_process.vhd
* Symetric FIR Filter med Sync bus: audiofilter.vhd
* Transposed FIR Filter med Sync bus: audiotransposedfilter.vhd

Kompontere til ST Bus V2:

* Audio Process til ST bus: audio\_process\_st2.vhd
* LMS filter med Sync bus: audiolmsfilter.vhd
* LMS filter optimeret med ST bus: audiolmsfilterOpt\_st.vhd
* Audio delay med ST bus: audiodelay\_st.vhd, delay\_ram.vhd

Kompontere til ST Bus V3:

* Audio Process til ST bus: audio\_process\_st3.vhd
* ST Bus multiplexer: multiplexer.vhd
* SigmaDelta Converter: UpSampler.vhd

Test bench utility:

* Txt\_util.vhd

MATLAB og Simulink utilities:

# References

1. Philip McLeod, Geoff Wyvill, “A Smarter Way To Find Pitch, University of Otago,” Department of Computer Science.