

# 전자종합설계 보고서 3

## IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

학 부: 전자공학부

제출일: 2018.10.18

과목명: 전자종합설계

교수명: 이교범 교수님

분 반: 목요일

성 명: 이승복 (201420820)

## [1] 목표

- PLL (Phased Locked Loop) 제어 방법을 전류제어기에 적용해본다.
- 정지 좌표계 d-q축 전류제어기와 동기 좌표계 d-q축 전류제어기에 대해서 알아본다.

## [2] 이론

### 1) 전류제어기

전류제어기의 동작 원리에 대해 알아보기 위해 d-q축 정지 좌표계, 동기 좌표계에서의 전류제어기를 살펴해보도록 한다.

#### (1) d-q축 정지 좌표계에서의 전류제어기

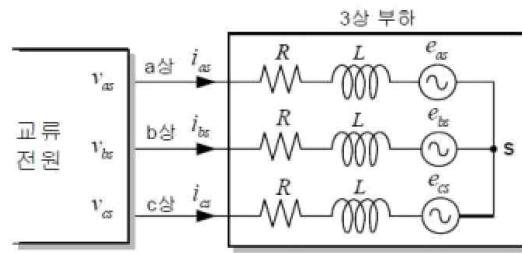


그림 2-9. 3상 계통 부하

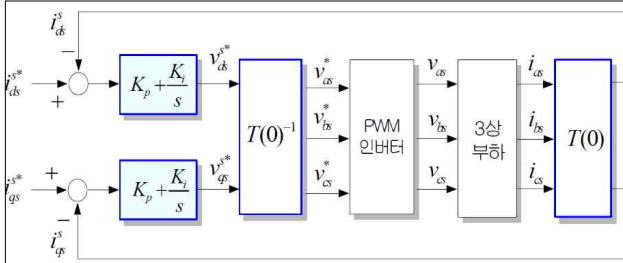
계통 연계 전류 제어는 부하가 계통이므로 역기전력을 포함하는 전압 방정식이 모델링이 되어야 한다. 이러한 역기전력을 갖는 3상부하는 [그림 2-9]와 같이 일반화 할 수 있으며, 아래 식으로 나타낼 수 있다.

$$v_a = Ri_a + L \frac{di_a}{dt} + e_a \quad \rightarrow \quad v_d^s = Ri_d^s + L \frac{di_d^s}{dt} + e_d^s$$

$$v_a = Ri_a + L \frac{di_a}{dt} + e_a \quad \rightarrow \quad v_q^s = Ri_q^s + L \frac{di_q^s}{dt} + e_q^s$$

$$v_a = Ri_a + L \frac{di_a}{dt} + e_a$$

-> d-q축 좌표계의 전압 방정식으로의 변환.



```

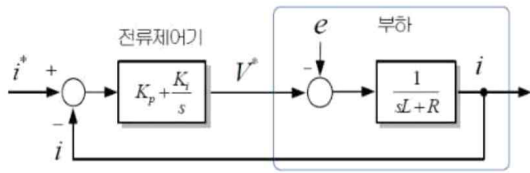
VdeRefFbIntg += KiCur * IdeErr * T_samp;
VdeRef = KpdCur * IdeErr + VdeRefFbIntg; //PI 전류제어기 출력

VqeRefFbIntg += KiCur * IqeErr * T_samp;
VqeRef = KpqCur * IqeErr + VqeRefFbIntg; //PI 전류제어기 출력

VdsRef = VdeRef * cos(Theta) - VqeRef * sin(Theta);
VqsRef = VdeRef * sin(Theta) + VqeRef * cos(Theta);

```

전류 지령은 정지 좌표계의 d-q축 전류  $i_d^s, i_q^s$ 로 주어지며, 실제 3상 부하 전류  $i_a, i_b, i_c$ 는 좌표 변환을 통해 d-q축 전류  $i_d^s, i_q^s$ 로 변환되어 피드백 된다. 비례 적분 전류 제어기에서는 전류 오차를 감소시키기 위해 필요로 하는 d-q축 정지 좌표계의 지령 전압  $v_d^s, v_q^s$ 를 생성하게 되고 이 과정을 코드로 작성하면 위의 사진과 같다.  $v_d^s, v_q^s$ 는 다시 좌표 변환을 통해 3상 지령 전압  $v_a^s, v_b^s, v_c^s$ 로 변환된다. 이 지령 전압을 PWM 인버터에서 삼각 반송파와 변조하여 출력 전압을 발생하고 3상 부하에 인가함으로써 지령 전류를 추정하게 된다.



위 블록도에서 제어 시스템 전달 함수를 구하면 아래식과 같다.

$$i_{dqs}(s) = \frac{K_p s + K_i}{Ls^2 + (R + K_p)s + K_i} i_{dqs}^*(s) - \frac{s}{Ls^2 + (R + K_p)s + K_i} e_{dqs}(s)$$

정지 좌표계에서는  $s \neq 0$ 이기 때문에 지령을 똑같이 추종하지 못한다.

## (2) d-q축 동기 좌표계에서의 전류제어기

$$v_d^s = Ri_d^s + L \frac{di_d^s}{dt} + e_d^s \quad \rightarrow$$

$$v_q^s = Ri_q^s + L \frac{di_q^s}{dt} + e_q^s \quad \rightarrow$$

$$v_d^e = Ri_d^e + L \frac{di_d^e}{dt} - \omega_e Li_q^e + e_d^e$$

$$v_q^e = Ri_q^e + L \frac{di_q^e}{dt} + \omega_e Li_d^e + e_q^e$$

-> d-q축 정지 좌표계의 전압을 계통 주파수  $\omega_e$ 로 회전하는 동기 좌표계 전압 방정식으로 변환

위 식을 블록도로 나타내면 아래 그림과 같다. 여기서 전압과 전류는 정지 좌표계와 달리 직류값 ( $s=0$ )이다. 또한 동기 좌표계에서는 축이 회전함에 의해 발생하는 속도 기전력 성분인  $-\omega_e Li_q^e, \omega_e Li_d^e$ 가 추가적으로 존재한다. 이러한 속도 기전력은 d와 q축간에 서로 영향을 주는 상호 간섭 성분이다.

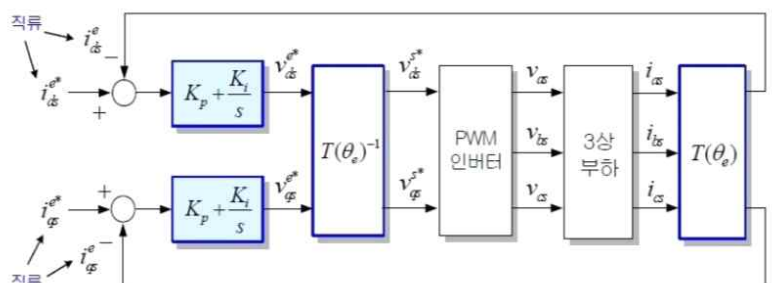
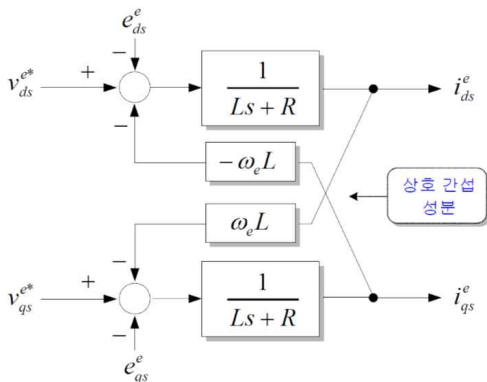


그림 2-13. d-q축 동기 좌표계에서의 전류 제어 시스템

```
VdeRefFf = -2 * PI * 60 * L * Iqe;
VqeRefFf = 2 * PI * 60 * L * Ide ;
```

```
Vderef = VdeRefFb + VdeRefFf + Ede;
Vqeref = VqeRefFb + VqeRefFf + Eqe;
```

위와 같은 상호 간섭 성분을 보완해 주기 위해서 Feedforward 성분을 더해준다.

## 2) PLL (Phased Locked Loop) 제어

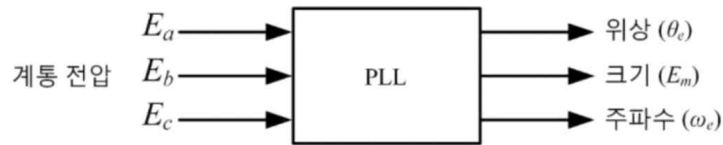


그림 2-3. PLL 시스템의 입출력 변수

### (1) 필요성

: 추정된 위상 정보를 통해 기준 전류 신호를 발생하기 때문에 분산 전원의 계통 연계 시스템의 제어를 위해서는 계통의 전압 위상 정보를 빠르고 정확하게 추정할 수 있어야 한다.

### (2) 목적

: 계통 교류 전원의 정보  $E_a$ ,  $E_b$ ,  $E_c$  를 이용하여 위상각  $\theta_e$ , 크기  $E_m$ , 주파수  $w_e$ 를 정확하게 알아낸다.

### (3) 개념

: 3상 계통 전원의 관점에서 위 그림은 아래의 수식으로 정리할 수 있다.

$$E_a = E_m \sin \omega t, \quad E_b = E_m \sin(\omega t - \frac{2}{3}\pi), \quad E_c = E_m \sin(\omega t + \frac{2}{3}\pi)$$

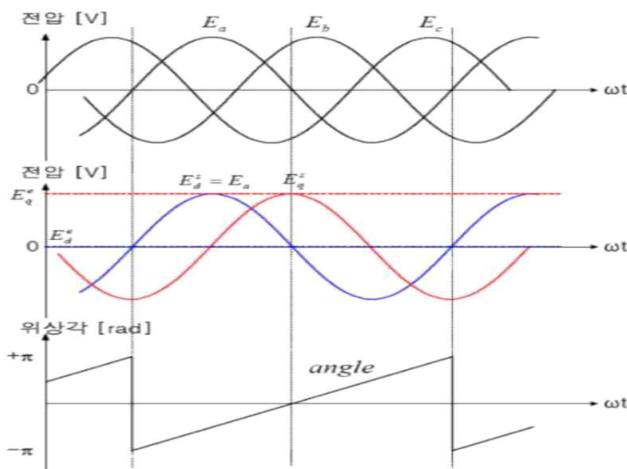
위 식에서  $E_m$ 은 계통 상전압의 최댓값을 의미하며 세 수식을 d-q축 정지좌표계로 좌표 변환을 하면

$$E_d^s = E_m \sin \omega t, \quad E_q^s = -E_m \cos \omega t \text{ 이다. } E_d^s \text{는 } E_a \text{와 같고 } E_q^s \text{는 d축과 } 90^\circ \text{의 위상차를 갖는다.}$$

정지좌표계를 아래 식과 같은 동기 좌표계로 변환하기 위한 동기 위상각을 계산하면 <그림 2-4>와 같다.

$$E_d^e = 0, \quad E_q^e = E_m$$

이 과정을 코드로 작성하면 아래 그림과 같다.



//abc 3상 좌표계에서 정지 좌표계로 변환

```
Eds = (2.*Ea_grid - Eb_grid - Ec_grid) / 3.;
```

```
Eqs = (Eb_grid - Ec_grid) / sqrt(3.);
```

//정지 좌표계에서 회전 좌표계로 변환

```
Ede = Eds * cos(Theta) + Eqs * sin(Theta);
```

```
Eqe = -Eds * sin(Theta) + Eqs * cos(Theta);
```

그림 2-4. 계통 전압과 계통 측 인버터의 동기 위상각

#### (4) 모델링

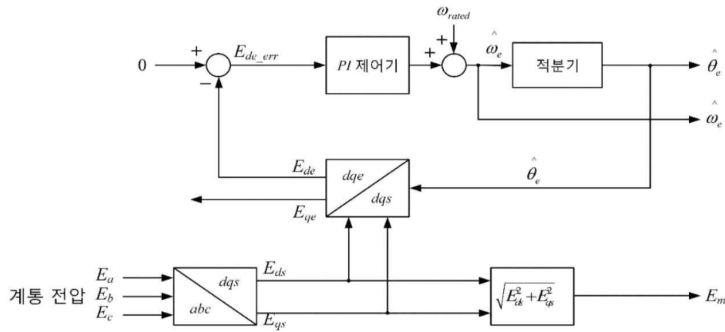


그림 2-5. PLL 시스템 블록도

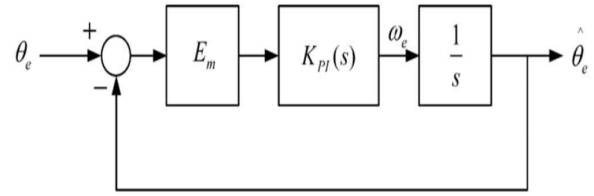


그림 2-6. PLL 시스템의 선형 모델

: PLL의 시스템 블록도는 <그림 2-5>와 같이 나타낼 수 있다. 그림에서  $w_{rated}$ 는 전향 보상 성분을 의미하며 계통 주파수가 60Hz이기 때문에  $2\pi(60Hz)$ 으로 계산 가능하다. 그림에서 적분기를 통해  $\hat{\theta}_e$ 를 만드는 것을 확인할 수 있는데 이를 코드로 나타내면 아래 그림과 같다.

//전향 보상

```
Wrated = 2 * PI * f;
Wde_ref += Wrated;
```

//적분기

```
Theta += Wde_ref * T_samp;
if (Theta > PI) { Theta -= 2. * PI; }
else if (Theta < -PI) { Theta += 2. * PI; }
```

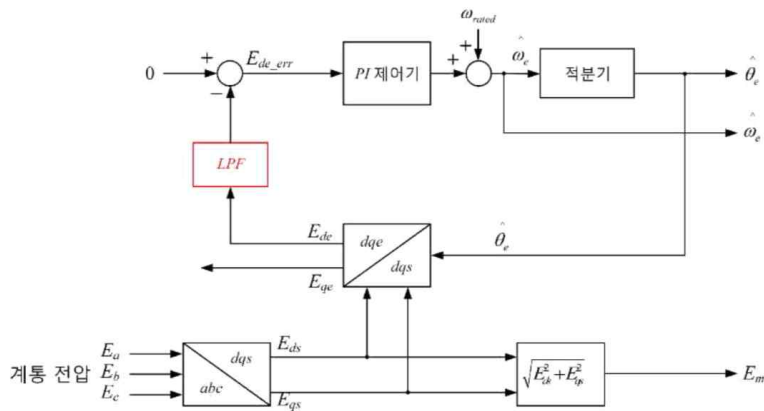


그림 2-7. 저역 통과 필터를 포함한 PLL 시스템 블록도

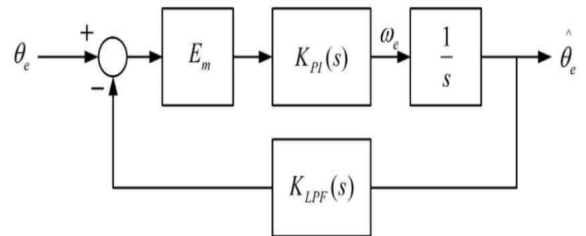


그림 2-8. 저역 통과 필터를 포함한 PLL 시스템의 선형 모델

<그림 2-7>은 <그림 2-5>의 회로에 저역 통과 필터를 추가한 시스템 블록도이다. 외란이나 노이즈가 없는 경우에 동기 좌표계 d축 계통 전압  $E_{de}$ 는 직류로 나타나고, 외란이나 노이즈가 포함되어 있을 경우에  $E_{de}$ 는 완전한 직류로 나오지 않는다. 하지만 위 시스템에서는 저역 통과 필터를 통과하면서 외란이나 노이즈가 제거되어  $E_{de}$ 는 직류에 가까운 값을 나타낸다. 3상 좌표계 변환과 d-q축 변환이 이상적일 경우 제어기를 선형화해서 표현 가능한데 이는 <그림 2-8>과 같다.

저역 통과 필터를 구성하는 방법은 'Bilinear Transform'을 이용한 것으로 전달함수에서  $s$  대신  $\frac{2}{T} \frac{z-1}{z+1}$ 을 넣어서 1차 근사를 통해 연속적 시간에서의 필터를 디지털 필터로 구현 하였다.

//LPF

```
Zeta = 0.707;
Wn = 100.;
Wc = 1. + 2 * Zeta * Wn;
La = (2. - Wc * T_samp) / (2. + Wc * T_samp);
Lb = (Wc * T_samp) / (2. + Wc * T_samp);
Ede_LPF = La * Ede_LPF + Lb * (Ede + Ede_old);
Ede_old = Ede;
```

// PI 제어기

```
Kp = (2. * Zeta * Wn) / (Em);
Ki = (Wn * Wn) / (Em * Wc);
Ede_err_int += (Ede_err) * T_samp;
Wde_ref = Kp * Ede_err + Ki * Ede_err_int;
```

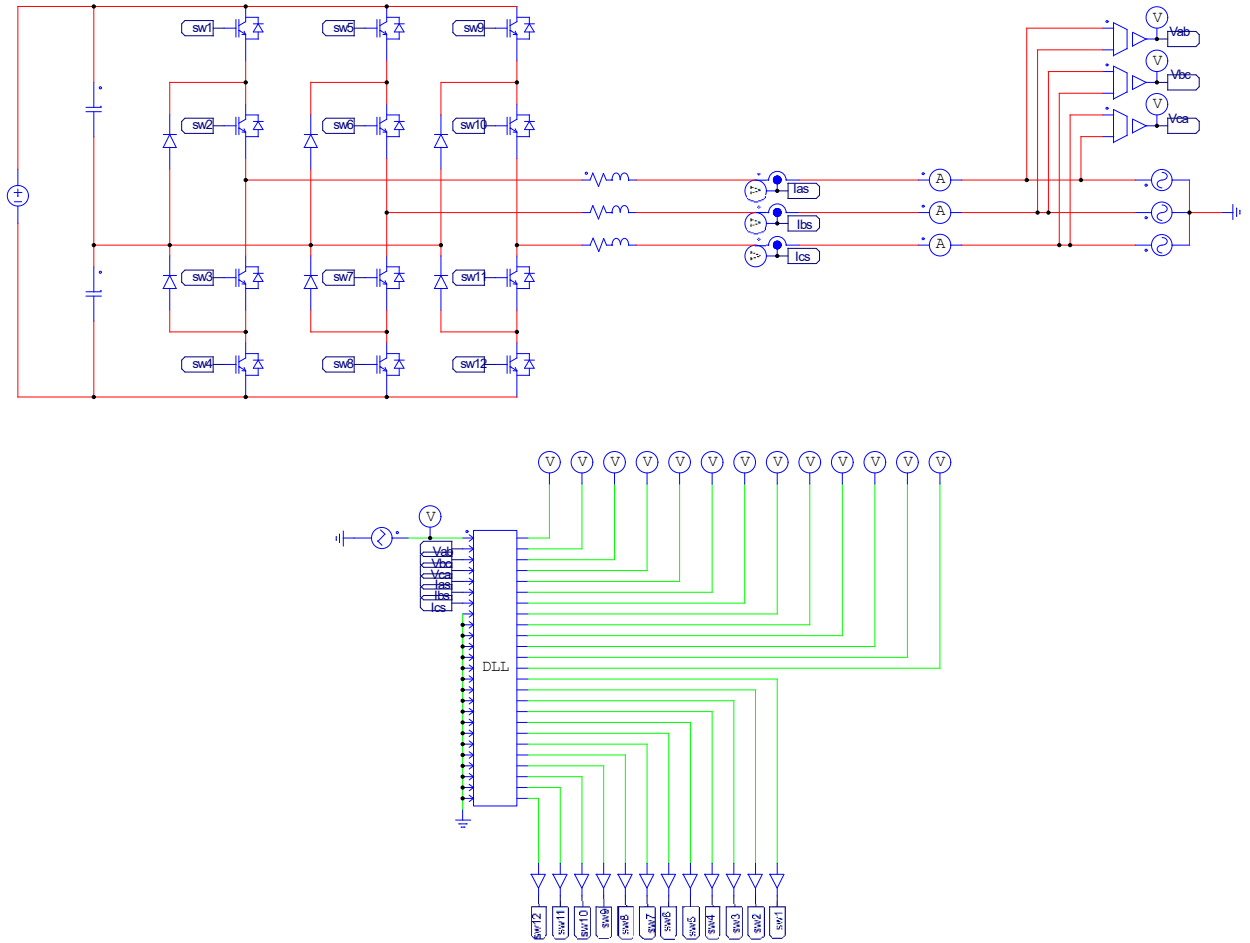
저역 통과 필터를 포함한 PLL 시스템에서는 PI 제어기의 이득이 전압의 크기에 반비례하기 때문에 낮은 전압에서도 속응성이 보장된다. 또  $w_n$ 이 커질수록 속응성이 향상된다. 하지만  $w_n$ 이 너무 크면 제어 시스템에 불안정성을 가져올 수 있기 때문에 적절한 값을 선택해야 한다.

### [3] 시뮬레이션 분석

#### 회로도



#### 3레벨NPC 인버터



#### <초기 설정 값>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때

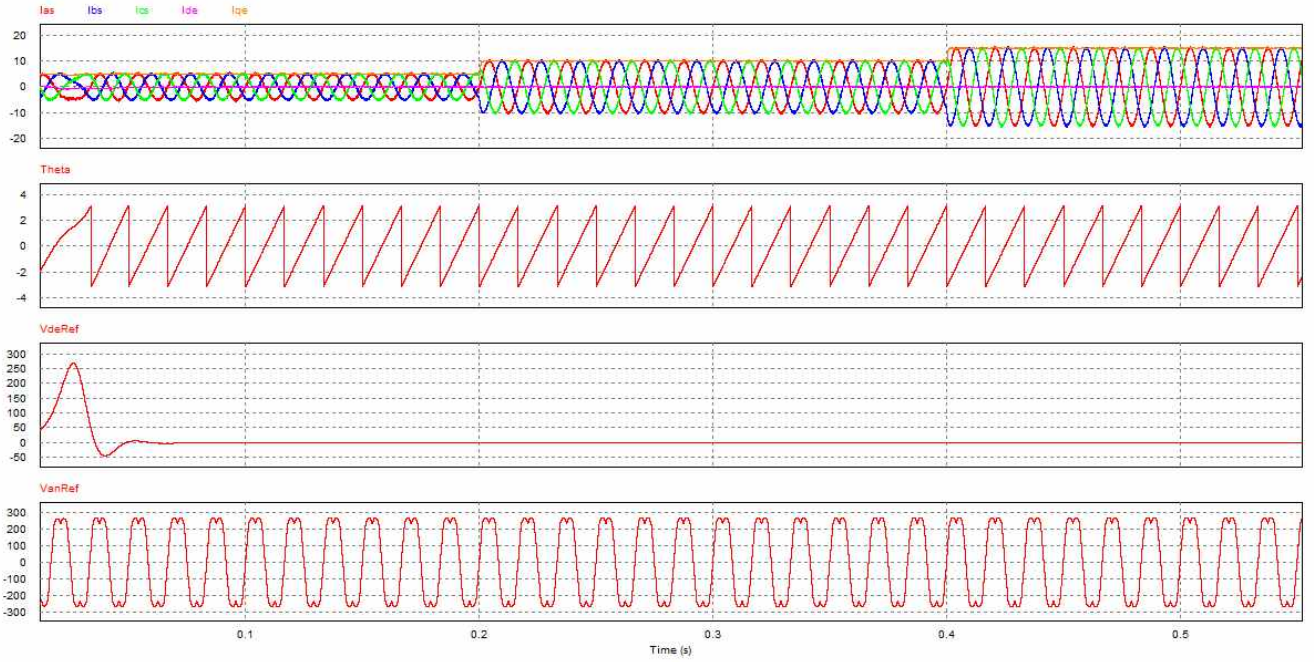
$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

각각의 경우에 따라서 시뮬레이션을 총 8가지로 진행하였다.

## 시뮬레이션 결과 파형 1



### <초기 설정 값과 같음>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 설정한 전류 지령을 3상 전류가 문제 없이 추종하는 모습을 확인할 수 있다.

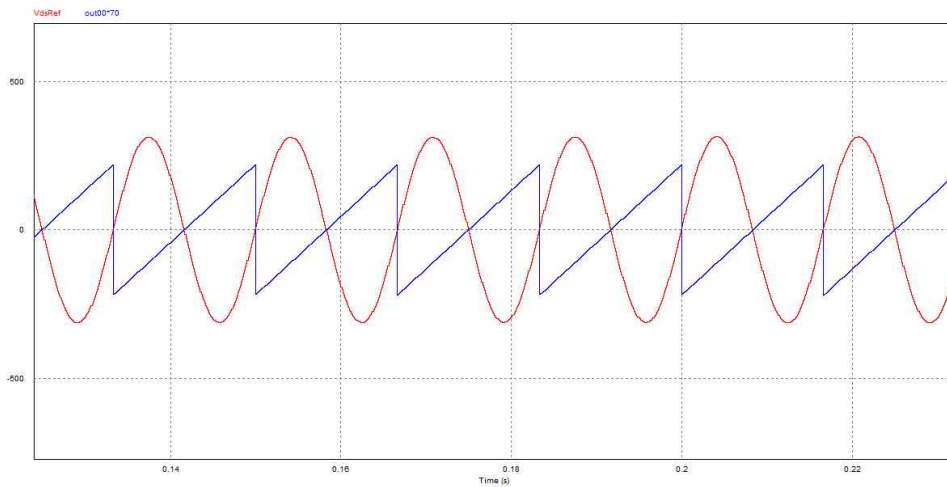
2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 전압은 26ms 쯤에 270V로 peak를 찍고 이후 39ms에 -50V를 찍은 뒤 0으로 수렴하는 모습을 보였다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옵셋 전압을 더해줘서 구할 수 있다. 이 파형을 추가한 이유는 다음에 진행할 시뮬레이션에서  $V_{de,Ref}$ 가 변함에 따라  $V_{an,Ref}$ 는 어떻게 변하는가를 보기 위함이다.

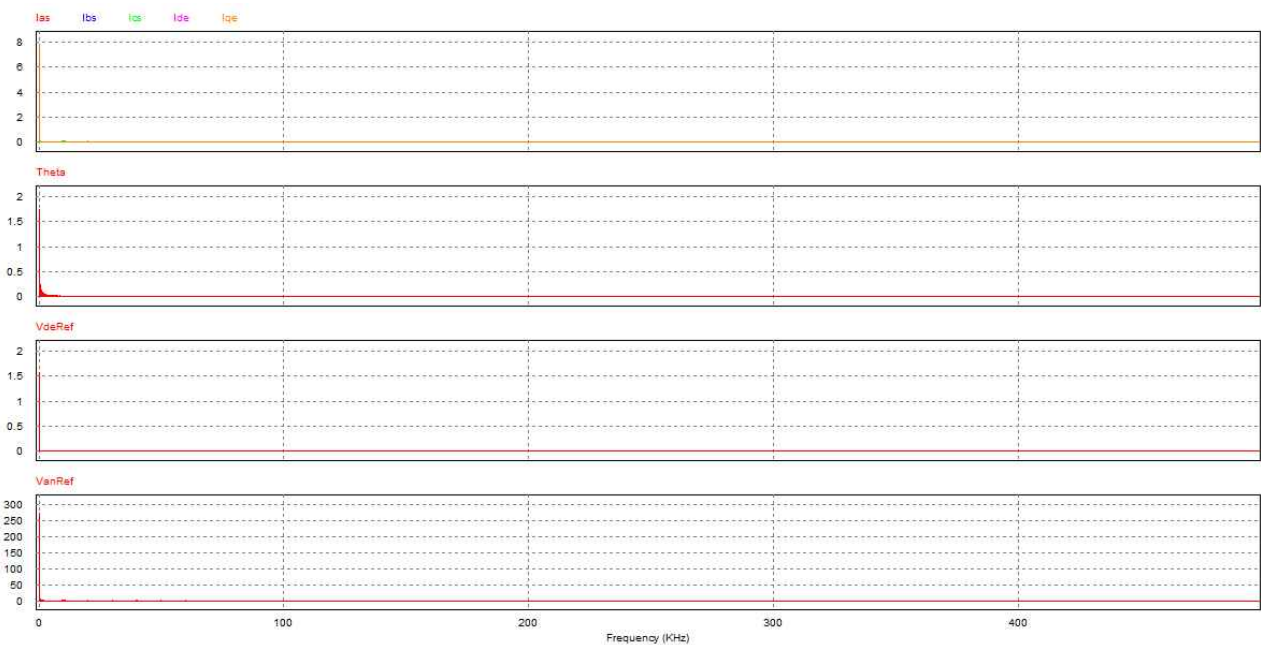
**분석 결과:**  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$ 인 경우 3상 전류가 초기에도 잘 나오며,  $V_{ds,Ref}$ 는 초기에 큰 값으로 튀는 것을 확인할 수 있었다. 계통 위상각을 잘 추종하는 모습을 확인할 수 있었다.





PLL 제어가 잘 되고 있음을 확인해 보기 위해  $V_{ds,Ref}$ 값과  $\theta$ 값의 주기를 비교해 보았다. 그 결과 두 파형의 주기가 같은 것을 볼 수 있었다. 계통 위상각을 잘 추정하기 때문에 PLL제어기가 원하는 대로 동작함을 알 수 있다.

이때의 FFT는 아래와 같다.



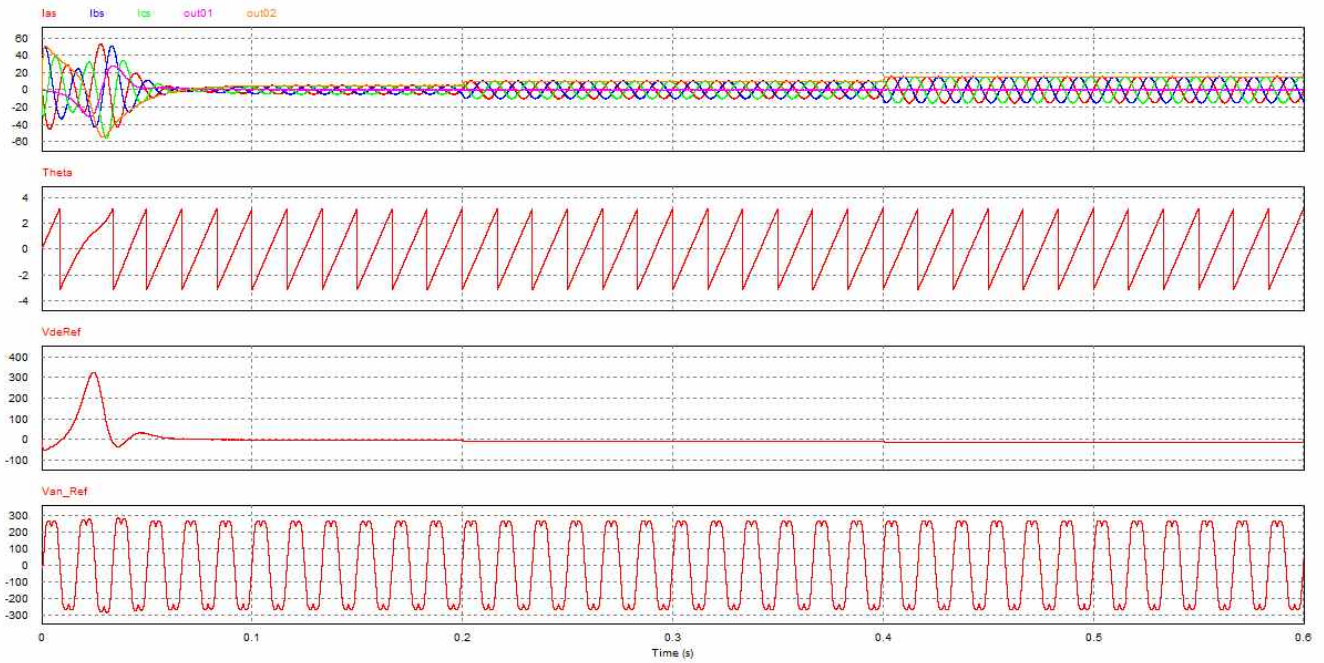
이때의 THD는 아래와 같다.

THD

|                       |                   |
|-----------------------|-------------------|
| Fundamental Frequency | 1.0000000e+002 HZ |
| ias                   | 7.0797646e-001    |
| ibs                   | 1.2653960e+000    |
| ics                   | 6.2262798e-001    |
| out01                 | 5.5849498e+000    |
| out02                 | 3.3016407e+002    |
| Theta                 | 7.5606169e-001    |
| VdsRef                | 6.5363334e+001    |
| Van_Ref               | 7.4682638e-001    |



## 시뮬레이션 결과 파형 2



### <역기전력 항 제거>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 이 전 시뮬레이션과 달리 역기전력 항을 제거하자 제어 초기에 전류가 매우 크게 나타나는 것을 확인할 수 있었다. 이러한 현상의 이유는 인덕턴스를 가진 회로에 전원에서 전력을 공급하면 전압을 거는 순간, 급격히 전류가 흐르기 때문이다. 인덕터 유기전력 e의 크기가 매우 크기 때문에 역기전력을 보상하지 않을 경우 제어 초기에 과도상태로 인한 큰 전류가 발생한다.

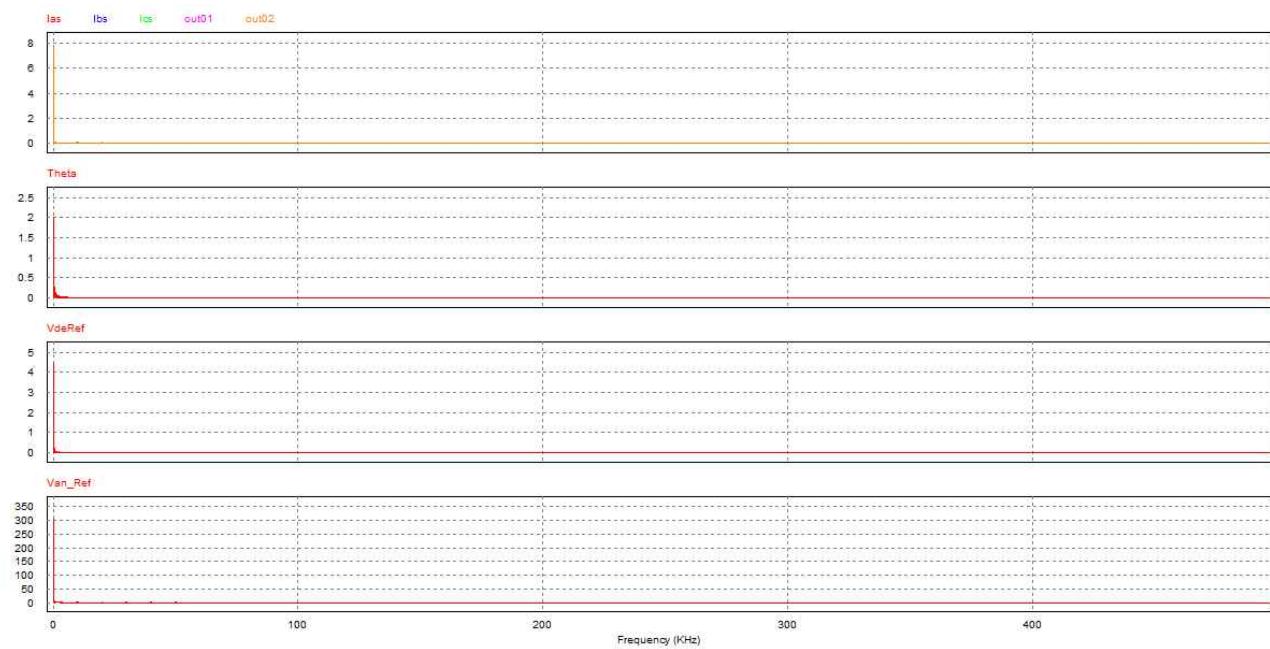
2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 전압은 26ms 쯤에 320V로 peak를 찍고 이후 36ms에 -43V를 찍은 뒤 46ms에서 약간의 overshoot을 보였다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옵셋 전압을 더해줘서 구할 수 있다. 이 파형을 추가한 이유는 다음에 진행할 시뮬레이션에서  $V_{de,Ref}$ 가 변함에 따라  $V_{an,Ref}$ 는 어떻게 변하는가를 보기 위함이다. 이 파형은 이 전 시뮬레이션과 큰 차이 없이 나타났다.

**분석 결과:**  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$ 인 경우 역기전력을 보상하지 않았기 때문에 제어 초기에 과도상태로 인한 큰 전류를 갖는 것을 확인할 수 있었다. 또 역기전력을 보상하지 않았을 때,  $V_{de,Ref}$ 에서 Overshoot도 이 전에 비해 많이 일어남을 확인할 수 있었다.

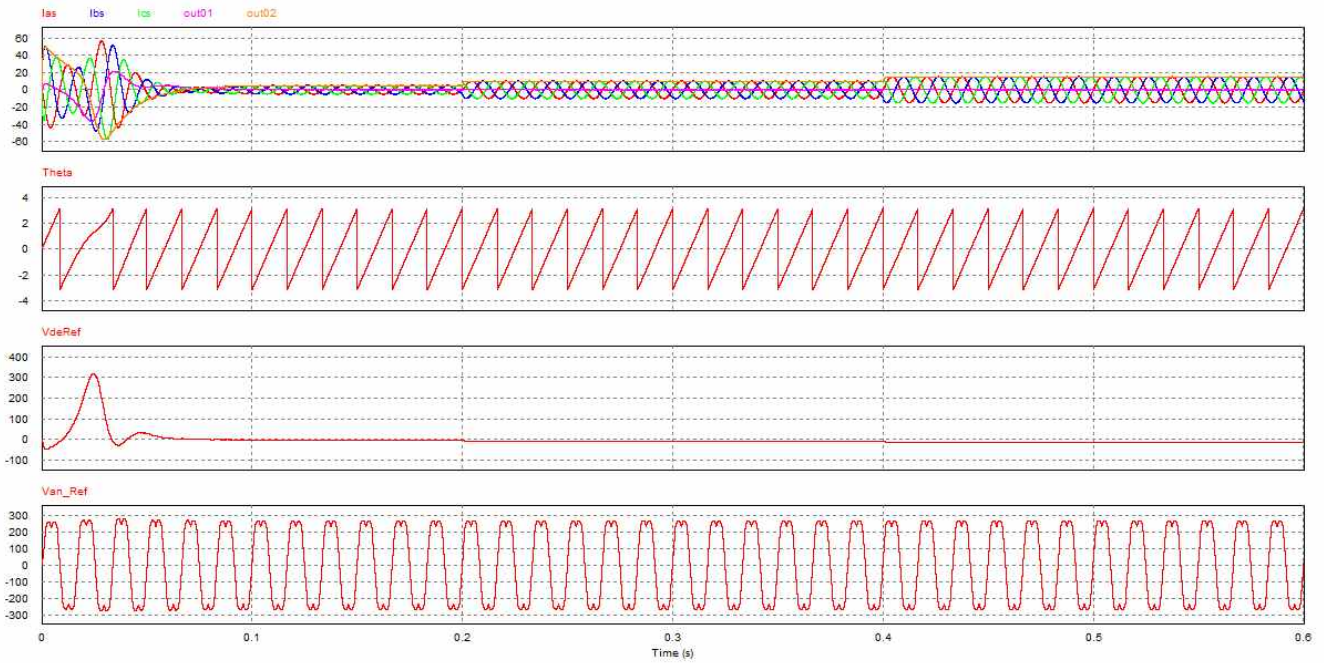
이때의 FFT는 아래와 같다.



이때의 THD는 아래와 같다.

|                       |                   |
|-----------------------|-------------------|
| THD                   |                   |
| Fundamental Frequency | 1.0000000e+002 HZ |
| las                   | 8.7708778e-001    |
| lbs                   | 5.5271434e-001    |
| lcs                   | 1.1047271e+000    |
| out01                 | 8.0983734e+000    |
| out02                 | 2.8145390e+002    |
| Theta                 | 1.3144769e+000    |
| VdeRef                | 1.9900337e+002    |
| Van_Ref               | 9.6957427e-001    |

### 시뮬레이션 결과 파형 3



#### <역기전력, 전향 보상 성분 제거>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 역기전력 항과 전향 보상 성분을 제거하자 제어 초기에 전류가 매우 크게 나타나는 것을 확인할 수 있었다. 이러한 현상의 이유는 인덕턴스를 가진 회로에 전원에서 전력을 공급하면 전압을 거는 순간, 급격히 전류가 흐르기 때문이다. 인덕터 유기기전력 e의 크기가 매우 크기 때문에 역기전력을 보상하지 않을 경우 제어 초기에 과도상태로 인한 큰 전류가 발생한다. 이 그래프는 시뮬레이션2의 그래프와 큰 차이가 없었다.

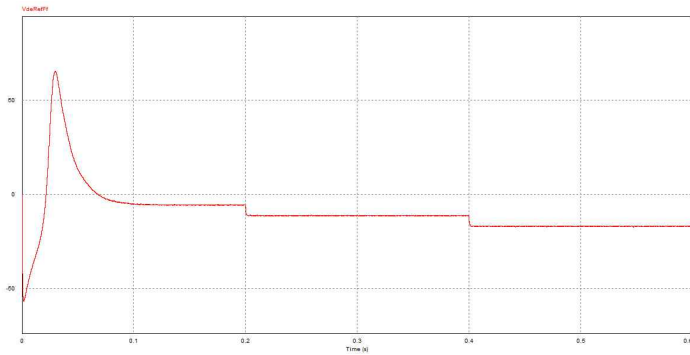
2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

3)  $V_{de,Ref} = V_{de,Ref,Fb}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 전압은 초기에 음의 값을 가지고 있다가 24ms 쯤에 317V로 peak를 찍고 이후 36ms에 -25V를 찍은 뒤 46ms에서 약간의 overshoot을 보였다. 이러한 경향도 시뮬레이션2와 큰 차이가 없었다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옵셋 전압을 더해줘서 구할 수 있다. 이 파형을 추가한 이유는 다음에 진행할 시뮬레이션에서  $V_{de,Ref}$ 가 변함에 따라  $V_{an,Ref}$ 는 어떻게 변하는가를 보기 위함이다. 이 파형은 이 전 시뮬레이션과 큰 차이 없이 나타났다.

**분석 결과:**  $V_{de,Ref} = V_{de,Ref,Fb}$ 인 경우 역기전력을 보상하지 않았을 때의 파형과 큰 차이가 없었다. 제어 초기에 과도 상태로 인한 큰 전류가 발생하였고,  $V_{de,Ref}$ 와  $V_{an,Ref}$ 의 경향은 이 전 시뮬레이션과 비슷했다.

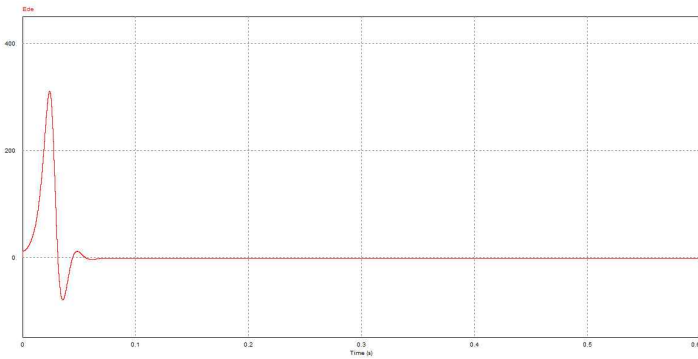
시뮬레이션2와 시뮬레이션3가 큰 차이가 없었기 때문에  $V_{de,Ref,Ff}$ 가 매우 작은 영향을 끼친다고 생각했고 이 부분의 파형만 따로 관찰해보았다.



피크 값을 비교해볼 때  $V_{de,Ref,Ff}$ 는  $V_{de,Ref,Fb}$ 의  $\frac{1}{6}$  정도 되는 작은 값을 갖고 있었다.

이러한 이유로  $V_{de,Ref,Ff}$ 의 유무에 따라 큰 차이가 발생하지 않았다.

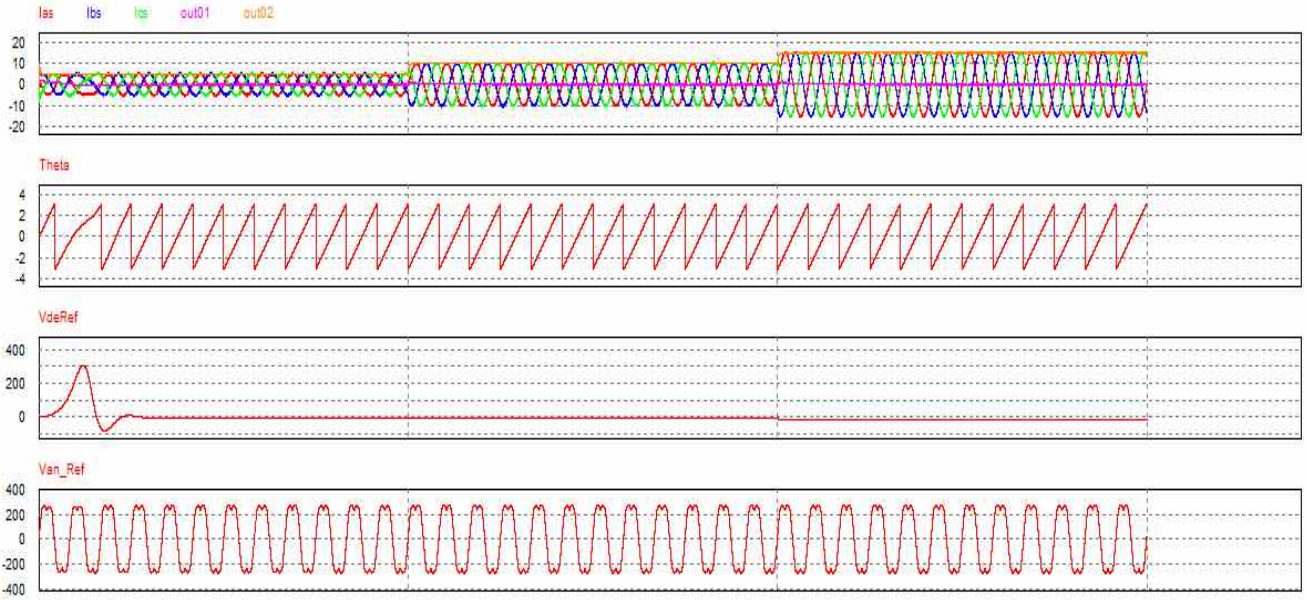
그렇다면 이번엔  $E_{de}$ 가 얼마나 큰지에 대해 알아보기 위해서  $E_{de}$ 의 파형만 따로 관찰해보았다.



그 결과  $V_{de,Ref} = V_{de,Ref,Fb}$ 일 때 역기전력의 파형은  $V_{de,Ref,Fb}$ 와 유사한 모습을 보였다. 이 결과를 토대로  $V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$  일 때의 파형을 시뮬레이션 4에서 분석해보았다.



#### 시뮬레이션 결과 파형 4



#### <전향 보상 성분 제거>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 전향 보상 성분만 제거한 채 역기전력 성분을 더해주니 결과는 시뮬레이션1과 유사하게 나왔다. 앞서 언급했듯 제어 초기에 유기 기전력의 반대 방향으로 발생하는 역기전력의 크기가 큰데 이를 보상해주는 성분을 넣었기 때문에 초기에 큰 전류가 흐르지 않았다.

2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

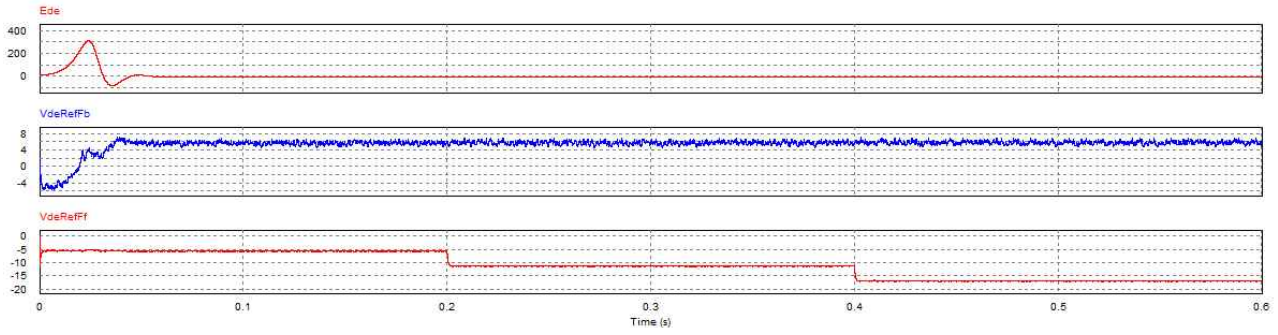
3)  $V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 전압은 초기에 0V이던 전압이 23ms 쯤에 308V로 peak를 찍고 35ms에서 -77V를 찍은 뒤 0으로 수렴하였다. 이 전에 비해 음의 값으로 전압이 많이 튀는 것을 확인할 수 있었다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옅셋 전압을 더해줘서 구할 수 있다. 이 파형을 추가한 이유는 다음에 진행할 시뮬레이션에서  $V_{de,Ref}$ 가 변함에 따라  $V_{an,Ref}$ 는 어떻게 변하는가를 보기 위함이다. 이 파형은 이 전 시뮬레이션과 큰 차이 없이 나타났다.

**분석 결과:** 전향 보상 성분을 제거하고  $V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$  으로만 수식을 세웠을 때, 이 전에 있던 제어 초기의 전류 문제는 역기전력 보상 성분을 넣음으로서 해결이 되었다. 모든 성분을 포함했던 시뮬레이션1과 이번 시뮬레이션을  $V_{de,Ref}$  관점에서 비교해보았다.  $V_{de,Ref}$ 가 각각 양의 peak, 음의 peak를 찍을 때 시뮬레이션1에 이번 시뮬레이션이 모든 peak의 크기가 큰 것을 확인할 수 있었다. 이 차이는  $V_{de,Ref,Fb}$ 에 의한 영향이라고 생각한다.

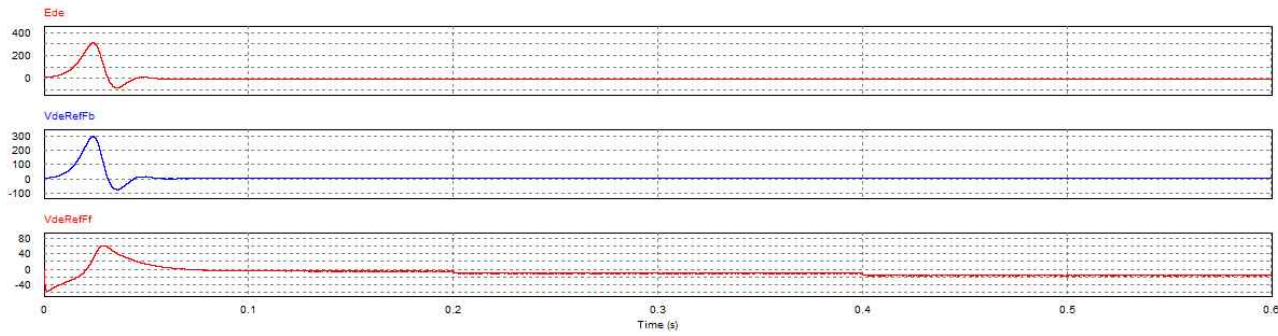
각 경우에 대해서 시뮬레이션을 총 4가지로 진행하면서  $V_{de,Ref}$ 에 어떤 항을 넣어주느냐에 따라서 각 항들의 크기가 변하는 것을 확인했다. 4가지 경우에 대해서 이를 정리한 그림은 아래와 같다.

#### 시뮬레이션1



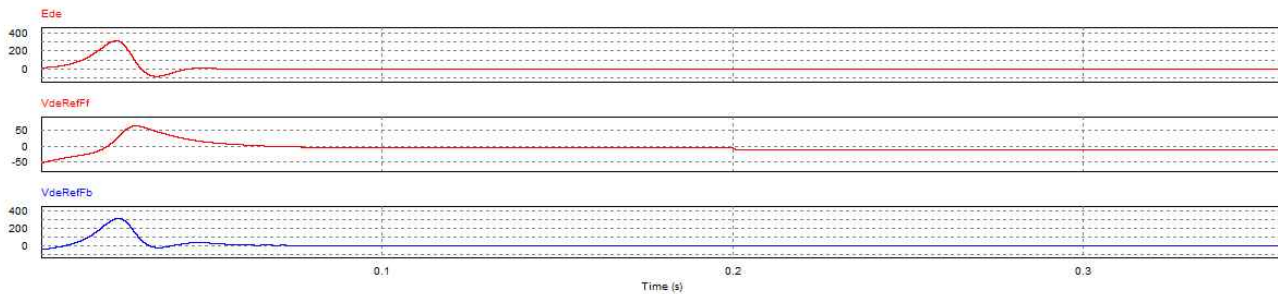
$$V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$$

#### 시뮬레이션2



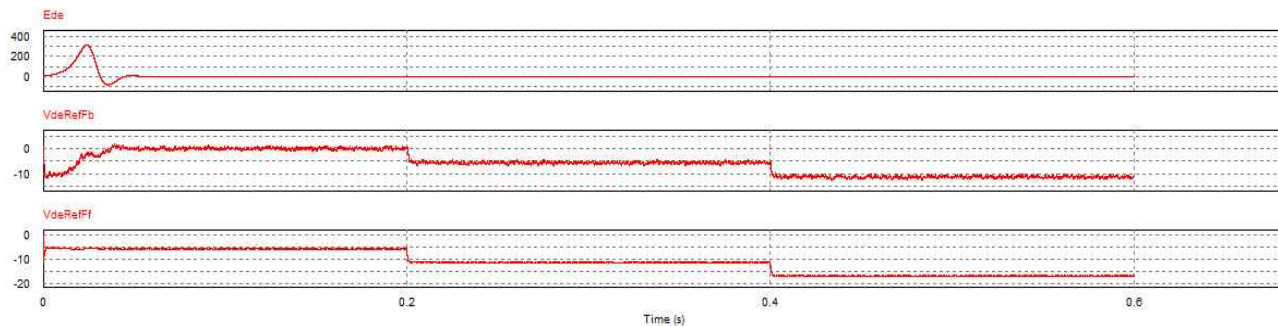
$$V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$$

#### 시뮬레이션 3



$$V_{de,Ref} = V_{de,Ref,Fb}$$

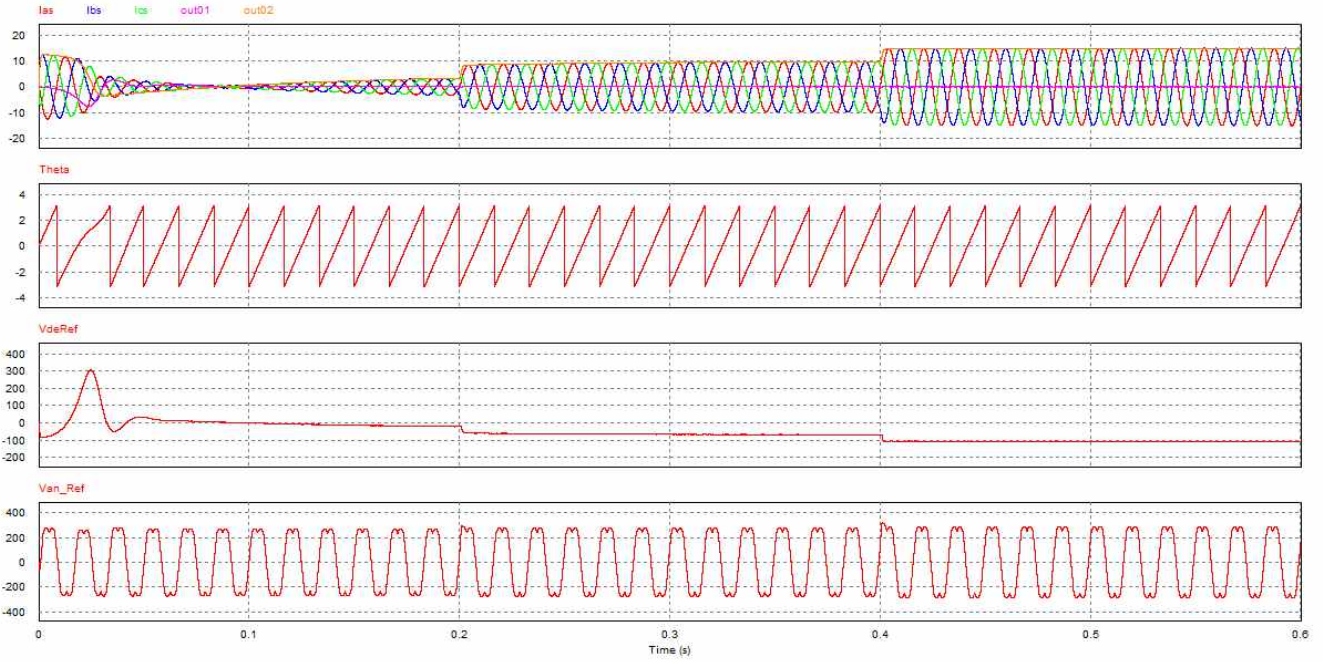
#### 시뮬레이션 4



$$V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$$

위 그래프들과 같이  $V_{de,Ref,Ff}$ ,  $V_{de,Ref,Fb}$ 의 값들이 각 경우에 대해서 달라지는 모습을 확인할 수 있었다. 시뮬레이션을 통해 각각 시뮬레이션에 대한 과도상태를 보기 위해  $t=0.2s$ 에서의 3상 전류 및 d-q축 전류 파형도 살펴보았으나 네 경우 모두 큰 차이 없이 비슷하였다.

## 시뮬레이션 결과 파형 5



### <L값 변경, 역기전력 제거>

$R=0.2\Omega$ ,  $L=50\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 인덕터의 크기를 높여주자 시뮬레이션2와 비교했을 때, 제어 초기에 작은 전류가 흘렀다. 하지만  $t=0.1\text{s}$  부근에서 전류가 거의 흐르지 않는 모습을 보였다.

2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

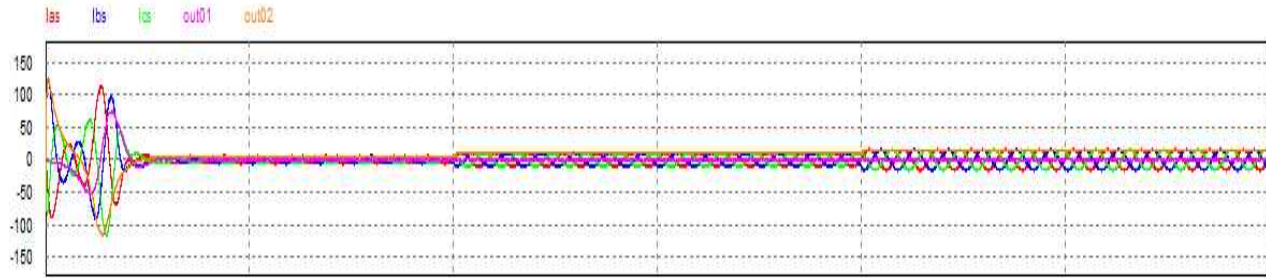
3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 전압은 24ms 쯤에 300V로 peak를 찍고 이후 35ms에 -50V를 찍은 뒤 0으로 수렴하는 듯 하다가 전류 지령이 바뀌자 전압값이 계속 떨어졌고 결국에는 -100V에 수렴했다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옵셋 전압을 더해줘서 구할 수 있다. 이 파형을 추가한 이유는 다음에 진행할 시뮬레이션에서  $V_{de,Ref}$ 가 변함에 따라  $V_{an,Ref}$ 는 어떻게 변하는가를 보기 위함이다. 이 값은 시뮬레이션2와 크게 다르지 않았다.

**분석 결과:** 역기전력을 제거 했을 때 제어 초기에 큰 전류가 흐르는 것에 대해 인덕터의 영향이 있다고 생각해서 인덕터의 값을 크게 한 경우에 대한 그래프를 살펴보았다. 그 결과 인덕터의 값을 높여주자 시뮬레이션2에 비해서 초기에 큰 전류가 흐르지 않았다. 하지만  $t=0.1\text{s}$  근처에서 전류가 거의 흐르지 않게 되었고  $t=0.2\text{s}$ 가 되자 다시 원래대로 지령값을 따라갔다.  $V_{de,Ref}$  값도 시뮬레이션 2와 비교하면 수렴하는 결과값이 다르게 됨을 알 수 있었다.

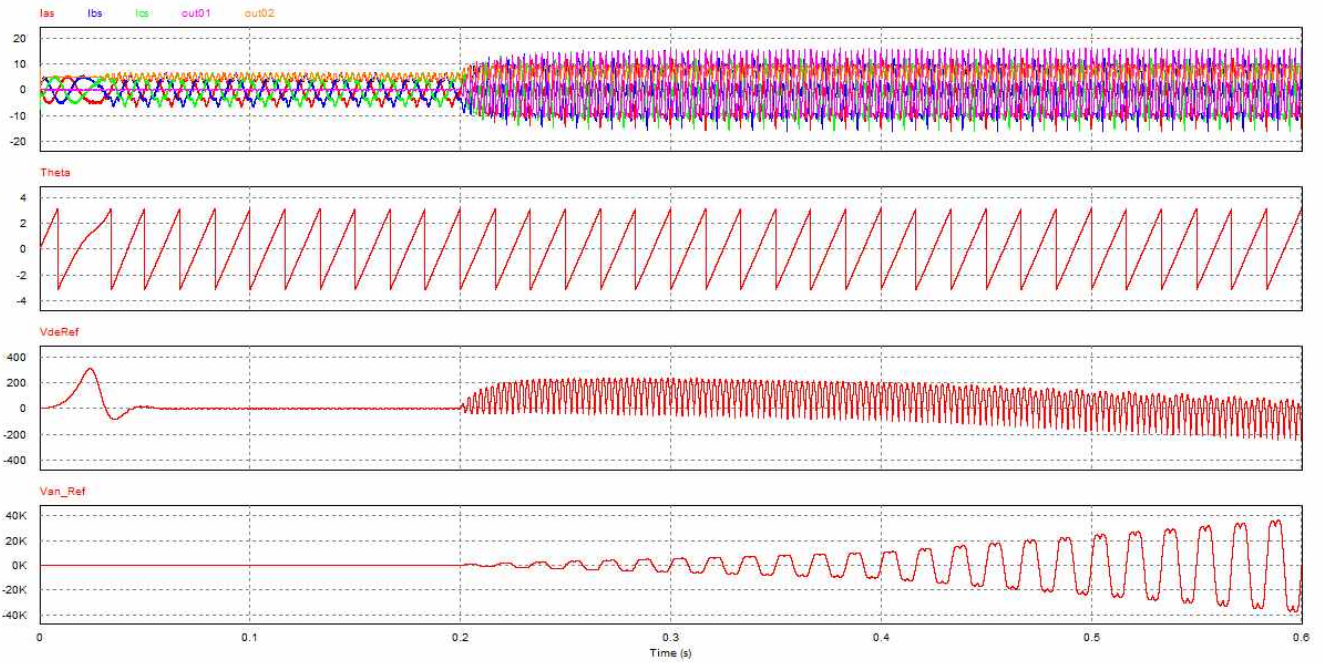


이번에는 L값을 작게 해 보았다.  $L = 1mH$



3상 전류와 d-q축 전류를 봤을 때, L값을 더 낮추자 제어 초기에 전류가 더 큰 값을 보이는 것을 확인할 수 있었다. 나머지 파형은 이 전과 동일하였다.

## 시뮬레이션 결과 파형 6



### <R값 변경>

$R=10\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 저항의 크기를  $10\Omega$ 으로 증가시켜주자 제어가 제대로 되지 않음을 확인할 수 있었다.

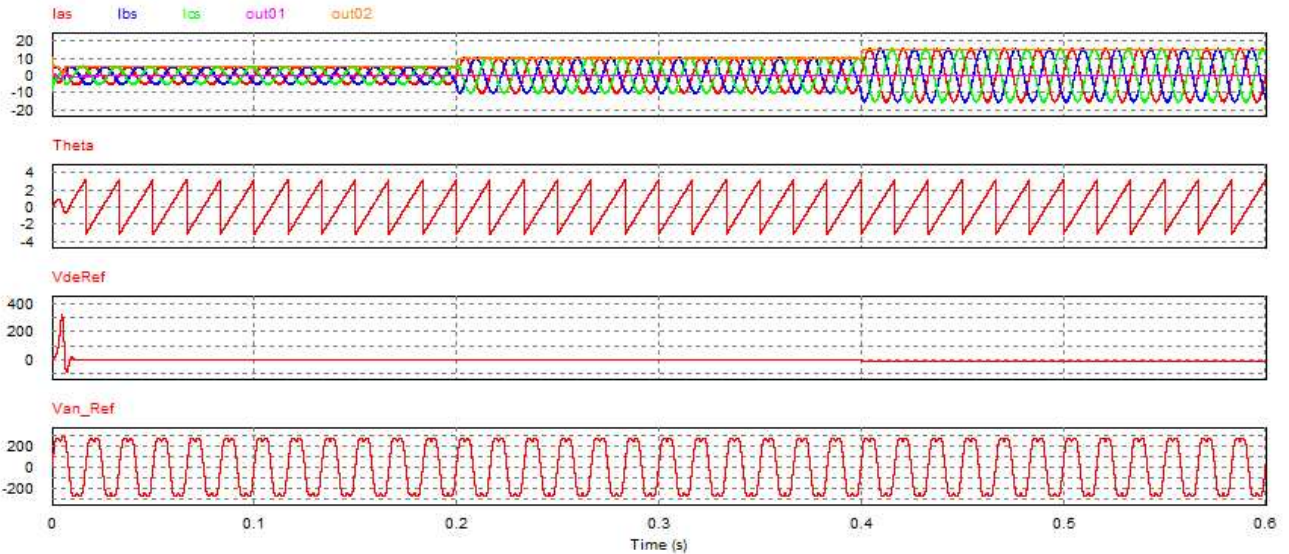
2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 34ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다.

3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다.  $t=0.2\text{s}$  이전까지는 지령전압이 잘 생성되는 듯 하다가 0.2s 이후에 제어가 제대로 되지 않은 모습을 볼 수 있다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옴셋 전압을 더해줘서 구할 수 있다. 이 값 역시 제어가 제대로 되지 않았고 값이 무한히 커지는 것을 볼 수 있다.

**분석 결과:** 저항크기를  $10\Omega$ 으로 늘려주자 전에 잘 되던 제어들이 오류가 생기는 것을 확인할 수 있었다. 이 회로에서의 저항은 사용자에서 계통으로 가는 선에 있는 저항이다. 따라서 저항이 큰 값이 있게 되면 원하는 대로 제어가 힘들 수 있다. 때문에 초기 저항값을  $0.2\Omega$ 으로 설정해 준 것이다.

## 시뮬레이션 결과 파형 7



### < $w_n$ 값 변경>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=1000$ , 계통으로 공급할 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통으로 공급할 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 시뮬레이션1과 같이 3상 전류가 지령전류를 잘 추종함을 알 수 있다.

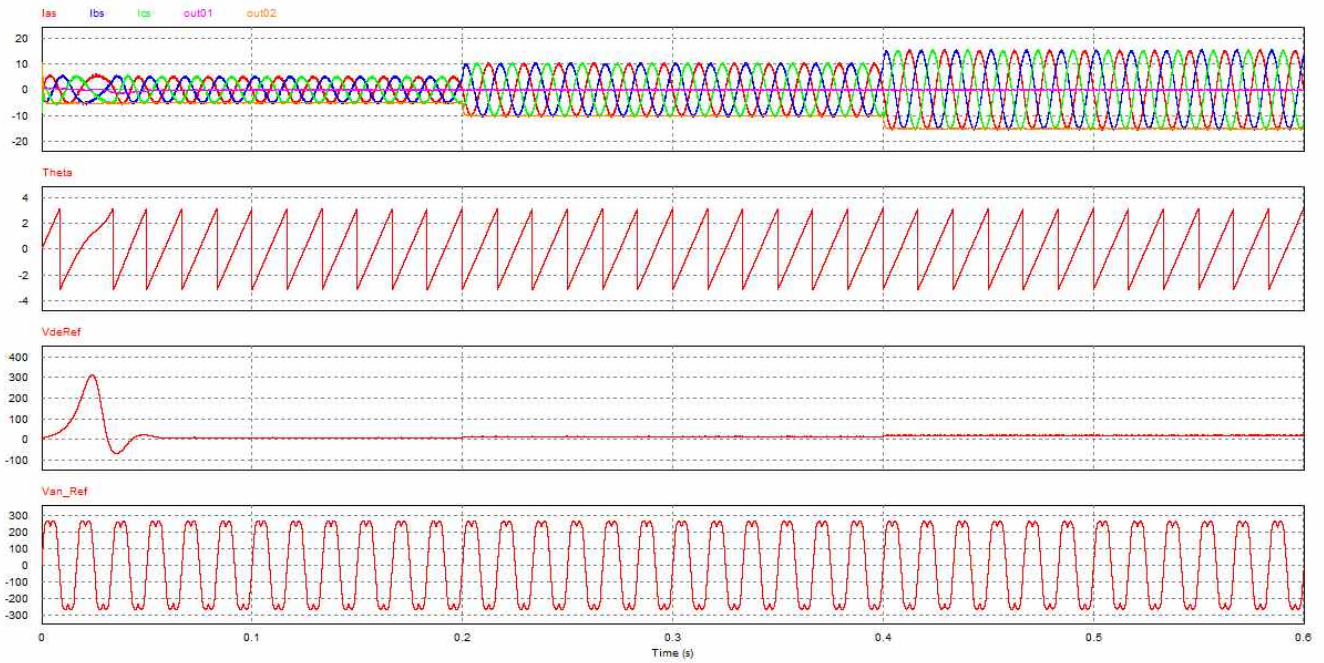
2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 15ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다. PLL제어기의 대역폭을 늘려주자 위상각을 완벽하게 추정하는데 짧은 시간이 걸렸다.

3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. PLL제어기의 대역폭을 늘려주자 전압 지령이 0으로 수렴하는 시간이 빨라졌다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옅트 전압을 더해줘서 구할 수 있다. 6ms에서 전압이 약간 다른 모양을 보이지만 이내 제어가 잘 되는 모습을 확인할 수 있다.

**분석 결과:** PLL제어기의 대역폭을 1000으로 늘려주자 대체로 속도가 빨라졌다. 위상각을 추정하는 시간 이외에도 d축 전압 지령이 0으로 수렴하는 시간도 빨라짐을 확인할 수 있었다.

## 시뮬레이션 결과 파형 8



### <계통에서 수전 받을 때>

$R=0.2\Omega$ ,  $L=3\text{mH}$ ,  $w_n=200$ , 계통에서 수전 받을 때,  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$

$t<0.2$ 에서 d축 지령 전류 =0, q축 지령 전류 =-5

$t<0.4$ 에서 d축 지령 전류 =0, q축 지령 전류 =-10

이외의 경우 d축 지령 전류 =0, q축 지령 전류 =-15

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 전류와 d-q축 전류, 2) 추정된 계통 위상 각, 3) 동기 좌표계 전압 지령, 4) a상 전압 지령

1) 계통에서 수전 받을 때 d축 전류 지령은 0으로 두고 q축 전류 지령은 시간에 따라 다르게 주었다. 그 결과 전류 지령을 3상 전류가 잘 추종하는 모습을 보였다.

2) 적분기를 이용해서  $\theta$ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 파형이 일그러져 있다. 32ms 이후부터  $\theta$ 의 추정이 잘 되는 것을 확인할 수 있다. 이는 계통으로 공급할 때와 같다.

3)  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  으로 식을 세운 뒤 시뮬레이션을 진행했다. 실제로 수식은 q축도 동일하게 작성하였지만, 각 항의 유무에 따라 어떤 파형이 나오는지 차이를 쉽게 알도록 d축 동기 좌표계의 전압만 보았다. 이 특성 역시 계통으로 공급할 때와 같았다.

4)  $V_{an,Ref}$ 는 위에서 구한  $V_{de,Ref}$ 를 좌표변환 해서  $V_{ds,Ref}$ 를 만들어 준 뒤, 그 값에 옵셋 전압을 더해줘서 구할 수 있다. 이 특성 역시 계통으로 공급할 때와 같았다.

**분석 결과:** 계통에서 수전 받을 때는 q축 지령 전류는 (-)값으로 바꿔주었다. 그에 따라 전류 지령이 음의 값으로 바뀌었고 그래프를 통해 확인할 수 있었다. 나머지 특성은 계통으로 공급할 때와 같은 특성을 보였다.

#### [4] 고찰

이번 실험에서는 이 전에 배웠던 전류제어기와 PLL 제어기를 하나의 회로 안에 합쳐 놓은 회로를 보았다. 각각의 특성을 이해하고 있었기 때문에 제어기가 어떻게 동작하는지 이해하는데 수월했다. 시뮬레이션은 크게 8가지로 나뉘고, 소자의 변화, 대역폭의 변화 그리고  $V_{de,Ref}$  구성 요소의 변화에 따라 진행했다.

먼저 시뮬레이션 1은  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  인 상황에 대해서 알아보았다. 그 결과 3상 전류가 초기에도 잘 나오며 계통 위상각을 잘 추종하는 모습을 확인할 수 있었다. 추가적으로 PLL 제어기의 동작을 확인하기 위해  $V_{ds,Ref}$ 와  $\theta$ 의 파형을 비교해 보았고, 그 결과 두 파형이 같은 주기를 갖고 있음을 확인했다. 따라서 PLL 제어기가 설계한대로 잘 작동함을 알 수 있었다.

시뮬레이션2는  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$ 인 경우에 대해서 알아보았고 이 경우에는 역기전력을 보상하지 않았기 때문에 제어 초기에 과도상태로 인한 큰 전류를 갖는 것을 확인할 수 있었다. 또 역기전력을 보상하지 않았을 때,  $V_{de,Ref}$ 에서 Overshoot도 이 전에 비해 많이 일어남을 확인할 수 있었다.

시뮬레이션3은  $V_{de,Ref} = V_{de,Ref,Fb}$ 인 경우에 대해서 알아보았고 이 경우에는 역기전력을 보상하지 않았을 때의 파형과 큰 차이가 없었다. 제어 초기에 과도 상태로 인한 큰 전류가 발생하였고,  $V_{de,Ref}$ 와  $V_{an,Ref}$ 의 경향은 이 전 시뮬레이션과 비슷하였다.

시뮬레이션4는 전향 보상 성분을 제거하고  $V_{de,Ref} = V_{de,Ref,Fb} + E_{de}$  으로만 수식을 세웠을 때이다. 이 전에 있던 제어 초기의 전류 문제는 역기전력 보상 성분을 넣음으로서 해결이 되었다.  $V_{de,Ref,Ff}$ 에 의한 영향이 눈에 띄 정도로 크지는 않았다.

앞서 진행한 네 가지의 시뮬레이션을 토대로 각 경우에 대하여  $V_{de,Ref,Ff}$ ,  $V_{de,Ref,Fb}$ ,  $E_{de}$ 의 크기를 알아보았다. 그 결과  $V_{de,Ref,Ff}$ ,  $V_{de,Ref,Fb}$ 의 크기가  $V_{de,Ref}$ 를 어떻게 설정하느냐에 따라 달라진다는 사실을 확인할 수 있었다.

시뮬레이션5는 인덕터의 변화에 따른 영향을 살펴보기 위해 역기전력을 제거한  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff}$  다음의 경우에 대해서 고려해주었다. 인덕터의 값을 50mH로 올려주자 이 전에 비해 초기에 큰 전류가 흐르지 않았다. 하지만  $t=0.1s$  근처에서 전류가 거의 흐르지 않게 되었고  $t=0.2s$ 가 되자 다시 원래대로 지령값을 따라갔다.  $V_{de,Ref}$  값도 시뮬레이션 2와 비교하면 수렴하는 결과값이 다르게 됨을 알 수 있었다. 반대로 인덕터의 값을 0.1mH로 낮춰주자 제어 초기에 전류가 더 큰 값을 보이는 것을 확인할 수 있었다.

시뮬레이션6은  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  식에 대해 저항의 크기를  $10\Omega$ 으로 늘려주었다. 그 결과 잘 되던 제어들이 오류가 생겼다. 사용자에서 계통으로 가는 선에 있는 저항이 커지게 되어 원하는 제어를 못해주었다고 생각된다.

시뮬레이션7은  $V_{de,Ref} = V_{de,Ref,Fb} + V_{de,Ref,Ff} + E_{de}$  식에 PLL 제어기의 대역폭인  $w_n$ 을 1000으로 늘려주었다. 그 결과 위상각을 추정하는 시간, d축 전압 지령이 0으로 수렴하는 시간이 빨라졌다. 이 부분은 지난 실험 내용에서 증명했던 내용이다.

시뮬레이션 8은 계통으로 공급할 때와 반대 개념인 계통에서 수전 받을 때의 경우에 대해 알아보았다. 이 경우에는 q축 지령 전류는 음의 값을 갖는다. 지령 전류가 음의 값을 갖는다는 점 이외에 나머지 특성은 계통으로 공급할 때와 같은 특성을 보였다.

## [5] 참고문헌

- 전자종합설계 강의노트
- 김상훈, 『모터제어 DC, AC, BLDC』, 북두 출판사(2014), P312