

전자종합설계 보고서 2

IEEE Code of Ethics

(출처: <http://www.ieee.org>)

We, the members of the IEEE, in recognition of the importance of our technologies in affecting the quality of life throughout the world, and in accepting a personal obligation to our profession, its members and the communities we serve, do hereby commit ourselves to the highest ethical and professional conduct and agree:

1. to accept responsibility in making decisions consistent with the safety, health and welfare of the public, and to disclose promptly factors that might endanger the public or the environment;
2. to avoid real or perceived conflicts of interest whenever possible, and to disclose them to affected parties when they do exist;
3. to be honest and realistic in stating claims or estimates based on available data;
4. to reject bribery in all its forms;
5. to improve the understanding of technology, its appropriate application, and potential consequences;
6. to maintain and improve our technical competence and to undertake technological tasks for others only if qualified by training or experience, or after full disclosure of pertinent limitations;
7. to seek, accept, and offer honest criticism of technical work, to acknowledge and correct errors, and to credit properly the contributions of others;
8. to treat fairly all persons regardless of such factors as race, religion, gender, disability, age, or national origin;
9. to avoid injuring others, their property, reputation, or employment by false or malicious action;
10. to assist colleagues and co-workers in their professional development and to support them in following this code of ethics.

위 IEEE 윤리헌장 정신에 입각하여 report를 작성하였음을 서약합니다.

학 부: 전자공학부

제출일: 2018.10.11

과목명: 전자종합설계

교수명: 이교범 교수님

분 반: 목요일

성 명: 이승복 (201420820)

[1] 목표

- PLL (Phased Locked Loop) 제어 방법에 대해 알아본다.
- 계통 전원의 동기 위상각, 주파수, 크기를 시뮬레이션을 통해 살펴본다.
- PSIM을 이용해 회로도를 구성해 본 뒤 회로의 특성에 대해 이해한다.

[2] 이론

1) PLL (Phased Locked Loop) 제어

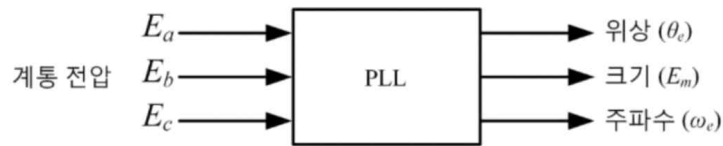


그림 2-3. PLL 시스템의 입출력 변수

(1) 필요성
: 추정된 위상 정보를 통해 기준 전류 신호를 발생하기 때문에 분산 전원의 계통 연계 시스템의 제어를 위해서는 계통의 전압 위상 정보를 빠르고 정확하게 추정할 수 있어야 한다.

(2) 목적
: 계통 교류 전원의 정보 E_a , E_b , E_c 를 이용하여 위상각 θ_e , 크기 E_m , 주파수 w_e 를 정확하게 알아낸다.

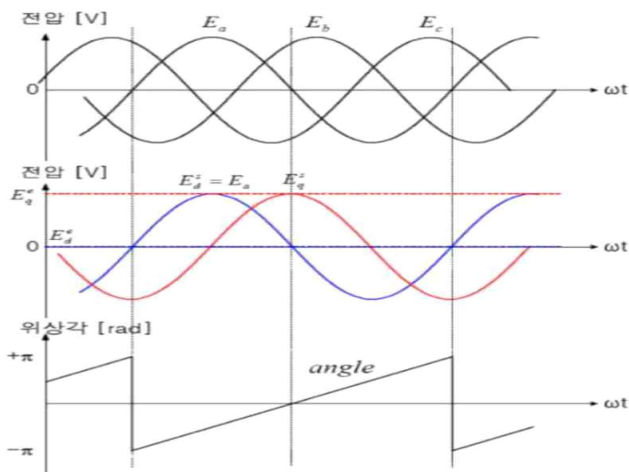
(3) 개념
: 3상 계통 전원의 관점에서 위 그림은 아래의 수식으로 정리할 수 있다.

$$E_a = E_m \sin \omega t, \quad E_b = E_m \sin(\omega t - \frac{2}{3}\pi), \quad E_c = E_m \sin(\omega t + \frac{2}{3}\pi)$$

위 식에서 E_m 은 계통 상전압의 최댓값을 의미하며 세 수식을 d-q축 정지좌표계로 좌표 변환을 하면 $E_d^s = E_m \sin \omega t$, $E_q^s = -E_m \cos \omega t$ 이다. E_d^s 는 E_a 와 같고 E_q^s 는 d축과 90°의 위상차를 갖는다. 정지좌표계를 아래 식과 같은 동기 좌표계로 변환하기 위한 동기 위상각을 계산하면 <그림 2-4>와 같다.

$$E_d^e = 0, \quad E_q^e = E_m$$

이 과정을 코드로 작성하면 아래 그림과 같다.



```
//abc 3상 좌표계에서 정지 좌표계로 변환
Eds = (2.*Ea_grid - Eb_grid - Ec_grid) / 3.;
Eqs = (Eb_grid - Ec_grid) / sqrt(3.);

//정지 좌표계에서 회전 좌표계로 변환
Ede = Eds * cos(Theta) + Eqs * sin(Theta);
Eqe = -Eds * sin(Theta) + Eqs * cos(Theta);
```

그림 2-4. 계통 전압과 계통 측 인버터의 동기 위상각

PLL 계통 전원의 주파수가 60 Hz로 일정하게 유지되는 특성을 이용해서 동기 위상각의 변화량을 적분하여 동기 위상각을 계산 할 수 있다. 하지만 이 방법만을 사용할 경우 계산을 통해 구한 동기 위상각과 실제 계통의 위상각 사이에 오차가 존재하게 된다.

오차가 존재하는 원인으로서는 세 가지 이유가 있는데, 첫 번째 원인은 동기 위상각을 계산하기 시작하는 순간, 전압의 위상이 정확하게 일정하지 않기 때문이다. 두 번째 원인은 계통 전원의 주파수가 60Hz로 정확히 고정되어 있지 않기 때문이다. 세 번째 원인은 동기 위상각을 계산하는 주기가 정확하게 제어주기와 같지 않기 때문이다.

위 세 가지 원인 중 첫 번째와 두 번째의 원인이 오차의 주요 원인이다. 이 문제를 해결해주기 위해서 동기 위상각을 일정하게 증가 시키고, 발생하는 미세한 오차를 동기 좌표계로 계산된 전압을 이용해서 보정하는 방법이 있다.

(4) 모델링

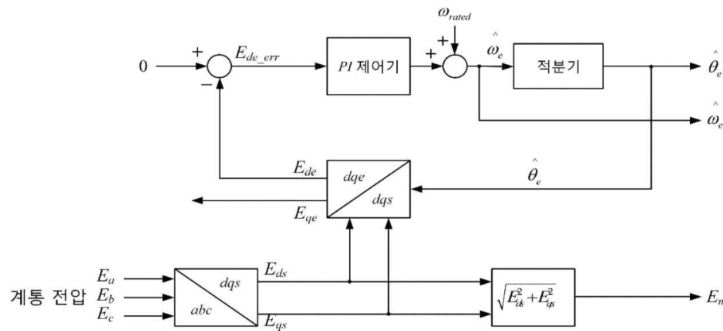


그림 2-5. PLL 시스템 블록도

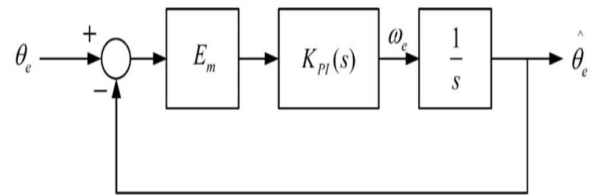


그림 2-6. PLL 시스템의 선형 모델

: PLL의 시스템 블록도는 <그림 2-5>와 같이 나타낼 수 있다. 그림에서 w_{rated} 는 전향 보상 성분을 의미하며 계통 주파수가 60Hz이기 때문에 $2\pi(60Hz)$ 으로 계산 가능하다. 그림에서 적분기를 통해 $\hat{\theta}_e$ 를 만드는 것을 확인할 수 있는데 이를 코드로 나타내면 아래 그림과 같다.

```
//전향 보상
Wrated = 2 * PI * f;
Wde_ref += Wrated;

//적분기
Theta += Wde_ref * T_samp;
if (Theta > PI) { Theta -= 2. * PI; }
else if (Theta < -PI) { Theta += 2. * PI; }
```

3상 좌표계 변환과 d-q축 변환이 이상적일 경우 제어기를 선형화해서 표현 가능한데 이는 <그림 2-6>과 같다. 위 그림을 통해 제어기의 이득을 구할 수 있다. 먼저 시스템의 Open Loop 전달함수를 구하면

$$T(s) = E_m \cdot K_{PI}(s) \cdot \frac{1}{s} \text{ 이고 } K_{PI}(s) = K_p + \frac{K_i}{s} = K_p \left(\frac{1+s\tau}{\tau} \right) \text{ 이다.}$$

위 식에서 τ 는 $\frac{K_p}{K_i}$ 로 PI 제어기의 절점 주파수를 의미한다. 이 시스템의 Closed Loop 전달함수를 구하면

$$H(s) = \frac{T(s)}{1+T(s)} = \frac{E_m K_p s + \frac{E_m K_p}{\tau}}{s^2 + E_m K_p s + \frac{E_m K_p}{\tau}} \text{ 이다. 이 식을 2차 제어 시스템의 전달함수 모델}$$

$$H(s) = \frac{2\zeta w_n s + w_n^2}{s^2 + 2\zeta w_n s + w_n^2} \text{ 과 이 같아지도록 하려면 } \tau = \frac{E_m K_p}{w_n^2}, K_p = \frac{2\zeta w_n}{E_m}, K_i = \frac{w_n^2}{E_m} \text{ 이 되어야 한다.}$$

즉 PI 제어기의 이득이 설정한 대역폭에 비례하고 전압의 크기에 반비례한다. 이러한 이유 때문에 이득이 고정된 PLL 시스템보다 정확한 이득 값을 결정할 수 있다.

하지만 위 시스템은 저역 통과 필터를 포함하지 않았기 때문에 전압 측정 시 계통 전원에 포함된 외란, 노이즈와 같은 요소에 큰 영향을 받을 수 있고 전압 크기가 급변 할 경우 시스템이 불안정해지는 단점이 있다. 이러한 불필요한 영향을 줄이기 위해 저역 통과 필터를 사용하는 것이 일반적이다.

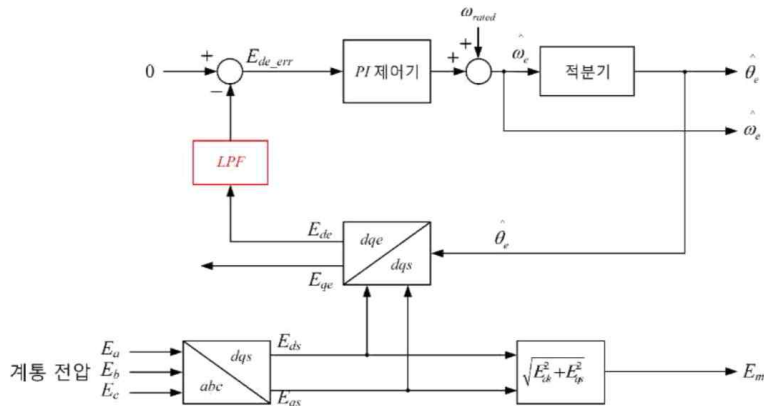


그림 2-7. 저역 통과 필터를 포함한 PLL 시스템 블록도

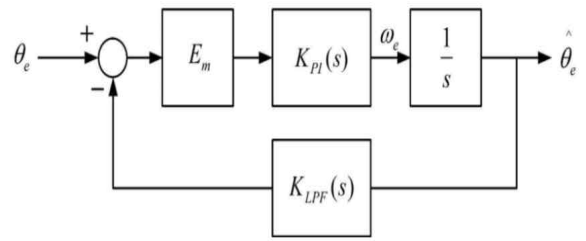


그림 2-8. 저역 통과 필터를 포함한 PLL 시스템의 선형 모델

<그림 2-7>은 <그림 2-5>의 회로에 저역 통과 필터를 추가한 시스템 블록도이다. 외란이나 노이즈가 없는 경우에 동기 좌표계 d축 계통 전압 E_{de} 는 직류로 나타나고, 외란이나 노이즈가 포함되어 있을 경우에 E_{de} 는 완전한 직류로 나오지 않는다. 하지만 위 시스템에서는 저역 통과 필터를 통과하면서 외란이나 노이즈가 제거되어 E_{de} 는 직류에 가까운 값을 나타낸다. 3상 좌표계 변환과 d-q축 변환이 이상적일 경우 제어기를 선형화해서 표현 가능한데 이는 <그림 2-8>과 같다. 1차 저역 통과 필터를 사용했을 때 위 시스템의 Open Loop 전달함수를 구하면

$T(s) = E_m \cdot K_{PI}(s) \cdot \frac{1}{s}$ 이다. 1차 저역 통과 필터를 $K_{LPF}(s) = \frac{w_c}{s + w_c}$ 라고 나타낼 때,

$$\text{Closed Loop 전달함수를 구하면 } H(s) = \frac{T(s)}{1 + T(s)K_{LPF}(s)} = \frac{E_m K_p s^2 + \frac{E_m K_p}{\tau} (1 + w_c \tau) s + \frac{E_m K_p w_c}{\tau}}{s^3 + w_c s^2 + E_m K_p s + \frac{E_m K_p}{\tau}} \text{ 이다.}$$

위 식을 3차 제어 시스템의 전달함수 모델로 근사 한 뒤 Pole-Zero Cancellation을 이용하면 일반적인 2차 제어 시스템의 전달함수 모델과 같이 모델링 할 수 있다.

$$H(s) \cong \frac{s+1}{s+1} \frac{2\zeta w_n + w_n^2}{s^2 + 2\zeta w_n s + w_n^2} = \frac{2\zeta w_n s^2 + (s\zeta w_n + w_n^2)s + w_n^2}{s^3 + (2\zeta w_n + 1)s^2 + (2\zeta w_n + w_n^2)s + w_n^2}$$

따라서 $w_c = 2\zeta w_n + 1$, $\tau = \frac{E_m K_p w_c}{w_n^2}$, $K_p = \frac{2\zeta w_n}{E_m}$, $K_i = \frac{w_n^2}{E_m w_c}$ 로 차단주파수, PI 제어기의 절점 주파수, PI 제어기의 이득 식을 결정할 수 있다. 위 과정은 아래 그림과 같이 코드를 이용해서 작성할 수 있다. 저역 통과 필터를 구성하는 방법은 'Bilinear Transform'을 이용한 것으로 전달함수에서 s 대신 $\frac{2}{T} \frac{z-1}{z+1}$ 을 넣어서 1차 근사를 통해 연속적 시간에서의 필터를 디지털 필터로 구현 하였다.

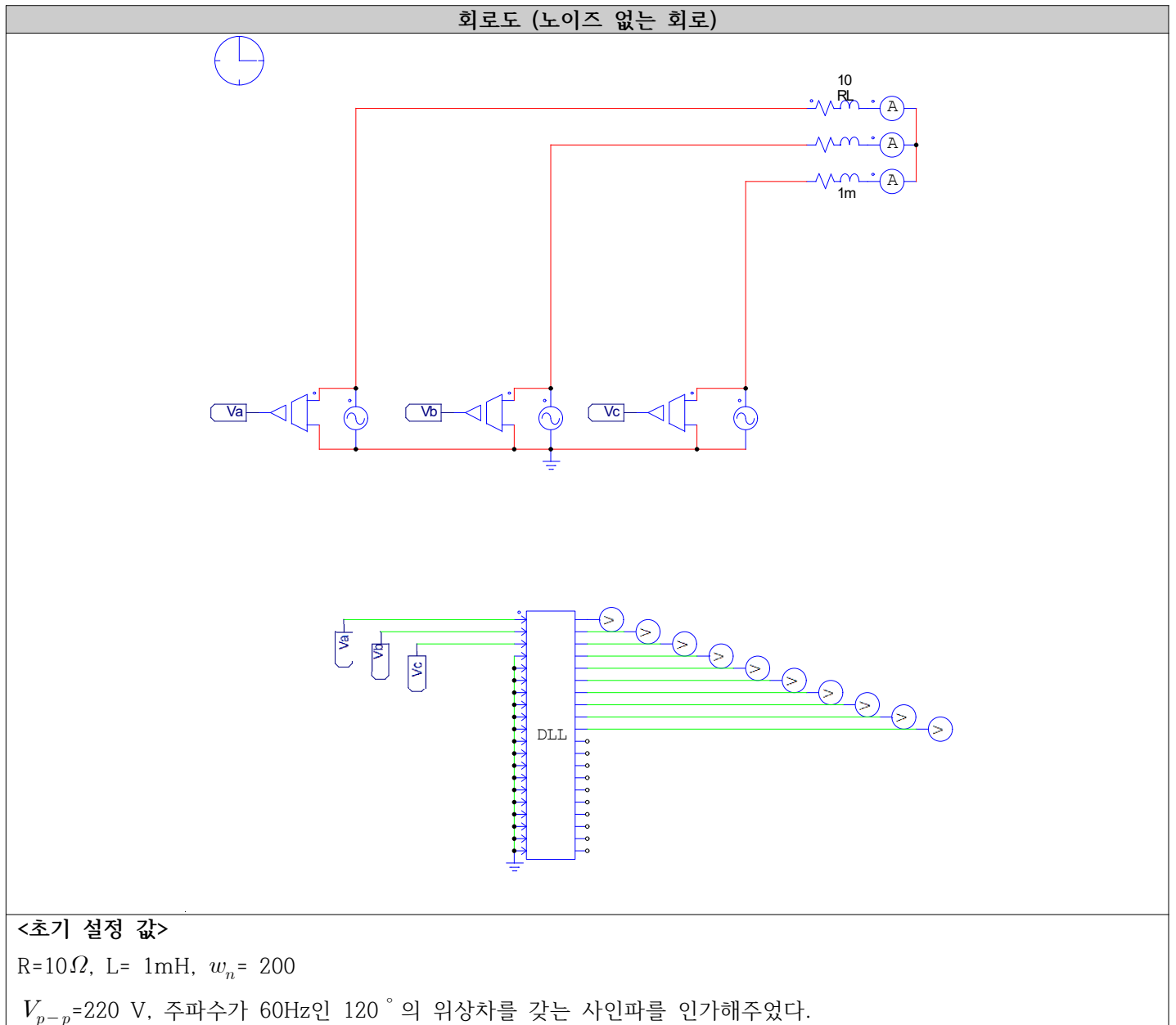
```
//LPF
Zeta = 0.707;
Wn = 100.;
Wc = 1. + 2 * Zeta * Wn;
La = (2. - Wc * T_samp) / (2. + Wc * T_samp);
Lb = (Wc * T_samp) / (2. + Wc * T_samp);
Ede_LPF = La * Ede_LPF + Lb * (Ede + Ede_old);
Ede_old = Ede;
```

```
// PI 제어기
Kp = (2. * Zeta * Wn) / (Em);
Ki = (Wn * Wn) / (Em * Wc);
Ede_err_int += (Ede_err) * T_samp;
Wde_ref = Kp * Ede_err + Ki * Ede_err_int;
```

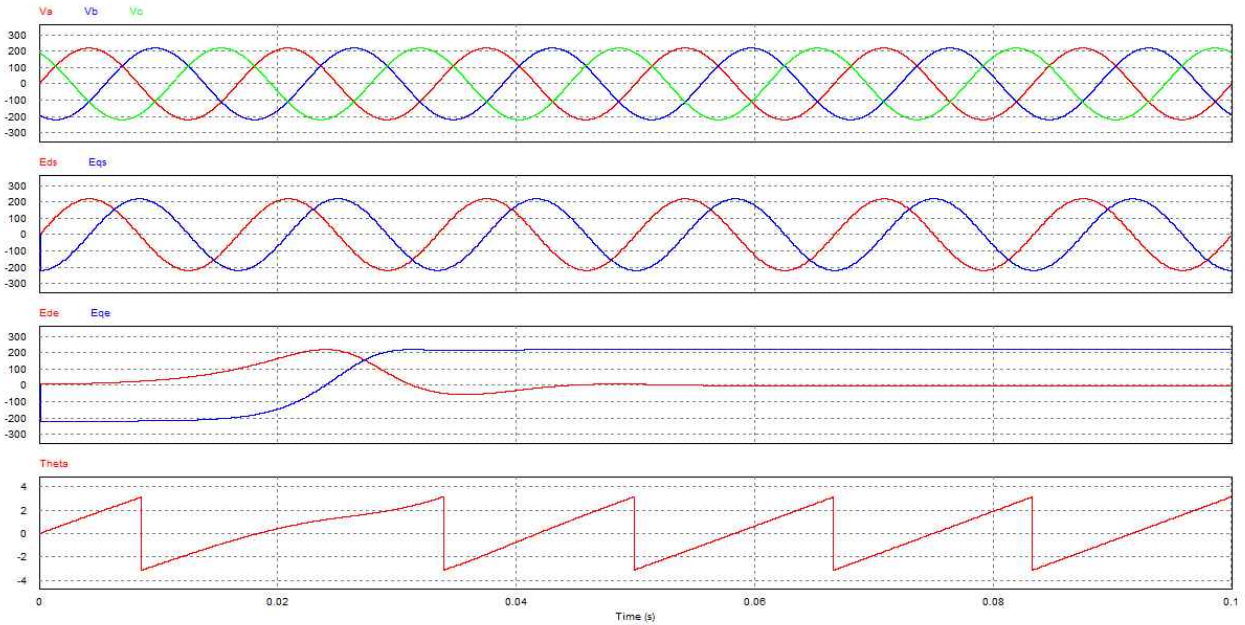
저역 통과 필터를 포함한 PLL 시스템에서는 PI 제어기의 이득이 전압의 크기에 반비례하기 때문에 낮은 전압에서도 속응성이 보장된다. 또 위 식에서 알 수 있듯이 w_c 가 w_n 에 따라 결정되기 때문에 w_n 이 커질수록 속응성이 향상된다. 하지만 w_n 이 너무 크면 제어 시스템에 불안정성을 가져올 수 있기 때문에 적절한 값을 선택해야 한다. 또 E_m 의 값이 0이 되게 되면 PI 이득이 무한대가 될 수 있기 때문에 이 상황을 고려하여 E_m 의 값 역시 적절한 값으로 제한치를 설정해 주어야 한다.

[3] 시뮬레이션 분석

회로를 이상적인 경우 즉 노이즈가 없는 경우와 노이즈가 있는 회로로 나눈 뒤, PLL 제어기의 대역폭인 w_n 을 변경해 가면서 시뮬레이션을 진행했다.



시뮬레이션 결과 파형 1



<초기 설정 값과 같음>

$R=10\Omega$, $L=0.001H$, $w_n=200$

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

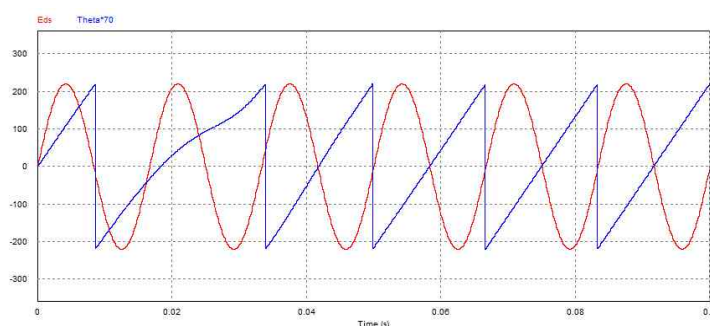
1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환, 4) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220V$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다.

2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220V, 주파수 60Hz를 갖는 정지 좌표계 전압 E_{ds} , E_{de} 파형을 관찰할 수 있었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 45ms 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0V$, $E_{qe}=220V$ 이다.

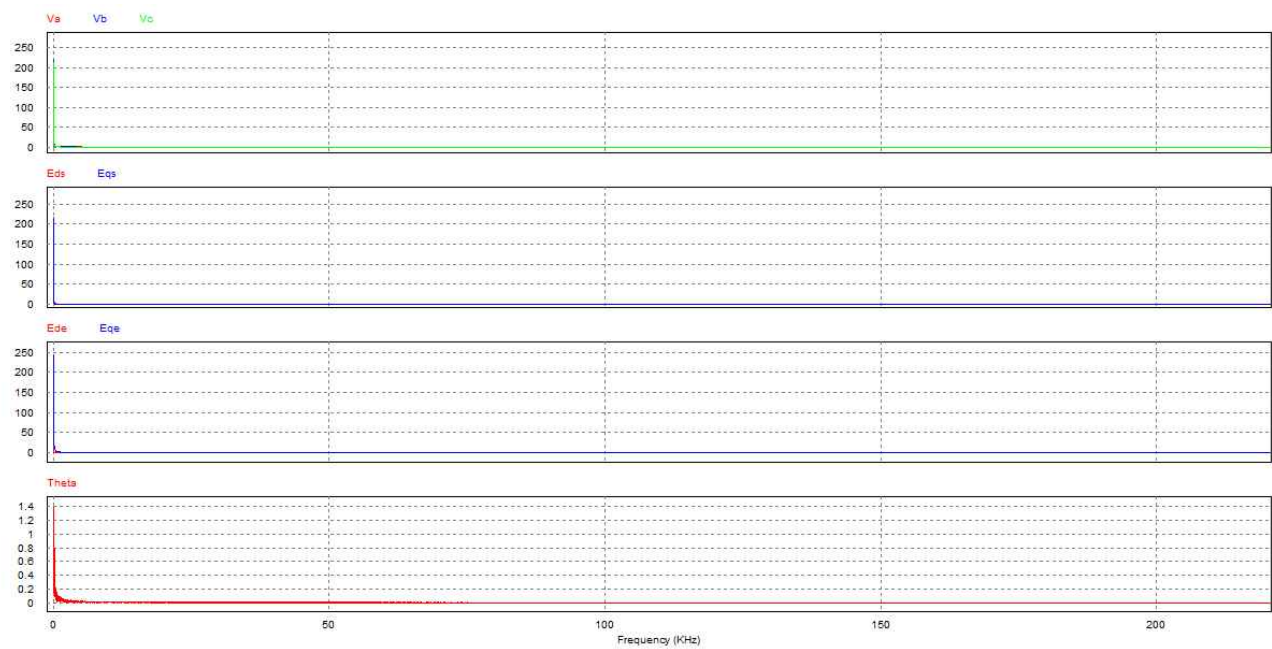
4) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 40ms 이전까지는 θ 의 모양이 그 이후의 모양과 비교했을 때 다름을 확인할 수 있다. 33ms 이후부터 θ 의 제어가 잘 되는 것을 확인할 수 있다.



: E_{ds} 와 $\theta \cdot 70$ 비교

분석 결과: E_{ds} 와 θ 를 비교해보면 둘의 주기가 같은 것을 확인할 수 있다. 따라서 제어가 잘 되고 있음을 알 수 있다. 추가적으로 위에서 언급했듯 제어 초기에는 어느 정도의 시간이 필요하기 때문에 위상이 완벽히 설정된 이후에 전류, 전압제어가 이루어지도록 시퀀스를 설정해 주어야 한다.

이때의 FFT는 아래와 같다.



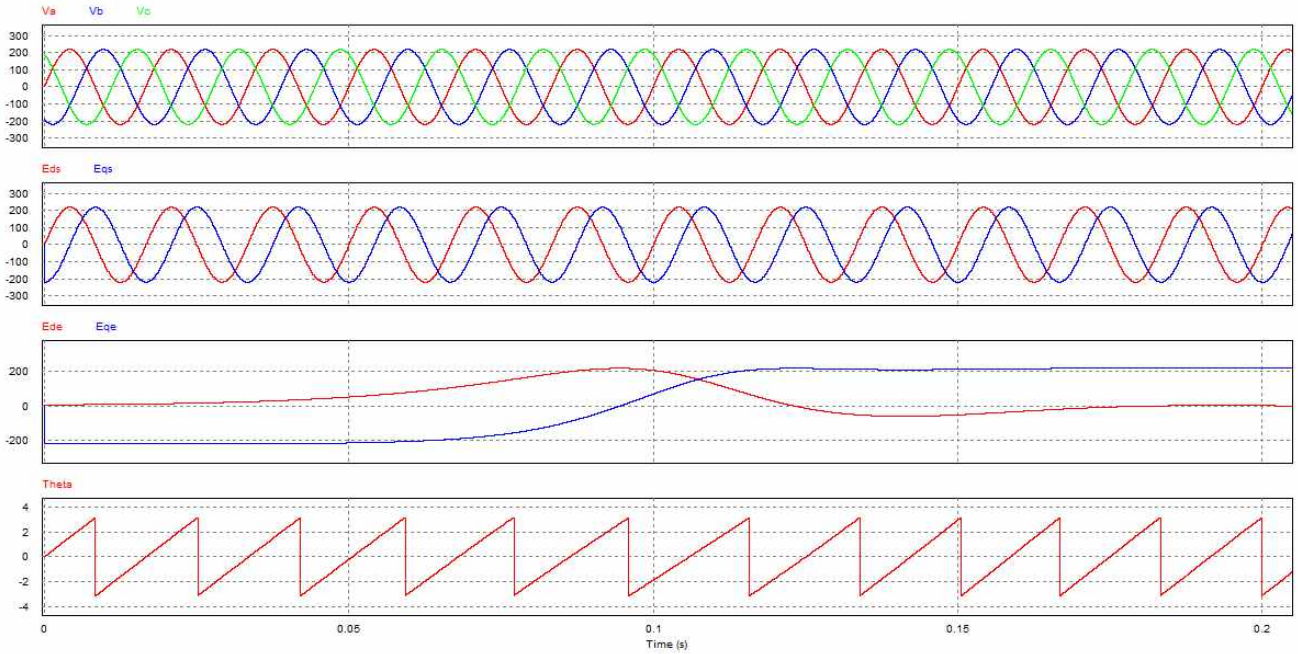
이때의 THD는 아래와 같다.

THD

Fundamental Frequency	1.0000000e+002 HZ
Va	7.0052935e-001
Vb	1.2613973e+000
Vc	6.2275246e-001
Eds	6.9113410e-001
Eqs	9.3784117e-001
Ede	2.6054222e+000
Ege	3.9418375e+004
Theta	1.0874735e+000

E_{qe} 를 제외한 나머지의 경우 굉장히 작은 값을 갖는 것을 확인할 수 있었다.

시뮬레이션 결과 파형 2



< w_n 변경> 작은 값

$R=10\Omega$, $L=0.001H$, $w_n=50$

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환, 4) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220V$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

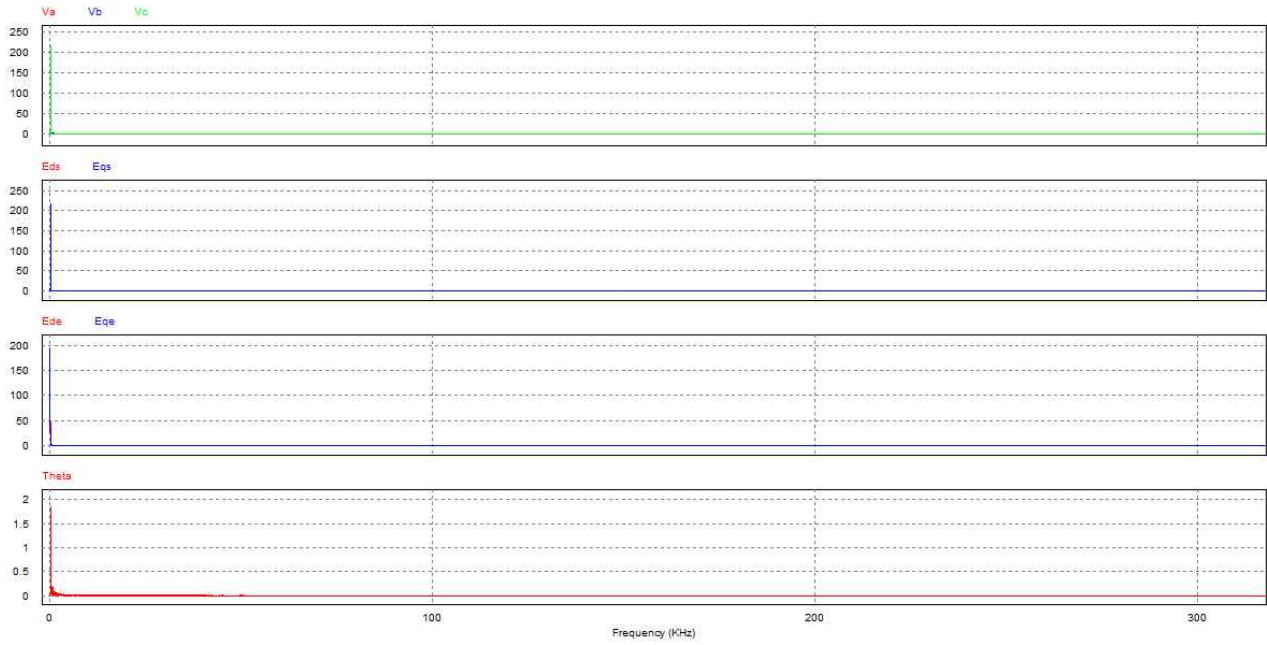
2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220V, 주파수 60Hz를 갖는 정지 좌표계 전압 E_{ds} , E_{qs} 파형을 관찰할 수 있었다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 0.18s 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0V$, $E_{qe}=220V$ 이다.

4) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. 시뮬레이션 1과 달리 θ 의 모양이 큰 변화 없이 일정한 모습을 보임을 확인할 수 있었다.

분석결과 : E_{ds} 와 θ 의 주기가 같음을 확인할 수 있다. 따라서 제어가 잘 되고 있음을 알 수 있다. PLL 제어기의 대역폭을 낮추자 정상상태까지 도달하는데 약 0.18s가 걸렸다. $w_n=200$ 일 때 정상상태에 도달하는 시간이 45ms인데 반해 $w_n=50$ 일 때는 약 4배의 시간이 더 걸린 것을 알 수 있다. θ 파형의 변화도 관찰할 수 있었는데, 대역폭이 낮아지자 θ 파형은 이전과 달리 큰 왜곡 없이 나타났다. 즉, 대역폭은 정상상태 도달하는데 걸리는 시간과 θ 에 영향을 준다는 것을 확인할 수 있다.

이때의 FFT는 아래와 같다.



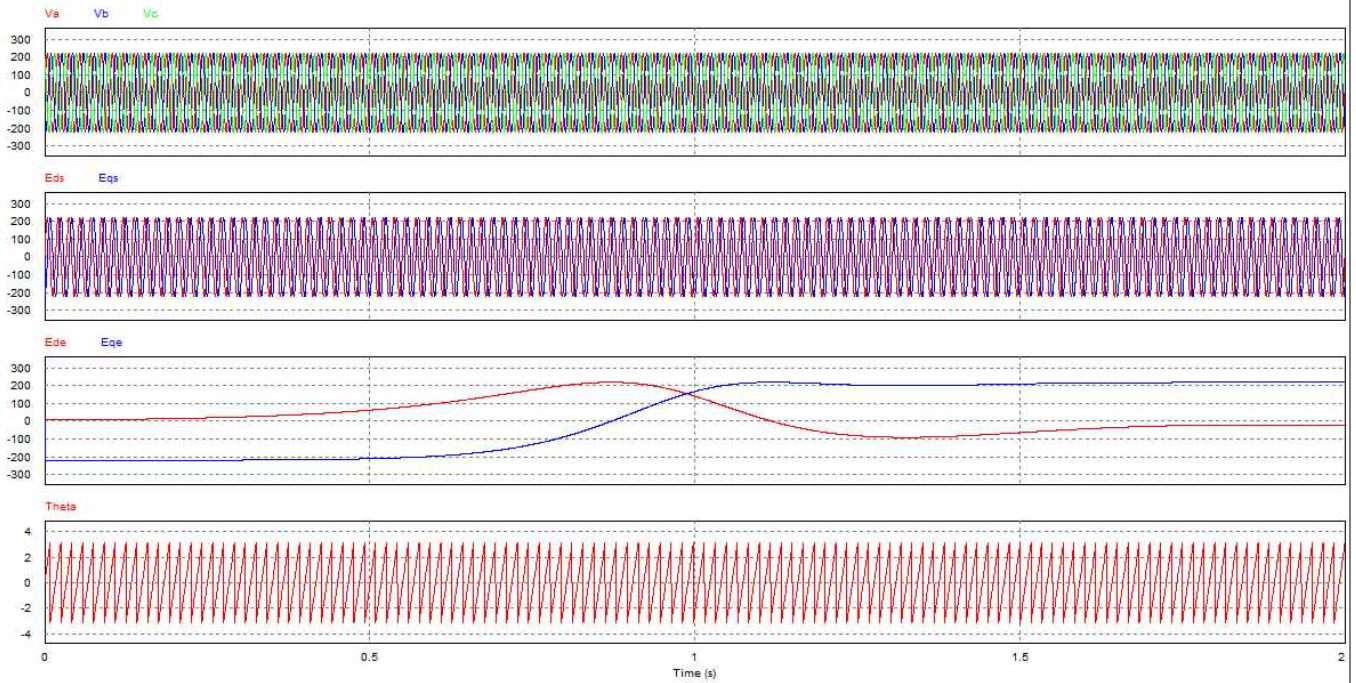
이때의 THD는 아래와 같다.

THD

Fundamental Frequency	1.0000000e+002 HZ
Va	8.7270847e-001
Vb	1.1107908e+000
Vc	5.5083774e-001
Eds	8.5963470e-001
Eqs	7.4926720e-001
Ede	4.3319856e+000
Ege	2.8687479e+004
Theta	9.5952526e-001

E_{qe} 를 제외한 나머지의 경우 굉장히 작은 값을 갖는 것을 확인할 수 있었다. E_{qe} 도 시뮬레이션1에 비해 많이 감소한 것을 확인할 수 있다.

시뮬레이션 결과 파형 3



< w_n 변경> 매우 작은 값

$R=10\Omega$, $L=0.001H$, $w_n=5$

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환, 4) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220\text{ V}$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

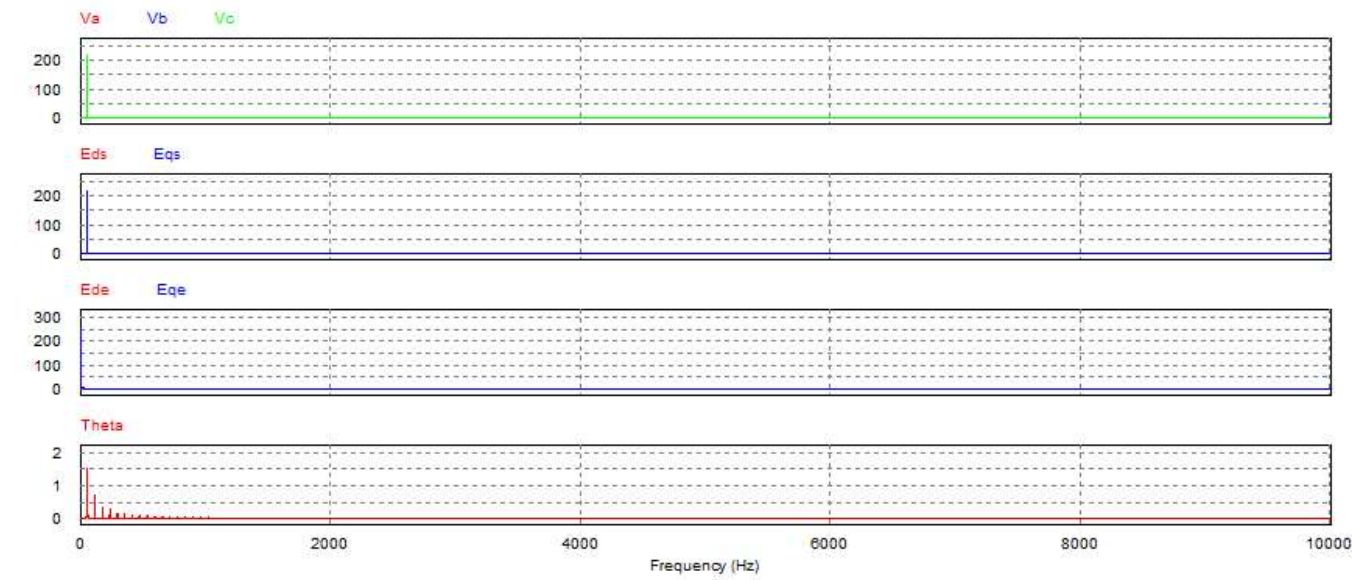
2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220 V, 주파수 60Hz를 갖는 정지 좌표계 전압 E_{ds} , E_{qs} 파형을 관찰할 수 있었다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 1.7s 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0\text{ V}$, $E_{qe}=220\text{ V}$ 이다.

4) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. 시뮬레이션 1과 달리 θ 의 모양이 큰 변화 없이 일정한 모습을 보임을 확인할 수 있었다.

분석결과 : PLL 제어기의 대역폭의 크기를 5까지 낮추자 정상상태까지 도달하는데 오래 걸려서 관측시간을 더 늘려야 했다. 그 결과 정상상태까지 약 1.7s가 걸렸다. 1.7s는 매우 큰 시간이기 때문에 원하는 제어를 하기 힘들다고 볼 수 있다. θ 파형의 변화도 관찰할 수 있었는데, 시뮬레이션 2와 같이 대역폭이 낮아지자 θ 파형은 큰 왜곡 없이 나타났다.

이때의 FFT는 아래와 같다.

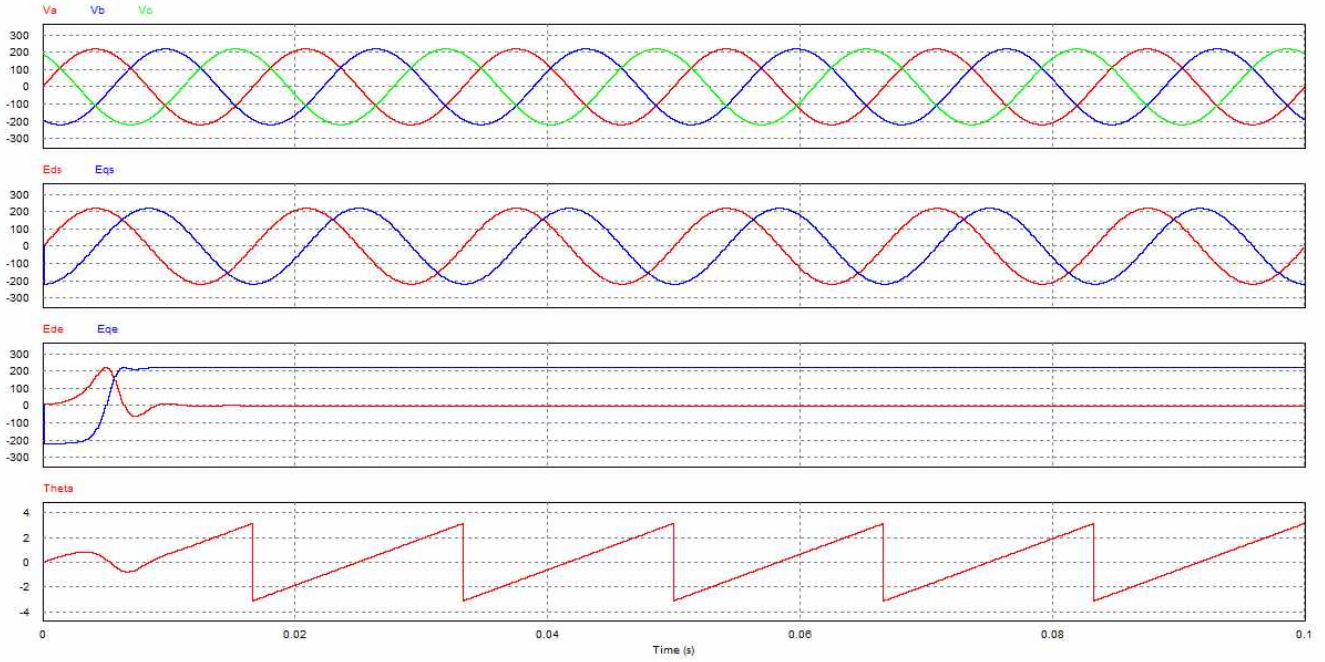


이때의 THD는 아래와 같다.

THD

Fundamental Frequency	1.0000000e+001 HZ
Va	5.8405706e+003
Vb	1.1184485e+003
Vc	1.1179799e+003
Eds	5.6984444e+003
Eqs	9.7365230e+002
Ede	5.9469199e+001
Ege	6.6418172e+003
Theta	7.8830987e+002

시뮬레이션 결과 파형 4



< w_n 변경> 큰 값

$R=10\Omega$, $L=0.001H$, $w_n=1000$

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환, 4) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220V$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

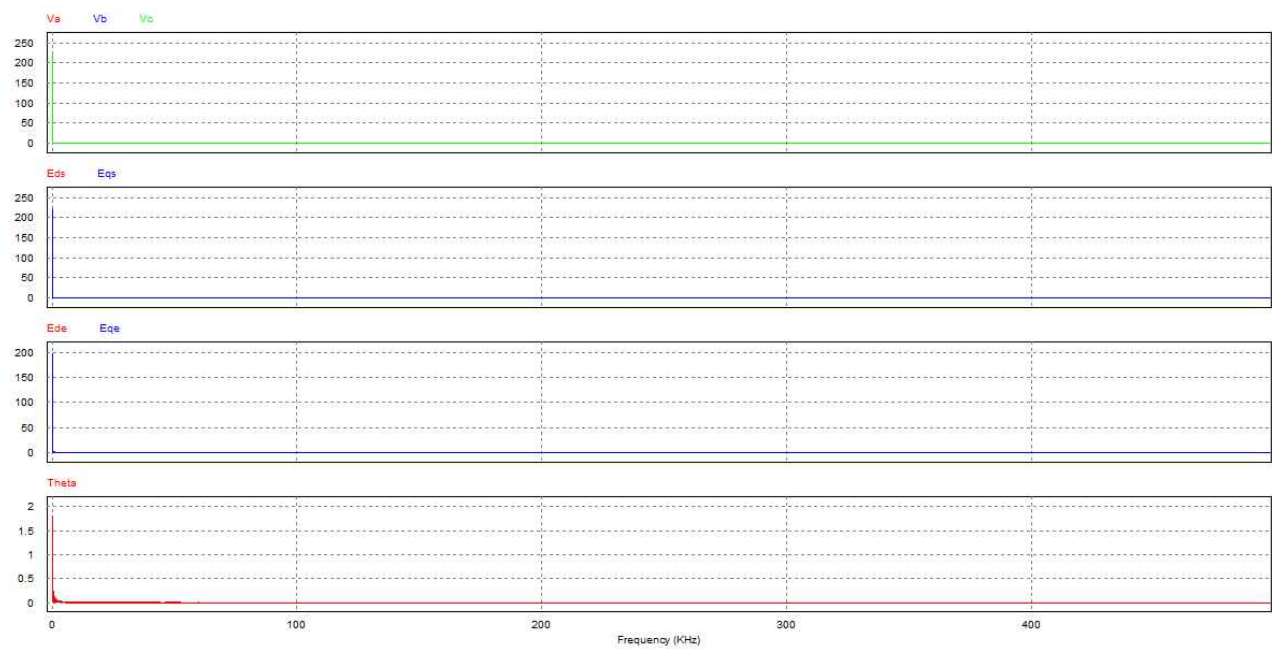
2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220V, 주파수 60Hz를 갖는 정지 좌표계 전압 E_{ds} , E_{de} 파형을 관찰할 수 있었다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 11ms 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0V$, $E_{qe}=220V$ 이다.

4) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. 대역폭이 높아지자 8ms 이전까지는 θ 를 추정하며 파형의 왜곡이 있었다. 하지만 그 이후에는 정상적으로 계통 위상각을 추정하는 모습을 보였다.

분석결과 : PLL 제어기의 대역폭의 크기를 1000까지 높이자 정상상태까지 도달하는데 약 11ms가 걸렸다. θ 의 파형의 변화도 관찰할 수 있었는데, 대역폭이 높아지자 θ 파형은 8ms 이전까지 왜곡을 보였다. 대역폭의 크기가 커지게 되면 정상상태까지 도달하는 시간이 짧아짐을 확인할 수 있었다.

이때의 FFT는 아래와 같다.

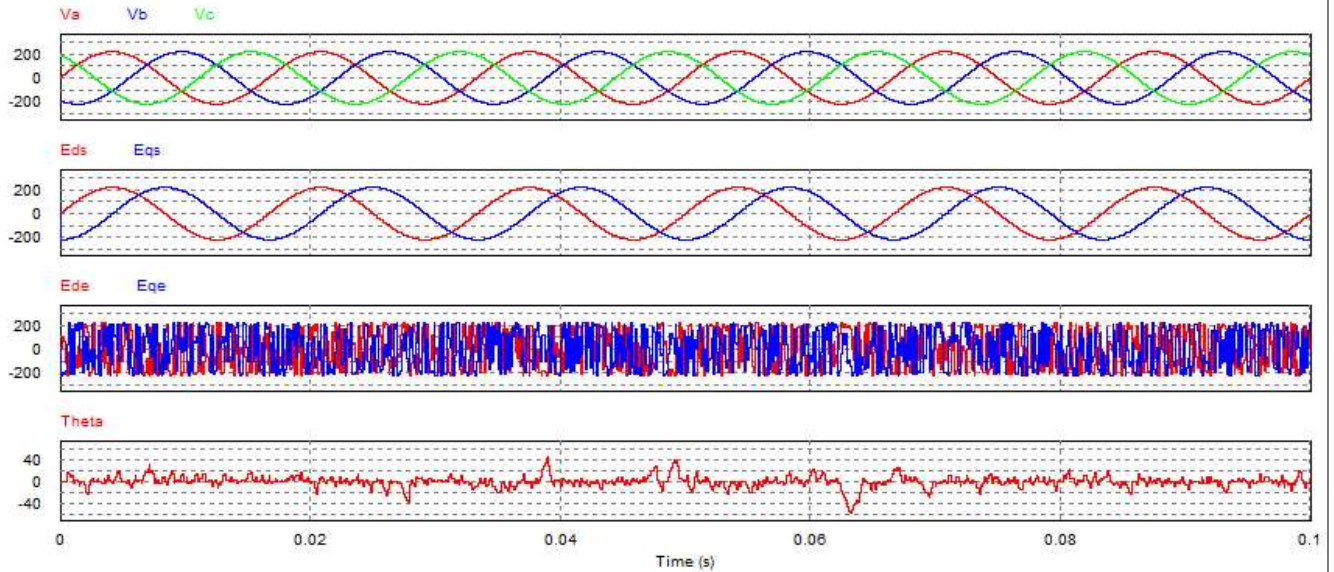


이때의 THD는 아래와 같다.

THD

Fundamental Frequency	1.0000000e+002 HZ
Va	8.7270847e-001
Vb	1.1107908e+000
Vc	5.5083774e-001
Eds	8.5963470e-001
Eqs	7.4926720e-001
Ede	4.3319856e+000
Ege	2.8687479e+004
Theta	9.5952526e-001

시뮬레이션 결과 파형 5



< w_n 변경> 매우 큰 값

$R=10\Omega$, $L=0.001H$, $w_n=100000$

시뮬레이션 결과 파형은 총 네 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환, 4) 추정된 계통 위상 각

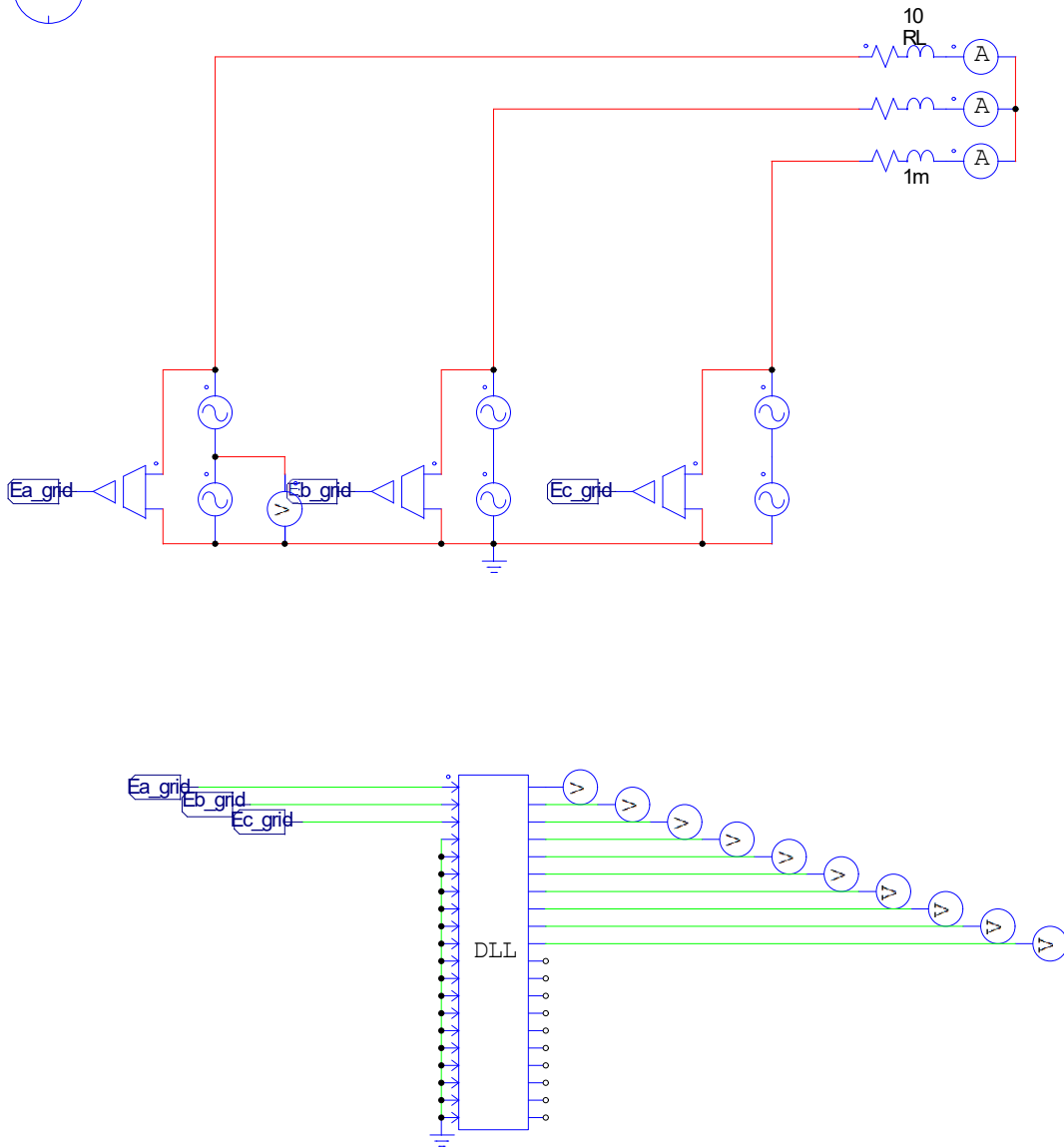
1) PSIM을 이용해서 $V_{p-p}=220V$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220V, 주파수 60Hz를 갖는 정지 좌표계 전압 E_{ds} , E_{qs} 파형을 관찰할 수 있었다. 시뮬레이션 1과 동일한 결과 값을 얻었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 이 경우 위상각 θ 가 제대로 추정되지 않았기 때문에 원하는 좌표변환을 할 수 없었다. 즉 제어가 되지 않음을 확인했다.

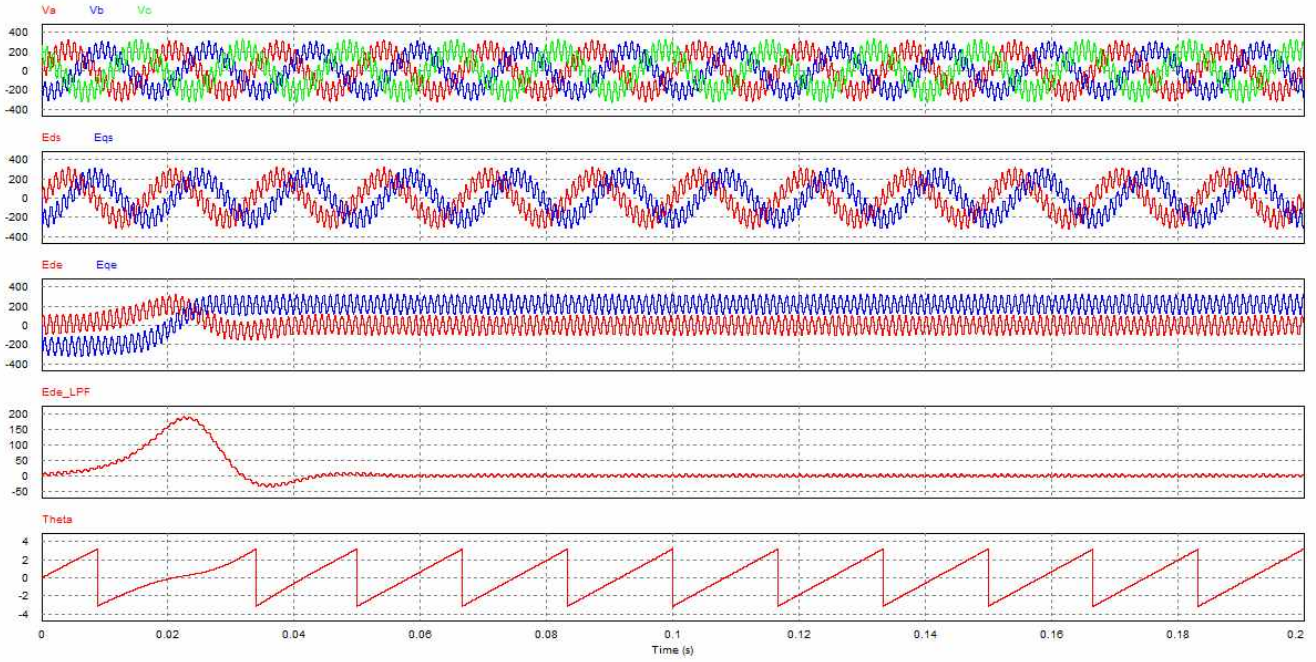
4) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. 대역폭이 매우 높아지자 θ 를 추정하지 못하는 모습을 보였다.

분석결과 : PLL 제어기의 대역폭의 크기를 100000까지 높이자 θ 를 추정하지 못하게 되었고 이에 따라 d-q축 정지 좌표계에서 동기 좌표계로 변환을 할 수 없었다. 대역폭은 너무 작아도, 커도 안 되고 적절한 값을 선택해야 함을 알 수 있었다.


$$R=10\Omega, L=1\text{mH}, w_n=200$$

$V_{p-p}=220$ V, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파에 $V_{p-p}=100$ V, 주파수가 1000Hz이고 기존 전압원과 20° 의 위상차를 갖는 노이즈를 인가해주었다.

시뮬레이션 결과 파형 6



<초기 설정 값과 같음>

$R=10\Omega$, $L=1\text{mH}$, $w_n=200$

시뮬레이션 결과 파형은 총 다섯 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

- 1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환,
- 4) 저역 통과 필터를 거친 d축 동기 좌표계, 5) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220\text{ V}$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파에 $V_{p-p}=100\text{ V}$, 주파수가 1000Hz이고 기존 전압원과 20° 의 위상차를 갖는 노이즈를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다.

2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220 V, 주파수 60Hz를 갖는 노이즈가 섞인 정지좌표계 전압 E_{ds} , E_{de} 파형을 관찰할 수 있었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 45ms 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0\text{ V}$, $E_{qe}=220\text{ V}$ 이다.

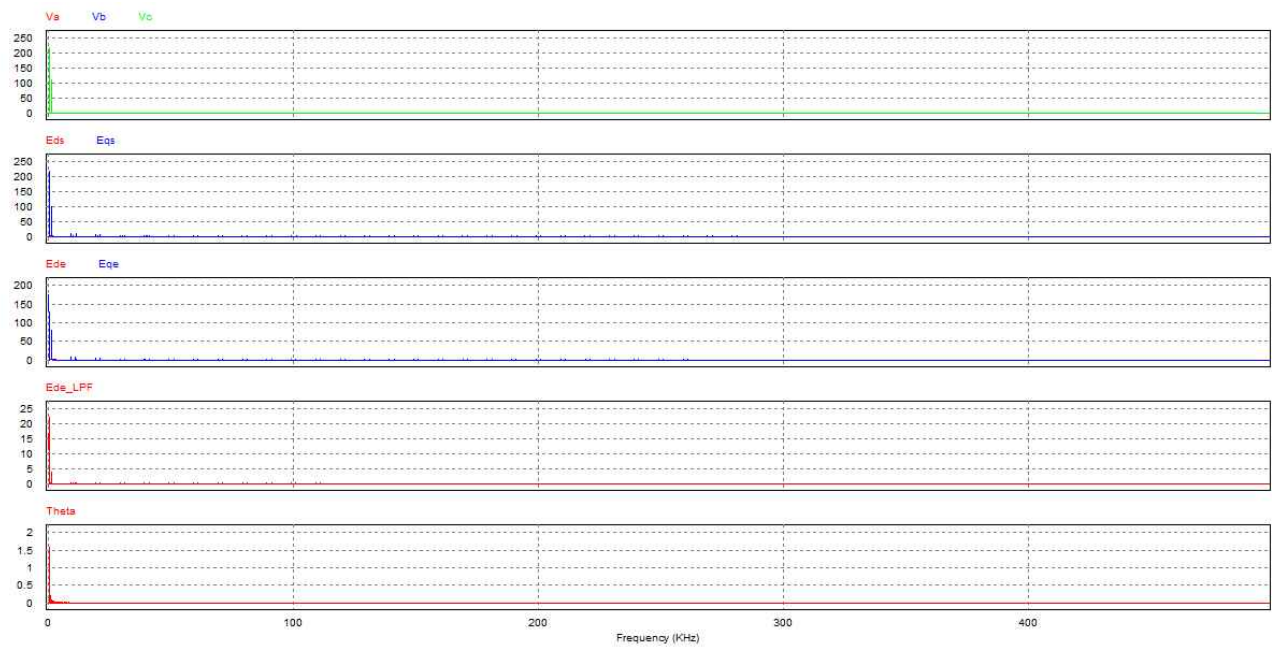
4) 노이즈가 섞인 E_{qe} 전압이 저역 통과 필터를 거친 뒤 나타난 파형이다. 저역 통과 필터는 Bilinear

transformation을 이용해서 시스템의 전달함수에서 s 대신 $\frac{2}{T} \frac{z-1}{z+1}$ 을 넣어서 1차 근사를 통해 연속적 시간에서의 필터를 디지털 필터로 구현한 것이다. 그 결과 파형에서 노이즈가 많이 없어진 것을 확인할 수 있다.

5) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. PLL 제어 초기에 완벽한 위상각 추정을 위한 시간이 필요하기 때문에 40ms 이전까지는 θ 의 모양이 그 이후의 모양과 비교했을 때 다름을 확인할 수 있다. 33ms 이후부터 θ 의 제어가 잘 되는 것을 확인할 수 있다.

분석 결과: 원래 노이즈가 생길 경우 θ 값에 지연이 생겨서 좌표변환이 제대로 안되게 되고 이에 따라 제어가 제대로 안되어야 하는데 PSIM의 시뮬레이션의 경우 성능이 좋기 때문에 제어가 잘 되었다.

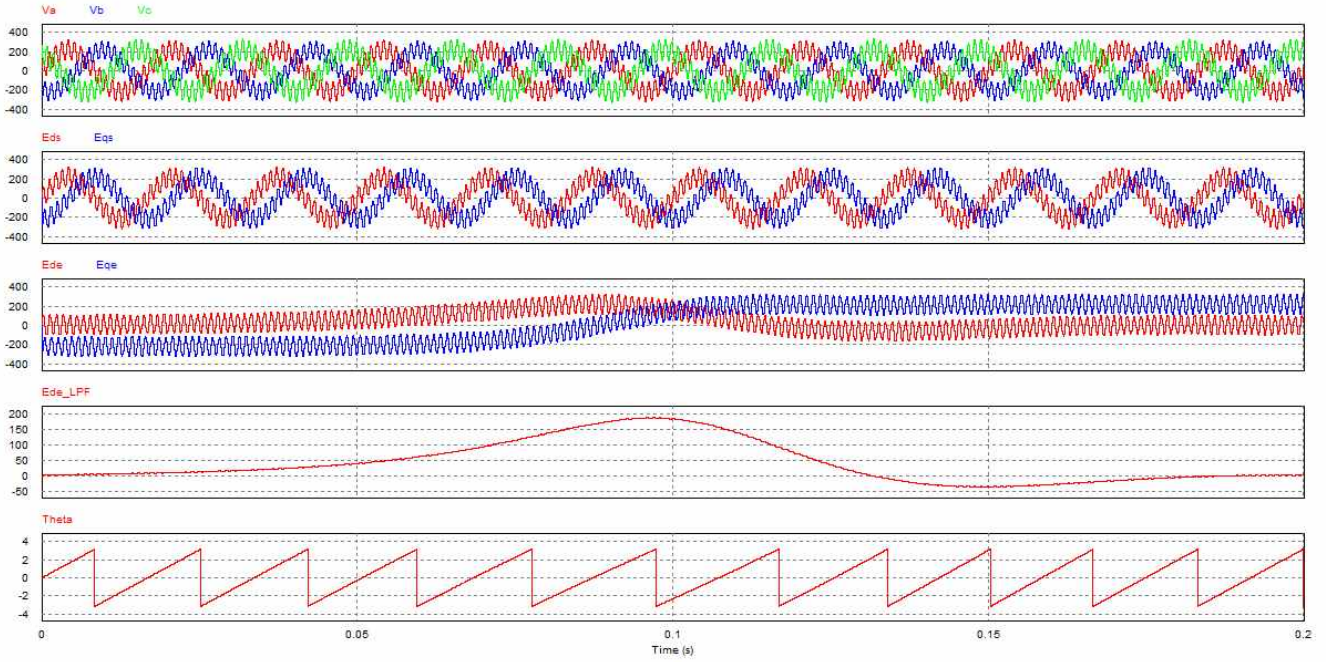
이때의 FFT는 아래와 같다.



이때의 THD는 아래와 같다.

THD	
Fundamental Frequency	1.0000000e+002 HZ
Va	1.3821579e+000
Vb	9.9131679e-001
Vc	8.0706149e-001
Eds	1.3700010e+000
Eqs	7.7601616e-001
Ede	1.6394091e+001
Ede_LPF	4.1083286e+001
Theta	1.7037233e+000

시뮬레이션 결과 파형 7



< w_n 변경> 작은 값

$R=10\Omega$, $L=0.001H$, $w_n=50$

시뮬레이션 결과 파형은 총 다섯 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

- 1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환,
- 4) 저역 통과 필터를 거친 d축 동기 좌표계, 5) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220\text{ V}$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파에 $V_{p-p}=100\text{ V}$, 주파수가 1000Hz이고 기존 전압원과 20° 의 위상차를 갖는 노이즈를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다.

2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220 V, 주파수 60Hz를 갖는 노이즈가 섞인 정지좌표계 전압 E_{ds} , E_{de} 파형을 관찰할 수 있었다.

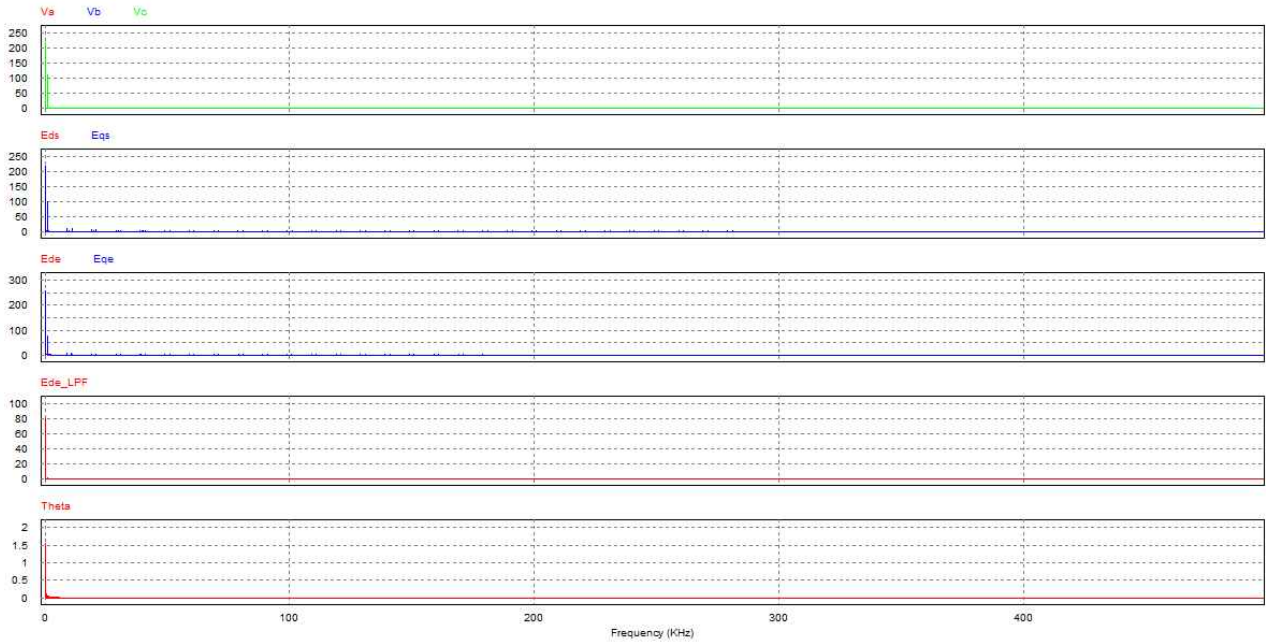
3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 0.18s 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0\text{ V}$, $E_{qe}=220\text{ V}$ 이다.

4) 노이즈가 섞인 E_{qe} 전압이 저역 통과 필터를 거친 뒤 나타난 파형이다. 그 결과 파형에서 노이즈가 많이 없어진 것을 확인할 수 있다.

5) 이 전 시뮬레이션과 달리 대역폭이 낮아지자 θ 의 파형은 이전과 달리 큰 왜곡 없이 나타났다.

분석결과 : PLL 제어기의 대역폭을 낮추자 정상상태까지 도달하는데 약 0.18s가 걸렸다. $w_n=200$ 일 때 정상상태에 도달하는 시간이 45ms인데 반해 $w_n=50$ 일 때는 약 4배의 시간이 더 걸린 것을 알 수 있다. θ 파형의 변화도 관찰할 수 있었는데, 대역폭이 낮아지자 θ 파형은 이전과 달리 큰 왜곡 없이 나타났다. 즉, 대역폭은 정상상태 도달하는데 걸리는 시간과 θ 에 영향을 준다는 것을 확인할 수 있다. 이 특성은 노이즈의 유무에 따라 차이가 생기지 않았다.

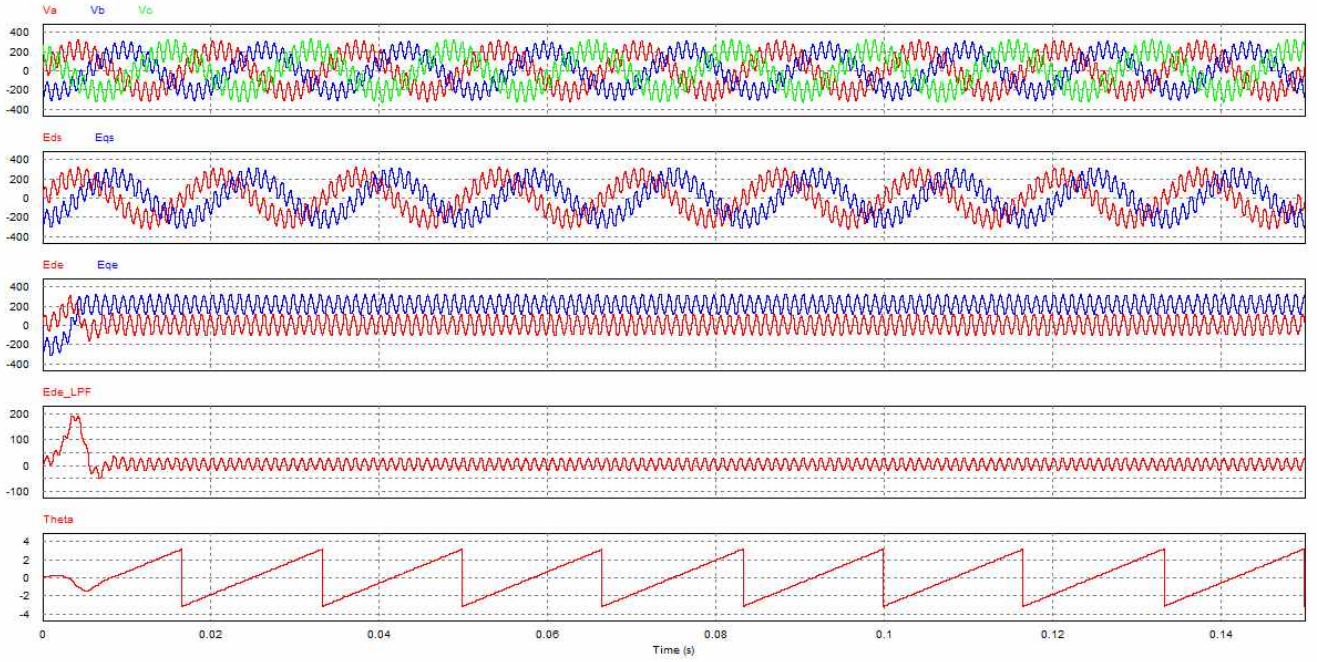
이때의 FFT는 아래와 같다.



이때의 THD는 아래와 같다.

THD	
Fundamental Frequency	1.0000000e+002 HZ
Va	1.3821579e+000
Vb	9.9131679e-001
Vc	8.0706149e-001
Eds	1.3700010e+000
Eqs	7.7601616e-001
Ede	1.6269766e+001
Ege	1.2260173e+002
Ede_LPF	4.7415265e+000
Theta	1.7189316e+000

시뮬레이션 결과 파형 8



< w_n 변경> 큰 값

$R=10\Omega$, $L=0.001H$, $w_n=1000$

시뮬레이션 결과 파형은 총 다섯 가지를 보았고 각각 아래 번호에 맞춰서 살펴봤다.

- 1) 3상 계통 전압, 2) d-q축 정지 좌표계 변환, 3) d-q축 동기 좌표계 변환,
- 4) 저역 통과 필터를 거친 d축 동기 좌표계, 5) 추정된 계통 위상 각

1) PSIM을 이용해서 $V_{p-p}=220\text{ V}$, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파에 $V_{p-p}=100\text{ V}$, 주파수가 1000Hz이고 기존 전압원과 20° 의 위상차를 갖는 노이즈를 인가해주었다. 시뮬레이션을 통해 원하는 실험 조건대로 전압이 잘 인가되었음을 확인했다.

2) 인가해 준 3상의 전압을 d-q축 정지 좌표계로 변환해 준 결과를 나타낸다. abc상에서 d-q축 정지좌표계로 좌표 변환은 $f_d^s = \frac{2f_a - f_b - f_c}{3}$, $f_q^s = \frac{f_b - f_c}{\sqrt{3}}$ 수식을 이용한다. 그 결과 크기는 220 V, 주파수 60Hz를 갖는 노이즈가 섞인 정지좌표계 전압 E_{ds} , E_{de} 파형을 관찰할 수 있었다.

3) d-q축 정지 좌표계에서 위상각 θ 를 이용해서 d-q축 동기 좌표계로 변환해 준 결과를 나타낸다. 좌표 변환은 $f_d^e = f_d^s \cos\theta + f_q^s \sin\theta$, $f_q^e = -f_d^s \sin\theta + f_q^s \cos\theta$ 수식을 이용한다. 그 결과 약 11ms 이후에 정상상태에 도달했고 이때 크기는 $E_{de}=0\text{ V}$, $E_{qe}=220\text{ V}$ 이다.

4) 노이즈가 섞인 E_{qe} 전압이 저역 통과 필터를 거친 뒤 나타난 파형이다. 그 결과 파형에서 노이즈가 많이 없어진 것을 확인할 수 있다.

5) 적분기를 이용해서 θ 를 구한 결과를 나타낸다. 대역폭이 높아지자 8ms 이전까지는 θ 를 추정하며 파형의 왜곡이 있었다. 하지만 그 이후에는 정상적으로 계통 위상각을 추정하는 모습을 보였다.

분석결과 : PLL 제어기의 대역폭의 크기를 1000까지 높이자 정상상태까지 도달하는데 약 11ms가 걸렸다. θ 의 파형의 변화도 관찰할 수 있었는데, 대역폭이 높아지자 θ 파형은 8ms 이전까지 왜곡을 보였다. 즉, 대역폭의 크기를 늘리면 정상상태까지 도달하는 시간이 짧아짐을 확인할 수 있었다. 이 특성은 노이즈의 유무에 따라 차이가 생기지 않았다.

[4] 고찰

이번 실험의 목표는 PLL (Phased Locked Loop) 제어 방법에 대해 이해한 뒤 시뮬레이션 구현을 통해 계통 전원의 동기 위상각, 주파수, 크기를 살펴보는 것이다. PLL 제어기는 계통 교류 전원의 정보를 이용하여 위상각 θ_e , 크기 E_m , 주파수 w_e 를 정확히 알아내기 위한 목적이 있다. 외란이나 노이즈가 없는 경우에 동기 좌표계 d축 계통 전압 E_{de} 는 직류로 나타나고, 외란이나 노이즈가 포함되어 있을 경우에 E_{de} 는 완전한 직류로 나오지 않는다. 일상생활에서 제어를 이용할 때는 항상 노이즈가 있기 때문에 PLL 제어기에 저역 통과 필터를 추가해준다.

따라서 시뮬레이션에서는 PLL 제어기 회로를 구성한 뒤 노이즈가 없는 경우와 노이즈가 포함된 경우 두 가지에 대해 다뤘다. PLL 제어기의 대역폭인 w_n 을 초기에 200으로 설정해 준 뒤 값을 크거나 작게 바꿔주며 그에 따른 특성을 살펴보았다.

먼저 노이즈가 없는 회로에서 w_n 의 크기가 200일 때 E_{qe} 전압은 45ms 이후에 정상상태에 도달했다. θ 는 33ms 이후부터 계통 위상각 θ 를 잘 추정하였다. 이 특성으로 보아 θ 를 추정할 때 초기에는 어느 정도의 시간이 필요하기 때문에 위상이 완벽히 설정된 이후에 전류, 전압제어가 이루어지도록 시퀀스를 설정해 주어야 한다는 것을 알 수 있었다. E_{ds} 와 θ 의 주기를 비교했을 때 주기가 일치하는 것으로 보아 제어가 잘 되고 있음을 확인했다.

두 번째 시뮬레이션에서는 $w_n=50$ 으로 한 뒤 시뮬레이션을 진행하였다. $w_n=200$ 일 때 정상상태에 도달하는 시간이 45ms인데 반해 $w_n=50$ 일 때는 약 4배의 시간이 더 걸렸다. θ 파형의 변화도 관찰할 수 있었는데, 대역폭이 낮아지자 θ 파형은 이전과 달리 큰 왜곡 없이 나타났다. 즉, 대역폭은 정상상태 도달하는데 걸리는 시간과 θ 에 영향을 준다는 것을 알 수 있었다.

매우 낮은 대역폭에서 특성을 알아보기 위해 PLL 제어기의 대역폭 w_n 의 크기를 5까지 낮추자 정상상태까지 도달하는데 오래 걸려서 관측시간을 더 늘려야 했다. 그 결과 정상상태까지 약 1.7s가 걸렸고 1.7s는 매우 큰 시간이기 때문에 원하는 제어를 하기 힘들다고 볼 수 있다. θ 파형의 변화도 관찰할 수 있었는데, 시뮬레이션 2와 같이 대역폭이 낮아지자 θ 파형은 큰 왜곡 없이 나타났다.

이번에는 초기 대역폭보다 높은 $w_n=1000$ 으로 한 뒤 시뮬레이션을 진행하였다. 이 경우 정상상태까지 도달하는데 약 11ms가 걸렸다. θ 의 파형의 변화도 관찰할 수 있었는데, 대역폭이 높아지자 θ 파형은 8ms 이전까지 왜곡을 보였다. 즉, 대역폭의 크기가 커지면 정상상태까지 도달하는 시간이 짧아짐을 확인할 수 있었다.

매우 높은 대역폭에서 특성을 알아보기 위해 PLL 제어기의 대역폭의 크기를 100000까지 높여서 시뮬레이션을 진행했다. 그 결과 θ 를 추정하지 못하게 되었고 이에 따라 d-q축 정지 좌표계에서 동기 좌표계로 변환을 할 수 없었다. 대역폭은 크기를 적절한 값으로 선택해야 함을 알 수 있었다.

두 번째 회로는 $V_{p-p}=220$ V, 주파수가 60Hz인 120° 의 위상차를 갖는 사인파에 $V_{p-p}=100$ V, 주파수가 1000Hz이고 기존 전압원과 20° 의 위상차를 갖는 노이즈를 인가해주었다. 대역폭에 따른 θ 의 파형, 정상상태 도달시간, 정지좌표계에서 동기좌표계로의 좌표변환 등 특성은 노이즈가 없는 회로와 같은 결과를 나타내었다. 시뮬레이션이 아닌 실제 실험이었다면 두 회로의 특성은 다른 결과가 나왔겠지만 시뮬레이션이기 때문에 같은 결과 값이 나왔다고 생각한다.

한 가지 다른 점은 시뮬레이션을 통해 노이즈가 섞인 E_{qe} 전압이 저역 통과 필터를 거친 뒤 나온 파형을 관찰할 수 있었다. Visual studio를 이용해서 연속적 시간에서의 필터를 디지털 필터로 구현해 주었고 그 결과 파형에서 노이즈가 많이 없어진 것을 확인할 수 있었다.

이번 시뮬레이션을 통해 PLL 제어에 대한 개념과 제어를 하는데 대역폭이 미치는 특성에 대해 살펴 볼 수 있었다.

대역폭이 높으면 정상상태까지 도달하는 시간이 짧아지지만 너무 높을 경우 위상각을 추정하지 못하기 때문에 제어가 불가능 하다. 반대로 대역폭이 낮으면 정상상태까지 도달하는 시간이 길어지게 된다. 이러한 특성 이외에도 노이즈가 추가 되었을 때 저역 통과 필터를 구성하는 방법과 그 결과 파형에 대해서도 살펴볼 수 있었다.

[5] 참고문헌

- 전자종합설계 강의노트
- 김상훈, 『모터제어 DC, AC, BLDC』, 복두 출판사(2014), P312