



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.
H01L 23/544 (2006.01)

(45) 공고일자 2006년11월23일
(11) 등록번호 10-0647462
(24) 등록일자 2006년11월13일

(21) 출원번호	10-2005-0124246
(22) 출원일자	2005년 12월 16일
심사청구일자	2005년 12월 16일

(65) 공개번호
(43) 공개일자

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자

이상원
경기 용인시 기흥읍 보라리 삼성아파트 104동 1201호

김귀운
경기 수원시 영통구 영통동 영통뜨란채 1004동 202호

심효진
경기 오산시 부산동 운암주공3단지아파트 301-1804

(74) 대리인 박영우

(56) 선행기술조사문헌
JP2004259942 A
* 심사관에 의하여 인용된 문헌

KR1019970063416 A

심사관 : 이정재

전체 청구항 수 : 총 16 항

(54) 반도체 장치에서 사용되는 칩 정보 기호 및 이의 표기방법.

(57) 요약

반도체 장치에서 사용되는 칩 정보 기호 및 이의 표기 방법에서, 칩 정보 기호는 반도체 제조 라인에서 사용되는 각 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 코딩시켜 상기 반도체 제조 라인에서 사용되는 로트 아이디보다 작은 자릿수를 갖도록 나타낸 칩 마킹용 로트 아이디와, 해당 칩의 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩시켜 나타낸 칩 마킹용 웨이퍼 번호 및 해당 칩의 웨이퍼 내 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 나타낸 칩 마킹용 웨이퍼 좌표를 포함한다. 상기와 같이 칩 정보 기호가 단순해짐으로서 칩 정보 기호를 단시간에 기재할 수 있어 생산성을 향상시킬 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 제조 라인에서 사용되는 각 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 코딩시켜 상기 반도체 제조 라인에서 사용되는 로트 아이디보다 작은 자릿수를 갖도록 나타낸 칩 마킹용 로트 아이디;

해당 칩의 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩시켜 나타낸 칩 마킹용 웨이퍼 번호; 및

해당 칩의 웨이퍼 내 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 나타낸 칩 마킹용 웨이퍼 좌표를 포함하는 것을 특징으로 하는 칩 이면에 기재되는 칩 정보 기호.

청구항 2.

제1항에 있어서, 상기 칩 마킹용 로트 아이디는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되는 것을 특징으로 하는 칩 정보 기호.

청구항 3.

제2항에 있어서, 상기 칩 마킹용 로트 아이디는 3자리로 이루어지는 것을 특징으로 하는 칩 정보 기호.

청구항 4.

제1항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되는 것을 특징으로 하는 칩 정보 기호.

청구항 5.

제4항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 2자리로 이루어지는 것을 특징으로 하는 칩 정보 기호.

청구항 6.

제1항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅시의 프로빙 순서대로 나열되는 것을 특징으로 하는 칩 정보 기호.

청구항 7.

제1항에 있어서, 상기 칩 마킹용 웨이퍼 번호는 알파벳으로 나타내는 것을 특징으로 하는 칩 정보 기호.

청구항 8.

전기적 다이 소팅 공정이 완료된 웨이퍼 내의 각 칩에 대하여 반도체 제조 라인에서 사용된 로트 아이디, 웨이퍼 번호 및 웨이퍼 내의 칩의 좌표에 관한 정보를 수득하는 단계;

상기 반도체 제조 라인에서 사용된 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 코딩시켜 상기 반도체 제조 라인에서 사용된 로트 아이디보다 작은 자릿수를 갖는 칩 마킹용 로트 아이디를 생성하는 단계;

해당 칩의 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩시켜 칩 마킹용 웨이퍼 번호를 생성하는 단계;

해당 칩의 웨이퍼 내 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 칩 마킹용 웨이퍼 좌표를 생성하는 단계; 및

상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표를 각 칩의 이면에 기입하는 단계를 포함하는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 9.

제8항에 있어서, 상기 칩 마킹용 로트 아이디는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 10.

제9항에 있어서, 상기 칩 마킹용 로트 아이디는 3자리로 이루어지는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 11.

제8항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 12.

제11항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 2자리로 이루어지는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 13.

제8항에 있어서, 상기 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅시의 프로빙 순서대로 나열되는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 14.

제8항에 있어서, 상기 칩 마킹용 웨이퍼 번호는 알파벳으로 나타내는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 15.

제8항에 있어서, 상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅에서 양품(good chip)으로 판정된 것에만 선택적으로 기입되는 것을 특징으로 하는 칩 정보 표기 방법.

청구항 16.

제8항에 있어서, 상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표의 기입은 레이저 마킹에 의해 수행되는 것을 특징으로 하는 칩 정보 표기 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에서 사용되는 칩 정보 기호 및 이의 표기 방법에 관한 것이다. 보다 상세하게는, 각각의 반도체 칩에 대해 양품 및 불량품을 구분하고 각 칩의 정보를 표시하기 위한 칩 정보 기호 및 이의 표기 방법에 관한 것이다.

일반적으로, 반도체 장치의 제조 공정(Fabrication process)은 증착, 사진, 식각, 이온 주입 및 금속 공정 등의 단위 공정들을 포함한다. 그리고, 실리콘과 같은 반도체 물질로 이루어지는 웨이퍼 상에 상기 단위 공정들을 반복하여 수행함으로써 상기 웨이퍼 상에는 다수의 반도체 칩(chip)이 형성된다.

통상적으로, 반도체 장치의 제조 공정은 25매의 웨이퍼로 이루어지는 로트(Lot) 단위로 각 단위 공정들이 이루어지며, 상기 각 로트에는 로트 아이디(Lot ID)가 부여된다. 또한, 반도체 장치의 제조 라인(Fab Line) 내에서는 상기 로트 아이디 별로 각 공정이 진행 및 관리되므로, 상기 로트 아이디를 조회함으로써 상기 웨이퍼의 현 위치(status), 진행 상태 및 공정 진행 중의 특이 사항 등을 알 수 있다.

상기 웨이퍼 상에 다수의 칩이 완성되어 펍 아웃(Fab out)된 웨이퍼는 각 칩을 전기적으로 검사하는 이디에스(이하, EDS, electric die sorting) 공정을 거치게 된다. 상기 EDS 공정을 간단히 살펴보면, 먼저 웨이퍼 상에 형성되어 있는 각 칩들의 정상 및 비정상 여부를 확인하기 위한 프리 레이저 테스트(pre laser test)를 수행한다. 이 후, 상기 비정상 칩들 중에서 리페어 가능한 칩(repairable chip)을 리페어하기 위한 레이저 리페어 공정(laser repair)을 수행하고, 다시 리페어를 수행한 칩들만을 골라서 정상 및 비정상 여부를 확인하는 포스트 레이저 테스트(post laser test)를 수행한다. 이어서, 프리 레이저 및 포스트 레이저 테스트와 테스트 조건을 달리하여 상기 각 칩들의 정상 및 비정상 여부를 확인하는 파이널 테스트(final test)를 수행한다.

상기 EDS 공정을 수행하면, 상기 웨이퍼 내의 각 칩들이 양품 및 불량품으로 구분된다. 상기와 같이 EDS 공정을 통해 불량품으로 구분된 칩은 통상적으로 인킹(inking)공정을 통해 칩의 상부면에 점(dot)을 찍어 불량으로 표시한다. 이 후, 상기 웨이퍼에 탑재되어 있는 칩들을 각각 분리하는 소잉(sawing) 공정을 수행하고, 불량품으로 표시되지 않은 양품의 분리된 칩들을 패키지 상태로 조립하는 공정 등을 수행함으로써 반도체 장치가 완성된다.

그런데, 상기와 같이 소잉 공정을 통해 웨이퍼로부터 각 칩들을 분리하여 패키지 상태로 조립한 이 후에는 상기 각 칩들에 대한 정보를 알 수가 없다. 구체적으로, 상기 조립된 칩이 어떤 웨이퍼에서 어떤 위치에 위치하였던 칩이었는지 등을 알 수 없으며, 언제, 어떠한 제조 장치를 통해 공정이 진행되었는지 및 반도체 제조 시의 특이 사항이 있었는지 여부등에 대해서도 전혀 알 수 없다. 그러므로, 추후에 상기 조립된 칩에서 문제가 발생되었을 경우에 상기 칩에 대한 히스토리(history)를 알 수 없기 때문에 칩의 분석에 어려움이 있다.

이러한 문제를 해결하기 위하여, 최근에는 불량품의 상부면에 표시하던 인킹 공정을 대신하여 양품의 이면에 각 칩에 대한 정보를 기입하는 공정을 개발하고 있다. 즉, 인킹 공정을 통해 불량품과 양품 칩만을 구분하는 것에서 벗어나, 상기 양품 칩의 이면에 해당 칩의 로트 아이디, 웨이퍼 번호 및 칩의 좌표 등을 기입함으로써 조립 후에도 상기 칩의 이면을 확인함으로써 상기 칩에 대한 정보를 확인할 수 있도록 하는 것이다.

칩의 이면에 기입되는 칩 정보 기호의 일 예는 다음과 같다.

P51841X01100100

여기서, P51841X는 반도체 제조 공정 시에 사용되는 로트 아이디를 나타내고, 01은 웨이퍼 번호 즉 1번 웨이퍼임을 나타내고, 100100은 칩의 좌표 즉 100*100 좌표를 나타낸다. 상기와 같이 칩 정보 기호는 로트 아이디, 웨이퍼 번호 및 칩의 좌표를 모두 표기하면 11 내지 15자리 정도의 다소 많은 자리수를 갖게 된다.

더구나, 상기와 같이 웨이퍼의 양품 칩 각각에 로트 아이디, 웨이퍼 번호 및 칩의 좌표를 기입하여야 한다. 그러므로, 상기 웨이퍼에 형성되는 칩의 개수에 해당하는 넷 다이 (net die)가 많은 경우에는 웨이퍼에 기입하여야 하는 칩의 개수도 함께 늘어나게 된다.

그러므로, 웨이퍼 이면에 상기 로트 아이디, 웨이퍼 번호 및 칩의 좌표를 마킹하는데 소요되는 시간이 매우 증가된다. 이로 인해, 반도체 장치의 생산성이 감소되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 제1 목적은 칩에 대한 정보를 알려주기 위한 이면 마킹을 단시간 내에 수행할 수 있는 단순화된 칩 정보 기호를 제공하는데 있다.

본 발명의 제2 목적은 칩에 대한 정보를 알려주기 위한 이면 마킹을 단시간 내에 수행할 수 있는 칩 정보 표기 방법을 제공하는데 있다.

발명의 구성

상기한 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 칩 정보 기호는, 반도체 제조 라인에서 사용되는 각 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 코딩시켜 상기 반도체 제조 라인에서 사용되는 로트 아이디보다 작은 자릿수를 갖도록 나타낸 칩 마킹용 로트 아이디, 해당 칩의 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩하여 나타낸 칩 마킹용 웨이퍼 번호 및 해당 칩의 웨이퍼 내 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩하여 나타낸 칩 마킹용 웨이퍼 좌표를 포함한다.

상기 칩 마킹용 로트 아이디는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여될 수 있다. 이 경우, 상기 칩 마킹용 로트 아이디는 3자리로 이루어지는 것이 바람직하다.

상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여될 수 있다. 상기 칩 마킹용 웨이퍼 좌표는 2자리로 이루어지는 것이 바람직하다.

상기 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅시의 각 칩을 프로빙하는 순서대로 나열될 수 있다.

상기 칩 마킹용 웨이퍼 번호는 알파벳으로 나타낼 수 있다.

상기한 제2 목적을 달성하기 위한 본 발명의 일 실시예에 따른 칩 정보 표기 방법으로, 먼저 전기적 다이 소팅 공정이 완료된 웨이퍼 내의 각 칩에 대하여 반도체 제조 라인에서 사용된 로트 아이디, 웨이퍼 번호 및 웨이퍼 내의 칩의 좌표에 관한 정보를 취득한다. 상기 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 코딩시켜 상기 반도체 제조 라인에서 사용된 로트 아이디보다 작은 자릿수를 갖는 칩 마킹용 로트 아이디를 생성한다. 해당 칩의 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩시켜 칩 마킹용 웨이퍼 번호를 생성한다. 해당 칩의 웨이퍼 내 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 칩 마킹용 웨이퍼 좌표를 생성한다. 이 후, 상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표를 각 칩의 이면에 기입한다.

상기 칩 마킹용 로트 아이디는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여될 수 있다. 이 경우, 상기 칩 마킹용 로트 아이디는 3자리로 이루어지는 것이 바람직하다.

상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여될 수 있다. 이 경우, 상기 칩 마킹용 웨이퍼 좌표는 2자리로 이루어지는 것이 바람직하다.

상기 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅시의 프로빙 순서대로 나열될 수 있다.

상기 칩 마킹용 웨이퍼 번호는 알파벳으로 나타낼 수 있다.

상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표는 전기적 다이 소팅에서 양품(good chip)으로 판정된 것에만 선택적으로 기입될 수 있다.

상기 생성된 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표의 기입은 레이저 마킹에 의해 수행될 수 있다.

상기 칩의 이면에 기입되기 위한 칩 마킹용 로트 아이디, 웨이퍼 번호 및 칩의 좌표는 반도체 장치의 제조 라인에서 사용하는 로트 아이디, 웨이퍼 번호 및 칩의 좌표 등의 표기에 비해 간단하게 축약된 형태를 갖는다. 그러므로, 상기 칩 마킹용 로트 아이디, 웨이퍼 번호 및 칩의 좌표를 포함하는 칩 정보 기호를 사용하는 경우 웨이퍼의 이면 마킹에 소요되는 시간을 감소시킬 수 있다.

이하에서는, 본 발명에 대해 더욱 상세하게 설명한다.

본 발명에 따른 칩 정보 기호(character)는 웨이퍼에 형성된 각 칩의 이면에 칩의 정보를 간단히 기입하기 위하여 별도로 생성된 것이다. 상기 칩 정보 기호는 해당 칩이 소속되었던 반도체 제조 라인의 로트 아이디와 웨이퍼 번호 및 웨이퍼 내의 칩의 위치를 나타낸다. 즉, 상기 칩 정보 기호는 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표가 나열된다.

통상적으로 반도체 제조 라인에서 사용되는 로트 아이디는 알파벳 문자 및 숫자의 조합으로 이루어지고 모두 5자리 내지 7자리 정도의 자릿수를 갖는다. 상기 로트 아이디는 웨이퍼 상에 형성되는 반도체 장치(device)의 명칭 및 버전(version), 반도체 장치가 수행되는 라인, 반도체 장치를 수행하기 위한 공정명 등이 기호로 표시된다.

본 발명의 칩 정보 기호에 포함되는 칩 마킹용 로트 아이디는 상기 반도체 제조 라인에서 사용되는 로트 아이디보다 작은 자릿수를 갖도록 단순화시킨 것이다. 즉, 상기 칩 마킹용 로트 아이디는 상기 반도체 제조 라인에서 사용되는 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 3자리 또는 4자리로 코딩시켜 나타낸 것이다.

예를 들어, 상기 칩 마킹용 로트 아이디는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되고, 3자리로 이루어진다. 상기와 같이, 칩 마킹용 로트 아이디는 62진법의 3자리로 이루어지는 경우 최대 23,828가지의 로트 아이디를 표시할 수 있다.

본 발명의 칩 정보 기호에 포함되는 칩 마킹용 웨이퍼 번호는 25개의 식별 기호를 사용하여 1자리로 나타낸다. 예를 들어, 실제 웨이퍼 번호 1번~25번은 각각 알파벳 A~Y로 나타낸다.

본 발명의 칩 정보 기호에 포함되는 칩 마킹용 웨이퍼 좌표는 통상적으로 반도체 제조 라인 및 EDS 라인에서 사용되는 좌표보다 작은 자릿수를 갖도록 단순화시킨 것이다. 즉, 상기 칩 마킹용 웨이퍼 좌표는 상기 반도체 제조 라인 및 EDS 라인에서 사용되는 X 및 Y 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 나타낸 것이다. 이 때, 상기 칩 마킹용 웨이퍼 좌표는 칩의 실제 위치를 나타내는 것이 아니라 EDS 공정 시에 테스트를 위한 칩 프로빙 순서대로 부여하는 것이 바람직하다. 즉, 상기 칩 마킹용 웨이퍼 좌표가 2자리수로 표현되는 경우 최초로 프로빙 되는 칩을 00, 그 다음에 프로빙되는 칩을 01로 부여할 수 있다.

예를 들어, 상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 부여되고, 2자리로 이루어질 수 있다. 상기와 같이, 칩 마킹용 웨이퍼 좌표가 62진법의 2자리로 이루어지는 경우 최대 3844가지의 좌표를 표시할 수 있다.

상기 칩 마킹용 웨이퍼 좌표를 이디에스 공정 시에 테스트를 위한 칩 프로빙 순서대로 부여하는 경우, 상기 칩 마킹용 웨이퍼 좌표는 웨이퍼에 형성되는 칩의 넷 다이만큼 서로 다르게 표시할 수 있어야 한다. 그러므로, 상기 웨이퍼에 형성되는 칩의 넷 다이가 3844개 이상인 경우에는 상기 칩 마킹용 웨이퍼 좌표의 자릿수를 더 증가시켜야 하며, 상기 웨이퍼에 형성되는 반도체 장치의 넷 다이가 62개 이하인 경우에는 상기 칩 마킹용 웨이퍼 좌표의 자릿수가 1자리수를 가질 수도 있다.

구체적으로, 반도체 제조 라인에서 사용되는 로트 아이디, 웨이퍼 번호 및 웨이퍼 좌표를 나열하는 경우 K123456X23100100 으로 표시될 수 있다. 이를, 보다 작은 자릿수를 갖는 칩 마킹용 로트 아이디, 웨이퍼 번호 및 웨이퍼

좌표로 이루어지는 칩 정보 기호로 코딩하는 경우 A01W00으로 표시될 수 있다. 즉, 상기 반도체 제조 라인에서 사용되는 로트 아이디인 K123456X 는 62진법의 3자리로 부여되는 A01로 나타내지고, 웨이퍼 번호 23은 알파벳 23번째인 W로 나타내지고, 웨이퍼 좌표 100*100은 프로빙 순서로는 첫 번째이므로 62진법의 2자리로 첫 번째 숫자에 해당되는 00으로 나타내진다.

상기와 같이, 반도체 제조 라인에서 사용되는 로트 아이디 웨이퍼 번호 및 웨이퍼 좌표와 같은 칩 정보를 보다 간단한 칩 정보 기호로 나타낼 수 있다. 또한, 상기 칩 정보 기호를 디코딩함으로써 원래 반도체 제조 라인에서 사용하였던 로트 아이디, 웨이퍼 번호 및 웨이퍼 좌표로도 코딩할 수 있다.

도 1은 본 발명의 일 실시예에 따른 칩 정보 기호(character) 표기 방법을 나타내는 흐름도이다. 도 2는 본 발명의 일 실시예에 따른 칩 정보 기호(character)의 코딩 방법을 설명하기 위한 도면이다.

도 1 및 도 2를 참조하면, 우선 EDS 공정이 완료된 웨이퍼 내의 각 칩에 대하여 반도체 제조 라인에서 사용된 로트 아이디, 웨이퍼 번호 및 웨이퍼 내의 칩의 좌표에 관한 정보를 취득한다.(S10) 상기 EDS 공정을 통해 웨이퍼 내의 각 칩은 양품 또는 불량품으로 구분된다.

해당 칩이 탑재된 웨이퍼의 로트 아이디를 10진법 내지 62진법 중 어느 하나를 사용하여 상기 로트 아이디에 비해 작은 자릿수를 갖도록 코딩함으로써 칩 마킹용 로트 아이디를 생성한다.(S12) 동일한 로트의 25장의 웨이퍼들에 탑재된 각 칩들은 동일한 칩 마킹용 로트 아이디를 갖게된다. 구체적으로, 상기 칩 마킹용 로트 아이디는 3 또는 4자리수를 갖는다.

본 실시예에서, 상기 칩 마킹용 로트 아이디는 숫자 (0 내지 9), 알파벳 소문자(a 내지 z) 및 알파벳 대문자(A 내지 Z)로 이루어지는 62진법으로 3자리를 갖도록 부여된다.

상기 칩 마킹용 로트 아이디는 EDS 공정이 완료된 순서대로 3자릿수를 갖는 62진법으로 부여될 수 있다. 그리고, 상기 칩 마킹용 로트 아이디와 매칭되는 반도체 라인에서 사용되는 실제의 로트 아이디를 데이터 베이스화하여 관리한다. 상기 데이터 베이스화를 통해, 상기 칩 마킹용 로트 아이디 및 반도체 라인에서 사용되는 로트 아이디를 서로 코딩 또는 디코딩 할 수 있다.

표 1은 반도체 제조 라인에서 사용되는 로트 아이디를 3자릿수를 갖는 62진법의 칩 마킹용 로트 아이디로 각각 코딩한 예를 보여준다.

[표 1]

순번	실재 로트 아이디	칩 마킹용 로트 아이디
1	K32567	001
2	6JAB25	002
3	QB1253XUB	003
.	.	.
.	.	.
38449	P46280UB	a09
38450	K5928X	a0a
.	.	.
.	.	.
235051	QL2572	Z99
235052	6JAD48X	Z9a

상기와 같이 3자릿수를 갖는 62진법의 칩 마킹용 로트 아이디로 코딩하는 경우 최대 23,828가지의 로트 아이디를 표시할 수 있다. 상기와 같이 칩 마킹용 로트 아이디를 코딩하는 경우, 제조사의 반도체 장치의 생산량 수준에 따라 달라지겠지만 적어도 수 년 동안 생산되는 반도체 장치의 로트 아이디를 간단하게 표시할 수 있다.

해당 칩이 탑재되어 있는 웨이퍼 번호를 25개의 식별 기호를 사용하여 1자리로 코딩시켜 칩 마킹용 웨이퍼 번호를 생성한다.(S14) 예를 들어, 상기 칩 마킹용 웨이퍼 번호는 알파벳으로 나타낼 수 있다. 즉, 해당 칩이 1번 웨이퍼에 탑재된 경우 A로 코딩하고, 해당칩이 25번 웨이퍼에 탑재된 경우 Y로 코딩한다.

해당 칩이 탑재되어 있는 웨이퍼 내의 좌표를 10진법 내지 62진법 중 어느 하나를 사용하여 1자리 또는 2자리로 코딩시켜 칩 마킹용 웨이퍼 좌표를 생성한다. (S16) 상기 칩 마킹용 웨이퍼 좌표는 웨이퍼에서 칩이 위치한 X 및 Y축 위치로 표시되는 것이 아니라 EDS 공정 시의 프로빙 순서대로 나열된다. 이 경우, 상기 웨이퍼에 형성되는 반도체 장치의 넷 다이 만큼 서로 다르게 칩 마킹용 웨이퍼 좌표를 표시할 수 있으면 된다.

본 실시예에서, 상기 칩 마킹용 웨이퍼 좌표는 숫자, 알파벳 소문자 및 알파벳 대문자로 이루어지는 62진법으로 2자릿수를 갖도록 구성된다. 이 경우, 3844개 이하의 넷 다이를 갖는 웨이퍼의 각 칩에 칩 마킹용 웨이퍼 좌표를 부여할 수 있다.

표 2는 EDS 공정에서 사용되는 웨이퍼 좌표를 62진법으로 2자릿수를 갖는 칩 마킹용 웨이퍼 좌표로 각각 코딩한 예를 보여준다.

[표 2]

프로빙 순서	EDS시 X좌표	EDS시 Y좌표	칩 마킹용 웨이퍼 좌표
1	100	100	01
2	101	100	02
3	102	100	03
4	103	100	04
5	104	100	05
.	.	.	.
629	85	105	A9
.	.	.	.
.	.	.	.
3792	145	110	Za
3793	146	110	Zb

다음에, 해당 칩이 탑재되어 있는 웨이퍼의 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 웨이퍼에서 칩의 위치를 나타내는 칩 마킹용 웨이퍼 좌표를 웨이퍼에서 각 칩에 해당하는 이면에 순서대로 기입한다.

예를 들어, 도 2에 도시된 것과 같이 반도체 제조 라인에서 K32567의 로트 아이디를 갖는 3번 웨이퍼의 102*100 좌표에 있는 칩일 경우 칩 정보 기호는 001C03으로 표시될 수 있다. 이 때, 상기 반도체 제조 라인에서 사용되는 로트 아이디는 바코드 인식을 통해 입력되고 컴퓨터 시스템에 의해 코딩되어 데이터 베이스에 저장될 수 있다.

상기 칩 마킹용 웨이퍼에 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표로 구성되는 칩 정보 기호를 기입하는 것은 레이저 마킹 공정을 통해 이루어질 수 있다.

상기 웨이퍼가 이면 연마(Back lap) 공정을 수반하는 경우에는, 상기 이면 연마 공정을 수행한 이 후에 상기 웨이퍼 이면 마킹 공정을 수행한다.

상기 각각의 칩에 칩 정보 기호를 기입할 시에 상기 칩 정보 기호의 자릿수가 증가할수록 레이저 마킹 수행 시간이 증가된다. 그런데, 상기 칩 정보 기호에 포함된 칩 마킹용 로트 아이디, 웨이퍼 번호 및 웨이퍼 좌표의 자릿수가 반도체 제조 라인에서 사용된 로트 아이디, 웨이퍼 번호 및 웨이퍼 좌표의 자릿수에 비해 감소되었으므로, 상기 칩 정보 기호를 기입하는데 소요되는 시간을 감소시킬 수 있다. 이로 인해, 반도체 장치를 완성하는데 소요되는 시간이 감소되어 생산성을 증가시킬 수 있다.

이 때, 상기 칩 정보 기호는 전기적 다이 소팅에서 양품(good chip)으로 판정된 것에만 선택적으로 마킹한다. 즉, 상기 마킹 공정이 수행되면 양품의 칩에 해당하는 웨이퍼의 이면에는 칩 정보 기호가 마킹되어 있는 반면 불량품의 칩에 해당하는 웨이퍼의 이면에는 아무것도 마킹되어 있지 않다. 그러므로, 상기 칩 정보 기호가 마킹되었는지 여부를 확인함으로써 각 칩이 양품 또는 불량품인지를 알 수 있으며, 이로서 종래의 인킹 공정을 대체할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 원래의 반도체 제조 라인에서 사용되는 로트 아이디, 웨이퍼 번호 및 좌표보다는 작은 자릿수를 갖도록 칩 마킹용 로트 아이디, 칩 마킹용 웨이퍼 번호 및 칩 마킹용 웨이퍼 좌표를 코딩하여 칩 이면에 마킹함으로써 마킹에 소요되는 시간을 감소시킬 수 있다. 이로 인해, 반도체 장치의 생산성을 향상시킬 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

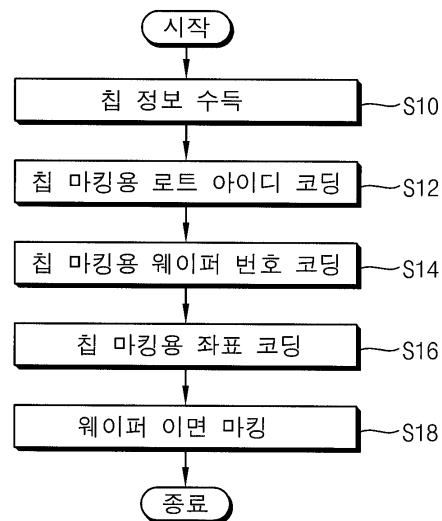
도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 칩 정보 기호(character) 표기 방법을 나타내는 흐름도이다.

도 2는 본 발명의 일 실시예에 따른 칩 정보 기호(character)의 코딩 방법을 설명하기 위한 도면이다.

도면

도면1



도면2

