

```
1  `timescale 1ns / 1ps
2  ///////////////////////////////////////////////////////////////////
3  // Company: CECS 201
4  // Engineer: Kim Marzo
5  //
6  // Create Date:      12:22:49 03/04/2019
7  // Design Name: Arithmetic Logic Design
8  // Module Name:      LAB2_VM
9  // Project Name: Arithmetic Logic Design
10 // Target Devices: Spartan 6
11 //
12 // Description: A verilog module for CECS 201 Lab 2 "Arithmetic Logic Design"
13 //
14 //
15 ///////////////////////////////////////////////////////////////////
16 module LAB2_VM(
17     input M,
18     input A,
19     input B,
20     input Cin,
21     output CB,
22     output Y
23 );
24
25 assign CB = {B    & {M ^ A}} |
26             {Cin & {M ^ A}} |
27             {B & Cin};
28 assign Y = A ^ B ^ Cin;
29
30 endmodule
31
```