실험물리학 2

2주차 예비 레포트

<MOSFET(Metal Oxide Semiconductor Field Effect Transistor>

이름: 김나현

학번: 20191286

분반: 2분반

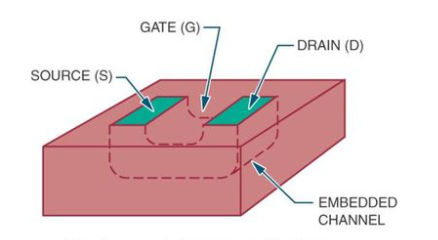
담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

제출일자: 2020년 9월 16일 수요일

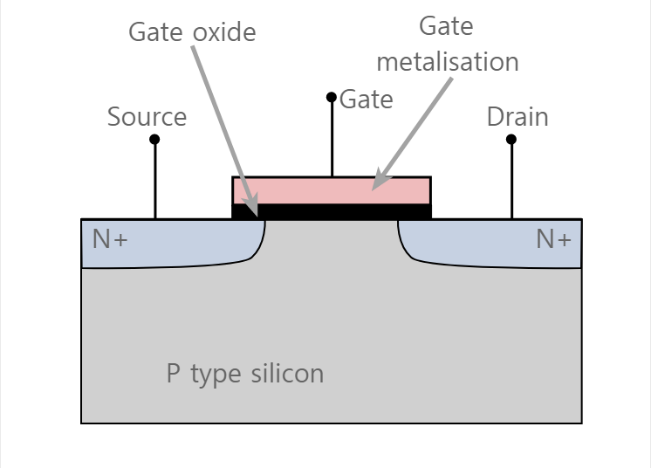
1. 실험 목표
2. MOSFET의 기본 작동원리를 배운다.
3. MOSFET을 적절하게 작동시키는 회로를 학습한다.
4. MOSFET의 기본 응용인 증폭과 스위칭 회로를 구성하고 확인한다.
5. 실험 이론
6. FET(전계 효과 트랜지스터)

전계 효과 트랜지스터(FET, Field Effect Transistor)는 1925년 줄리어스 릴렌필드(Julius Lillenfield)라는 사람에 의해 발명된 소자로, 바이폴라 트랜지스터(BJT)와 달리 반도체 내의 전기전도 과정에서 전자나 정공 중 다수 캐리어를 사용하는 반도체 소자이며 이러한 특징으로 인해 단극성(unipolar) 트랜지스터라고 불리기도 한다. 일반 트랜지스터가 전류를 증폭하는 데에 이용된다면 FET는 이와 달리 전압을 증폭되는 데에 되며, 증폭을 하는 용도 이외에도 스위치를 작동하게 하는 특성이 뛰어나 전자 스위치 회로에도 많이 이용된다. FET는 채널(channel)이라고 하는 전류 통로가 외부 전계에 의하여 제어되는 방법으로 인해 동작되고, 캐리어의 주입부를 소스, 유출부를 드레인, 외부 전계를 인가하는 곳을 게이트라고 했을 때 게이트의 구조에 따라 JFET(Junction FET)와 MOSFET을 포함하는 IG-FET(Insulate Gate FET) 등으로 나뉜다.

1. MOSFET(금속 산화물 반도체 전계 효과 트랜지스터, Metal Oxide Semiconductor Field Effect Transistor)

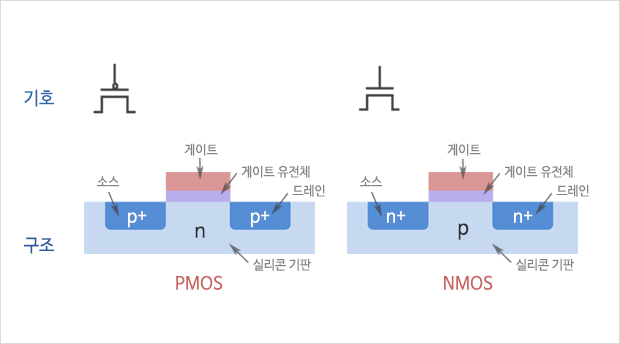
<그림 a> 도선에 연결된 n채널 JFET

위의 <그림 a>는 도선에 연결된 n채널 JFET로, n채널 JFET란 P형 물질로 이루어진 기판에 N형 물질로 이루어진 U자 모양의 채널을 만든 것이다. 이때, JFET에는 세 개의 전기적인 접속이 만들어지는데, 하나의 리드는 기판에 연결되어 게이트(gate, G)를 형성하고, 또 하나의 리드는 채널의 양 끝에 연결되어 소스(source, S)와 드레인(drain, D)을 형성하는데 채널은 대칭적이므로 어떤 리드가 소스와 드레인에 연결되느냐는 문제가 되지 않는다. 이처럼 게이트가 소스와 드레인 사이에 존재하는 JFET와 달리, 아래 <그림 b>을 보면 MOSFET은 게이트와 채널이 PN 접합을 이용하지 않고 산화물의 얇은 층, 즉 절연층에 의해 반도체 채널로부터 게이트가 전기적으로 절연되어 있다는 사실을 알 수 있다.



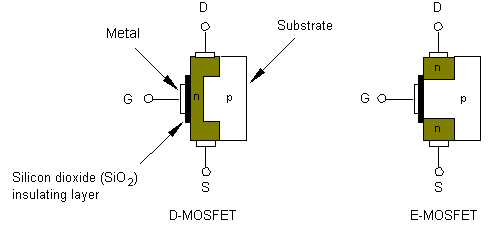
<그림 b> N채널 증가형 MOSFET의 단면도

MOSFET은 두 가지 기준으로 구분할 수 있는데 하나는 채널로 어떠한 물질을 사용하느냐에 따른 구분과 다른 하나는 동작을 위해 채널을 유기해야 할 필요가 있는지, 없는지에 따른 구분이다. MOSFET도 JFET와 마찬가지로 어떤 물질을 채널로 사용하느냐에 따라 P채널 MOSFET과 N채널 MOSFET으로 구분이 되는데 <그림 c>를 참고하면 P채널 MOSFET은 N형 기판 위에 P채널을 주입한 형태이고, 반대로 N채널 MOSFET은 P형 기판 위에 N채널을 주입한 형태임을 알 수 있다.



<그림 c> P-MOSFET과 N-MOSFET

MOSFET은 소스와 드레인 사이가 이어져, 채널이 형성되어 있는 공핍형 MOSFET과 소스와 드레인 사이가 이어져 있지 않아, 채널이 형성되지 않은 <그림 c>와 같은 증가형 MOSFET으로 구분된다. 공핍형 MOSFET은 원래 채널이 형성되어 있어서 소스, 드레인과 기판 사이에 역방향 바이어스만 걸어주면 게이트에 인가하는 전압의 크기에 비례하여 소스-드레인 사이의 전류가 흐르게 되지만 증가형 MOSFET은 채널이 형성되어 있지 않아 소스, 드레인과 기판 사이에 역방향 바이어스를 걸어주는 것뿐만 아니라 반전층을 형성하기 위한 최소 게이트 전압인 문턱 전압 이상을 게이트에 인가해주어 소스와 드레인 사이를 잇는 채널을 만들어주어야 한다. 이는 (3)에서 더욱 자세히 다루고, 우선 아래 <그림 d>를 통해 공핍형 MOSFET과 증가형 MOSFET을 확인해보자.



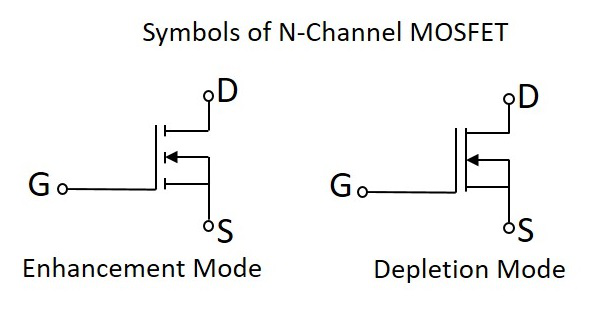
<그림 d> D-MOSFET, E-MOSFET

1. E-MOSFET, D-MOSFET

우선, 공핍형 MOSFET의 경우, 제조과정에서 채널을 미리 만들기 때문에 소스와 드레인이 채널 영역에 의해 서로 연결되어 있다. 그렇게 때문에 전류는 항상 소스와 드레인 사이의 채널을 통해서만 흐르고, 소스나 드레인에서 기판 쪽으로는 전류가 흐르지 않아야 한다. 따라서, 소스, 드레인과 기판의 PN 접합은 항상 역방향 바이어스 상태가 되어야 한다. N채널 공핍형 MOSFET를 예시로 설명하면, P형의 기판에는 0 V나 음의 전압이 인가되어야 하고, 게이트 전압이 음이면 공핍형으로 동작하고 양이면 증가형 MOSFET으로 동작하는 특성을 보인다. 게이트에 음의 전압이 인가되면 N채널 영역의 다수 캐리어인 전자가 기판 아래쪽으로 밀려나게 되어 그 자리는 공핍 영역이 형성되고, 채널 영역에는 다수 캐리어인 전자가 감소하게 되므로 결과적으로 드레인 전류의 크기 또한 감소하게 된다. 게이트에 인가하는 음의 전압이 커질수록 공핍 영역의 폭이 커지기 때문에 드레인 전류는 더욱 감소하므로 드레인 전류가 게이트에 인가되는 음의 전압의 크기에 비례하고, 게이트 전압에 의해 소스-드레인 사이의 전류를 조절할 수 있게 된다.

증가형 MOSFET도 공핍형과 마찬가지로 전류가 소스와 드레인 사이의 채널 영역을 통해서만 흘러야 하고 소스나 드레인에서 기판 쪽으로 전류가 흐르면 안 되므로 소스, 드레인과 기판의 PN 접합은 항상 역방향 바이어스 상태가 되어야 한다. 따라서 N채널 증가형 MOSFET의 경우, 위의 N채널 공핍형 MOSFET과 마찬가지로 P형 기판에 0 V 또는 음의 전압이 인가되어야 하지만 P채널 증가형 MOSFET의 경우, N형 기판에 양의 전압이 인가되어야 한다. 제조과정에서부터 채널이 주입되어 있는 공핍형 MOSFET과 달리, 증가형 MOSFET은 채널이 형성되어 있지 않으므로 N채널 증가형 MOSFET의 게이트 전극에 양의 전압을 인가하면 게이트 절연층 아래 채널 영역에 전자들이 모여 ‘반전층(inversion layer)’이라고 하는 것을 형성하는데, 이 상태를 채널이 형성된 상태라고 생각할 수 있게 된다. 채널이 형성된 이후, 드레인에 양의 전압이 인가되면 소스와 드레인 사이에 전류가 흐르게 되는데 이때, 증가형 MOSFET에서 채널을 형성하기 위한 최소 게이트 전압을 문턱 전압(threshold voltage)라고 하고 N채널 증가형 MOSFET의 문턱전압은 양수이고, P채널 증가형 MOSFET의 문턱전압은 음수이다.

이렇게 증가형 MOSFET은 전압을 가해주기 전까지 채널이 형성되어 있지 않고, 공핍형 MOSFET은 전압을 가해주지 않아도 채널이 이미 형성되어 있기 때문에 기호로 나타내면 다음 <그림 d>와 같다.



<그림 e> N채널 증가형 MOSFET, N채널 공핍형 MOSFET

1. E-MOSFET의 전기전달 특성

증가형 MOSFET은 소스, 드레인과 기판 사이의 역방향 바이어스를 걸어주어야 하는 것 이외에도 소스와 드레인을 잇는 채널을 만들기 위해 게이트에 인가해주어야 하는 최소 전압인 문턱 전압 이상의 전압을 게이트에 인가해주는지, 문턱전압 이하의 전압을 게이트에 전압을 인가해주는지와 드레인 전압의 크기에 따라 여러 가지 동작을 보인다.

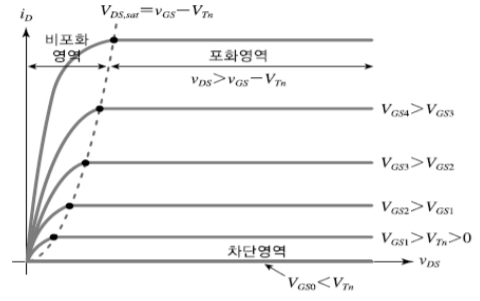
우선, 게이트 전압이 문턱 전압보다 작을 때는 차단상태, 게이트 전압이 문턱 전압보다 크거나 같을 때는 도통상태로 동작한다. 도통상태일 때는 드레인 전압의 크기에 따라 비포화 영역과 포화 영역으로 구분되게 되는데 이에 대해 더욱 자세히 알아보자.

비포화 동작 영역에서는 드레인 전류가 게이트 전압과 드레인 전압, 모두에 의해 영향을 받게 되는데 을 전자의 이동도, 를 게이트 절연층(산화막)의 정전용량, 을 절연층(산화막)의 유전율, 을 산화막 두께, MOSFET의 채널폭을 W, 채널 길이를 L이라고 했을 때,

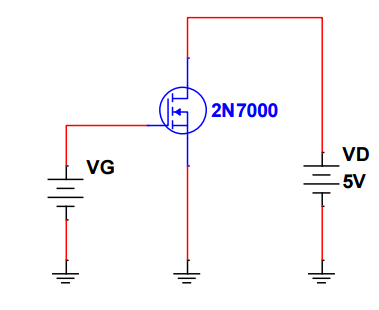
라는 식으로 드레인 전류를 계산할 수 있다. 포화 동작 영역에서는 드레인 전류가 드레인 전압에 무관하게, 게이트 전압에만 영향을 받으므로

이라는 식으로 계산할 수 있다.

아래 <그림 f>를 보면 게이트 전압이 문턱 전압보다 낮은, 차단 영역에서는 드레인 전류가 0 A이고 비포화 영역에서는 드레인 전류의 크기가 게이트 전압과 드레인 전압에 모두 영향을 받고, 포화 영역에서는 드레인 전류가 게이트 전압에 의해서만 영향을 받는다는 것을 알 수 있다. <그림 f>에서 점선으로 표시된 부분은 포화 영역과 비포화 영역의 경계로써, VDS,SAT=VGS-VTH인 값들의 궤적이다.

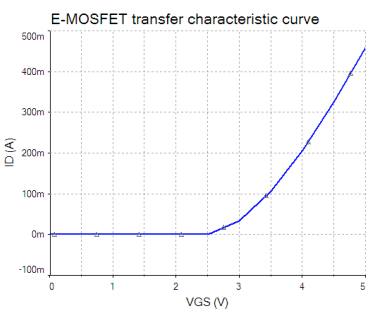


<그림 f> 증가형 N채널 MOSFET의 전류-전압 특성 곡선

1. 실험 장비 및 재료
2. 저항
3. 전원
4. 2N3904, MOSFET-2N7000
5. 실험 방법
6. E-MOSFET의 전기전달 특성

<그림 1-1>E-MOSFET 전달 특성 측정 회로

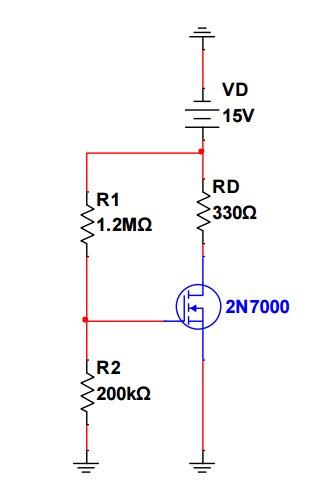
<그림 1-1>의 회로를 구성하고 VDD는 5 V로 고정한 후, VG를 조절하면서 VGS의 변화에 따른 ID를 측정하여 <그림 1-2>와 같은 E-MOSFET의 전달 특성 곡선을 측정한다.



<그림 1-2> E-MOSFET의 전달 특성 곡선

그 다음, 전달 특성 곡선이 의 형태라는 점을 참고하여 해당 전달 특성 곡선에서의 K 값을 구한다.

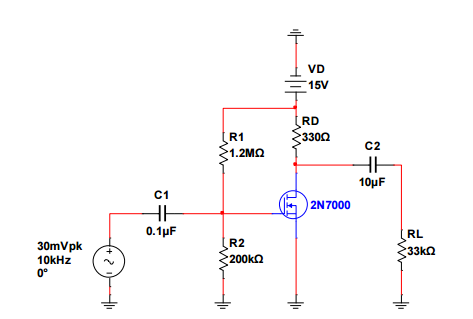
1. E-MOSFET 전압분배 바이어스



<그림 2-1> 전압분배 바이어스 회로

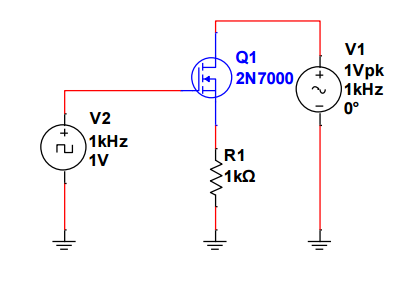
<그림 2-1>과 같은 회로를 구성한 후, 회로 상에서 ID, VGS를 측정하여 동작점을 파악한다. 이때, 이라는 식을 이용하여 계산할 수 있다.

그 다음, <그림 2-1>의 바이어스 회로에 교류 전원을 추가하여 아래 <그림 2-2>와 같은 회로를 구성한다. 이때, 직류 성분을 차단하기 위해 커패시터를 연결해야 하고, 커플링 커패시터의 출력부에 출력 신호가 인가될 부하 저항 RL을 추가해준다. 위의 설명대로 회로를 구성했다면 교류 전원을 인가하여 오실로스코프를 통해 입력, 출력 신호를 관찰하여 증폭률을 계산한다. 소자마다 특성 곡선이 다르기 때문에 동작점의 위치가 다를 수 있으며 이로 인해 신호 증폭이 잘 관측되지 않을 때는 입력 신호의 진폭을 키워서 신호 증폭을 관찰한다. 하지만 이때 너무 큰 신호를 인가하지 않도록 주의해야 한다. 증폭률의 측정값과 이론값을 비교하여 오차를 계산해본다.



<그림 2-2> MOSFET 교류 증폭회로

1. E-MOSFET 아날로그 스위칭



<그림 3> MOSFET 스위칭 회로

위의 <그림 3>과 같은 회로를 구성한다. 이때, 드레인에 인가되는 신호는 사인파이며, 사인파의 신호를 디지털화하기 위해서 게이트 전압은 펄스파로 인가한다. 이때, 게이트 전압이 VGS(th)보다 높으면 R1 양단의 전압 신호로 나타나게 될 것이다. 입력신호인 사인파는 1VPP, 1 kHz로 설정하고, 펄스파의 진동수와 전압을 바꿔가며 출력신호의 변화를 관찰해본다. 특히, 펄스파의 진동수가 사인파의 진동수, 즉 1 kHz의 1/2배, 1/3배, 1/4배, 2배, 3배, 4배, 10배일 경우에 나타나는 현상을 관찰해본다. 관찰 결과를 토대로 스위칭이 적절하게 작동할 수 있는 조건은 무엇인지 생각해본다.

1. 참고문헌

- Ramond A. Serway, John W. Jewett, 대학물리학2, 9판, 북스힐, 2017년, pg. 831-860

- Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 150-158

- 이준신, 회로이론실험, 2판, 두양사, 2009년, pg. 19-32, 131~137

- 최윤식, 기초 회로이론, 1판, 한빛아카데미, 2014년, pg. 192-195

- 서강대학교 실험물리학1 매뉴얼 #8

실험물리학 2

2주차 결과 레포트

<MOSFET(Metal Oxide Semiconductor Field Effect Transistor>

이름: 김나현

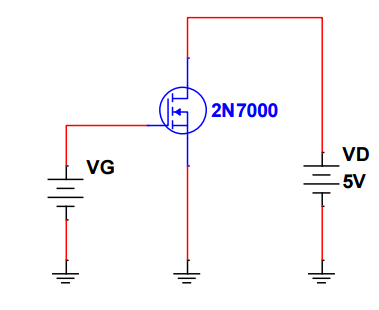
학번: 20191286

분반: 2분반

담당 교수님: 정명화 교수님

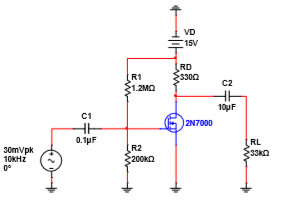
담당 조교님: 소현경 조교님

제출일자: 2020년 9월 23일 수요일

1. 실험 결과
2. E-MOSFET의 전기전달 특성
3. 본 실험은 <그림 1>의 회로를 구성한 후, VGS의 크기를 변화시키면서 ID를 측정하여 얻은 결과 값을 통해 E-MOSFET의 전달 특성 곡선을 만들고 VG(TH) 이상의 전압을 가하였을 때 이 전달 특성 곡선이 의 형태라는 점을 참고하여 K 값을 알아보기 위한 실험이었다.

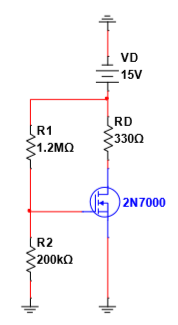
<그림 1> E-MOSFET 전달 특성 측정 회로

1. <그래프 1> E-MOSFET 전달 특성 그래프
2. <표 1> VGS 변화에 따른 ID 값
3. <그래프 2> VGS(TH) 이상의 VG에 대한 E-MOSFET 전달 특성 그래프
4. <그래프 2>의 추세선에 의해 식 에 알아낸 실험적인 K 값=1.4806
5. E-MOSFET 전압분배 바이어스
6. 우선, 아래와 같이 <그림 2-1>의 회로를 구성한 후, VGS를 측정하고 위의 <그래프 2>에서의 추세선에 대입하여 ID를 계산한다.



1.0 MΩ

470 Ω



1.0 MΩ

470 Ω

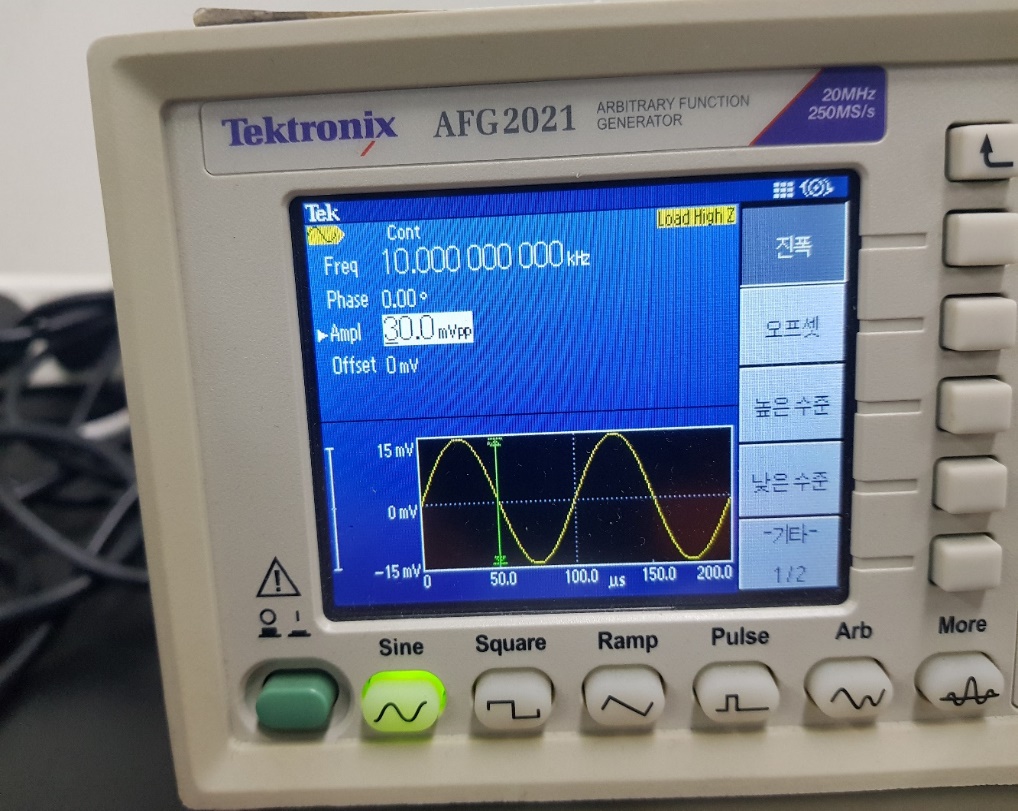
<그림 2-1> 전압분배 바이어스 회로 <그림 2-2> MOSFET 교류 증폭회로

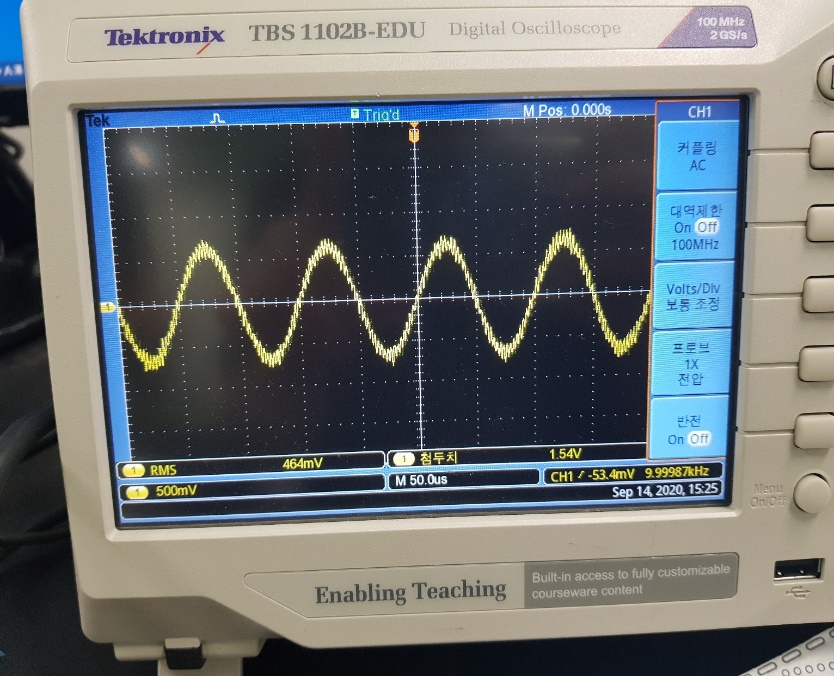
<그림 2-1>의 회로에 교류 전원과 커패시터를 추가하여 <그림 2-2>의 회로를 구성하고 오실로스코프를 통해 입력, 출력 신호를 관찰하여 출력 전압 진폭을 입력 전압 진폭으로 나누어 증폭률을 직접 계산해본다.

1. <표 2> <그림 2-1>의 회로에서의 VG 측정 값, 이론 값, 오차율



1. <그림 2-3> 오실로스코프로 관찰한 입력 신호



1. <그림 2-4> 오실로스코프로 관찰한 출력 신호
2. <표 3> (1) 실험에서 VGS가 약 2.5 V 부근일 때의 ID 값



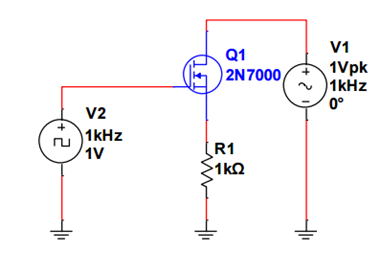
1. <그래프 3> <표 3>으로 만든 E-MOSFET 전달 특성 곡선
2. <표 4> <그래프 3>의 추세선으로 구한 2.485 V, 2.515 V일 때의 ID 값



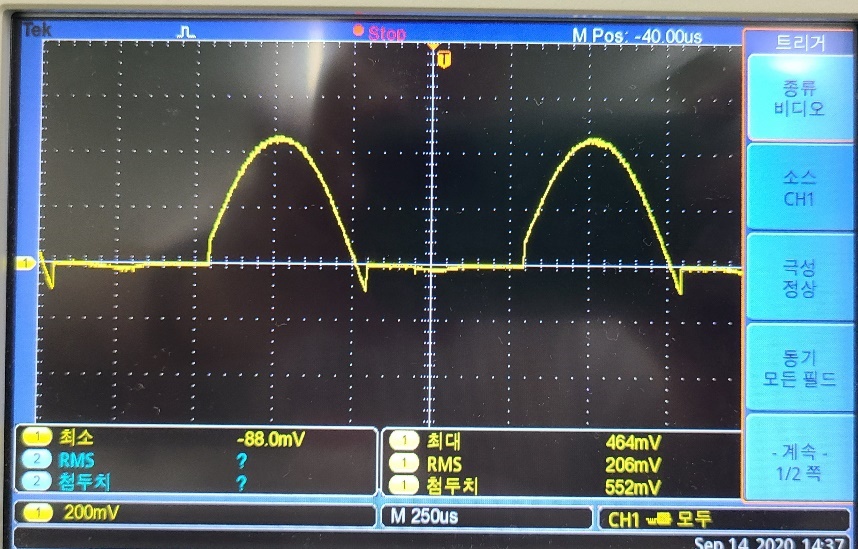
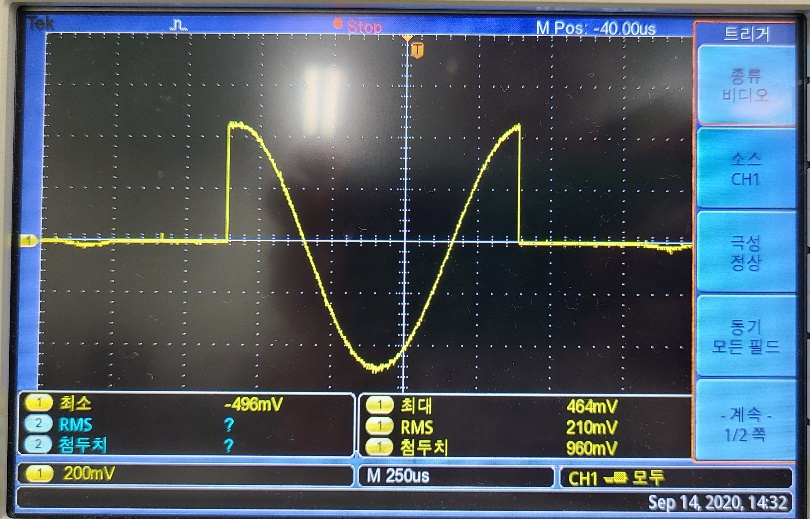
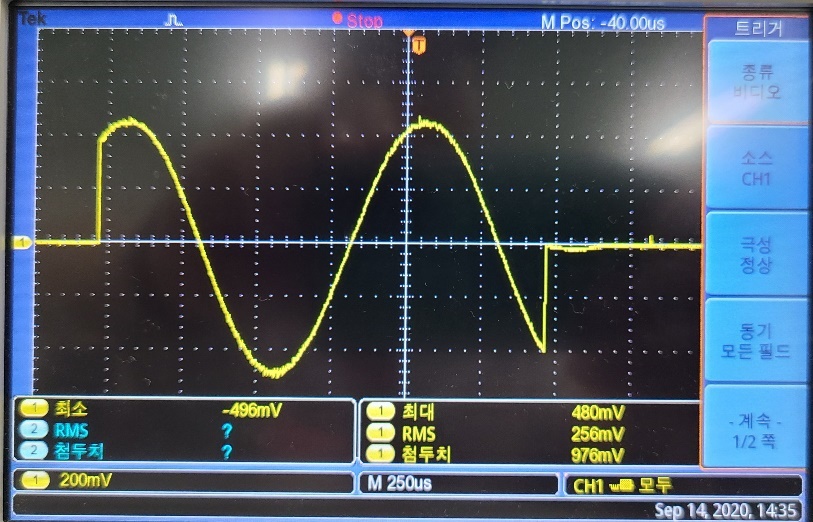
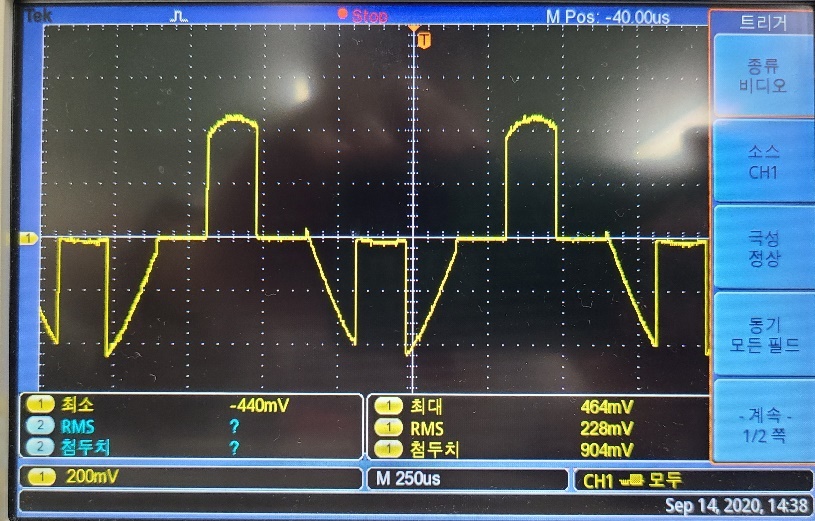
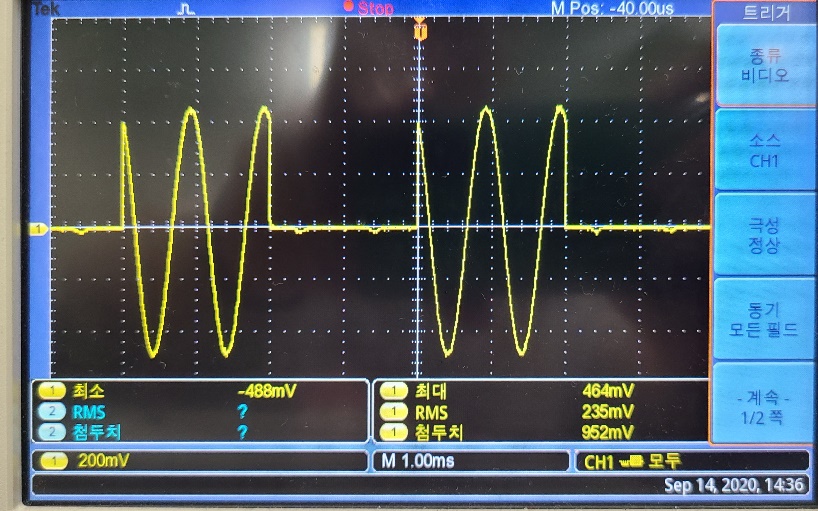
1. <표 5> <그림 2-2> 회로에서의 입력 전압 진폭과 출력 전압 진폭, 증폭률의 이론 값과 측정 값, 오차율

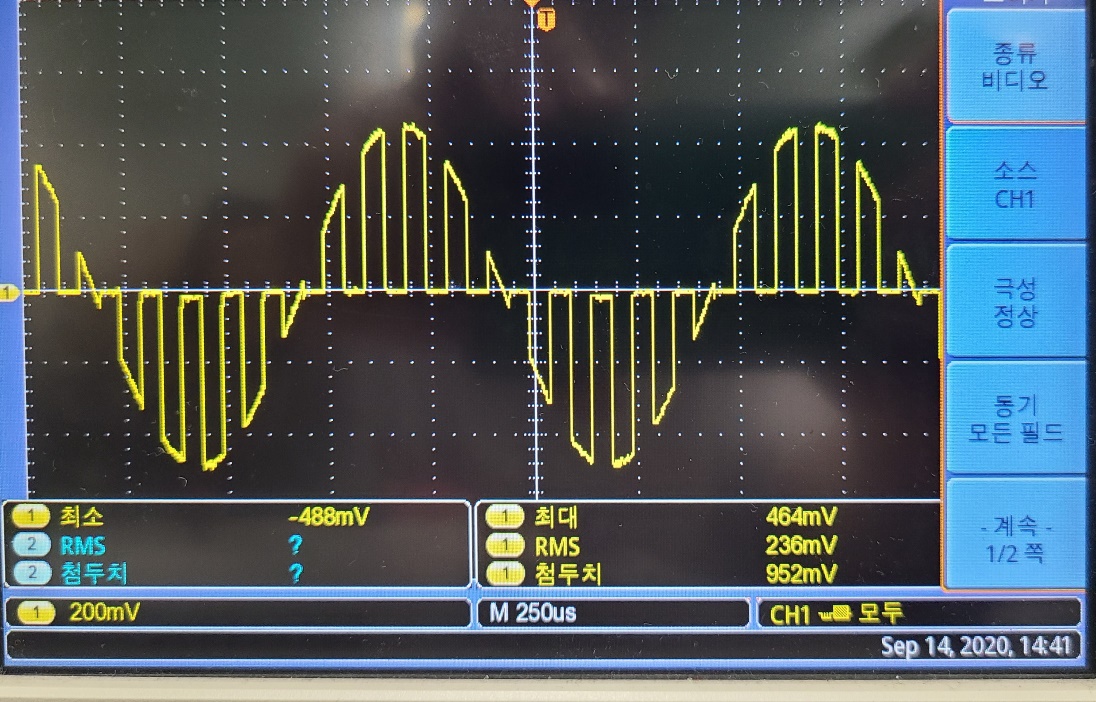


1. E-MOSFET 아날로그 스위칭
2. 본 실험은 아래 <그림 3>과 같이 회로를 구성한 후, 드레인에는 사인파를 인가하고, 게이트에는 펄스파를 인가해준다. 이때, 펄스파의 진동수와 전압을 바꿔가며 오실로스코프를 통해 출력신호의 변화를 알아본다.



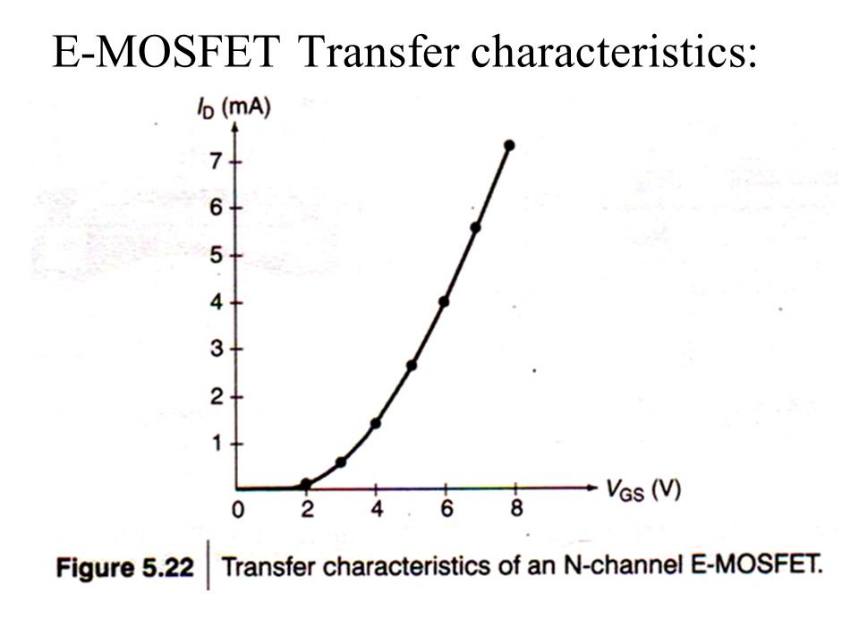
<그림 3> MOSFET 스위칭 회로

1. <그림 3-1> 펄스파와 사인파의 주파수가 같을 때의 출력 신호
2. <그림 3-2> 왼쪽부터 펄스파의 주파수가 사인파의 주파수의 배, 2배일 때의 출력 신호
3. <그림 3-3> 왼쪽부터 펄스파의 주파수가 사인파의 주파수의 배, 3배일 때의 출력 신호
4.  <그림 3-4> 왼쪽부터 펄스파의 주파수가 사인파의 주파수의 배, 4배일 때의 출력 신호
5. <그림 3-5> 펄스파의 주파수가 사인파의 주파수의 10배일 때의 출력 신호



1. 실험 분석
2. E-MOSFET의 전기전달 특성

본 실험은 <그림 1>의 회로를 구성한 후, VG의 크기를 조절하면서 VGS의 변화에 따른 ID 값을 측정하여 E-MOSFET 전달 특성 곡선을 만들고 VGS가 VGS(TH) 이상인 지점에 대하여 추세선을 구하여 보았다. 우선 <그래프 1>을 보면, 아래 <그림 4>와 같이 VGS가 특정 값 이하에서는 드레인 전류가 거의 0 A이다가 특정한 값 이상에서는 이차 함수에 가깝게 커지는 모습을 확인할 수 있었다. <표 1>은 드레인 전류가 0.07 mA일 때의 VGS 값과 드레인 전류가 0.07 mA를 넘어서 급증할 때의 VGS 값을 모아놓은 것인데 이 표를 가지고 다시 전달 특성 곡선 그래프를 그리면 <그래프 2>와 같이 된다. 이 그래프의 추세선을 구하면 y = 1.4806x2 - 7.875x + 9.2402가 되는데 이 이차 함수가 와 같다고 생각하면 이 식의 K 값은 1.4806이 되는 것이다.



<그림 4> n채널 E-MOSFET의 전달 특성 곡선

하지만 이번 실험에서 사용한 n채널 E-MOSFET의 이론적인 전달 특성 곡선을 알고 있지 않고고, 식 에서의 이론적인 K 값 또한 알지 못하므로 이론 값과 실험 값의 오차율을 계산할 수 없었다. 또한 <표 1>에서 ID가 0.17 mA가 되는 지점부터 그래프를 그려 전달 특성 곡선을 구했는데 이때의 VGS가 문턱 전압인지 정확히 알 수 없기 때문에 추세선 식을 신뢰할 수 없다.

1. E-MOSFET 전압분배 바이어스

우선, <그림 2-1>의 회로를 구성하여 진행한 실험은 위의 실험에서 사용된 E-MOSFET을 사용하여 전압분배 바이어스 회로를 구성한 다음, VD로 15 V를 인가해주었을 때의 이론적인 VGS 값을 계산해보고, 측정 값과 비교하여 오차율을 계산해보는 실험이었다. <그림 2-1>의 회로에서는 이라는 식을 통해 VGS를 계산할 수 있으므로 VDD에는 15 V, R1에는 1.0 MΩ, R2에는 200 kΩ을 대입하면, 으로부터 이론적인 VGS의 크기가 2.5 V임을 알 수 있다. VGS의 측정 값과 이론 값, 오차율을 표로 나타내면 위의 <표 2>가 된다.

두 번째는 <그림 2-1>의 회로에 커패시터와 교류 전압원, 부하저항을 추가하여 만든 <그림 2-2>의 회로에 대한 실험인데 이 회로는 E- MOSFET 교류 증폭회로이다. <그림 2-1> 회로에서는 직류 전압원만이 VGS의 크기에 영향을 미치지만 <그림 2-2>와 같이 교류 전압원을 연결한 회로에서는 교류 전압과 직류 전압 모두 VGS의 크기에 영향을 미쳐서 결과적으로 ID의 크기에 영향을 미치기 때문에 <그림 2-2>의 회로에서 이론적으로 VGS의 최솟값은 직류 전압원에 의해 인가되는 2.5 V에 교류 전압원에서 인가해준 신호의 Vpp의 절반인 0.015 V를 뺀 2.485 V이고, VGS의 최댓값은 2.5 V에 0.015 V를 더해준 2.515 V이다. 따라서 약 2.5 V의 근사값을 갖는 VGS가 인가된다는 뜻이므로 실험 (1)에서 얻은 결과에서 약 2.5 V의 VGS가 인가될 때의 ID 값만을 표로 정리하면 <표 3>이 되고, 이를 또 다시 전달 특성 곡선으로 만들고 추세선을 구하면 <그래프 3>와 y = 2.71x2 - 1.42x + 5.77이 된다. <그래프 2>에서 알게 된 추세선을 사용하지 않고 이렇게 <그래프 3>을 만들어 추세선을 구하는 이유는 정확도를 더욱 높이기 위함이다. <그래프 3>의 전달 특성 곡선의 추세선 식 y = 2.71x2 - 1.42x + 5.77을 이용해서 VGS가 2.485 V와 2.515 V일 때의 ID 값을 계산하면 <표 4>와 같이 된다. 저항 RD와 RL의 합성 저항을 Rd, 즉 Rd=RD//RL이라고 하면 이론적으로 출력 전압과 입력 전압은 이라는 식을 만족하므로 <그림 2-2> 회로에서의 이론적인 출력 전압을 계산할 수 있다. dVGS는 교류 전압의 Vpp인 0.03 V이고 dID는 <표 4>에 의해 약 0.364 mA임을 알았고, Rd는 470 Ω의 저항 RD과 33 kΩ의 저항 RL의 합성 저항이므로 약 460 Ω임을 알 수 있다. 따라서 이론적인 출력 전압 Vout은 167 mV이 된다. 따라서 이론적인 출력 전압은 167 mV이고, 증폭률은 출력 전압 진폭을 입력 전압 진폭으로 나눈 5.57이므로 입력 전압 진폭, 출력 전압 진폭, 증폭률의 이론 값과 실험 값을 표로 나타낸 것이 <표 5>이다. 출력 전압 진폭을 봤을 때, 실험 값과 이론 값이 약 10배가 나는데 이는 출력 전압의 이론 값을 계산하는 과정에서 생긴 오차 때문일 것이라고 생각되었다.

1. E-MOSFET 아날로그 스위칭

마지막으로, <그림 3>의 회로에서 VGS(TH) 이상의 Vpp를 갖는 펄스파를 게이트에 인가하면 펄스파가 VGS(TH) 이상인 부분에서는 드레인에 인가한 신호인 사인파가 저항 R1에 걸리게 되어 오실로스코프에 관측이 되고, 펄스파가 VGS(TH) 이하인 부분에서는 드레인에 인가한 사인파가 저항 R1에 걸리지 않아 오실로스코프에서 0 V로 관측이 된다. <그림 3-1>는 펄스파와 사인파의 주파수가 같은 상황인데, 이는 예상대로 사인파의 모습 중 주기의 절반은 관측이 되고 나머지 주기의 절반은 전압이 0 V로 관측이 된다. <그림 3-2>는 펄스파와 사인파의 주파수가 절반과 두 배인 상황인데, 펄스파의 주파수가 사인파의 주파수에 절반일 때는 사인파의 2개 주기 중에 1개의 주기만 관측 가능하고 나머지 주기는 0 V로 관측되는 모습이고 펄스파의 주파수가 사인파의 주파수에 두 배일 때는 위로 볼록한 부분의 절반과 아래로 볼록한 부분의 절반이 보이는데 위로 볼록한 부분이 먼저 보이면 위로 볼록한 부분 나머지가 0 V로 보이고 아래로 볼록한 부분이 보이면 또 아래로 볼록한 부분의 나머지가 0 V로 관찰되었다는 것을 알 수 있다. <그림 3-3>은 펄스파와 사인파의 주파수가 1/3배와 세 배인 상황인데, 마찬가지로 펄스파의 주파수가 사인파의 주파수의 1/3배일 때는 사인파의 3개의 주기 중 1.5 개의 주기만이 관측되는 모습을 볼 수 있었다. <그림 3-4>는 펄스파와 사인파의 주파수가 1/4배와 네 배인 상황인데, 펄스파의 주파수가 사인파의 주파수의 1/3배일 때는 사인파의 4개의 주기 중 2 개의 주기만이 관측되는 모습을 볼 수 있었다. 하지만 <그림 3-3>과 <그림 3-4>, <그림 3-5> 모두 펄스파의 주파수가 사인파의 주파수보다 높을 때는 형용하기 어려울 정도로 복잡한 형태로 출력 신호가 관측되는 모습을 확인할 수 있었다.

1. 토의

첫 번째 실험은 n채널 E-MOSFET의 전달 특성 곡선을 알아보기 위한 실험이었는데 <그림 1>의 회로에서 VG의 크기를 0.1 V씩 올리면서 VGS의 변화에 따른 ID를 측정했기 때문에 E-MOSFET 전달 특성 곡선의 정확도를 높이기 위해서는 VG의 크기를 0.1 V보다 더 작게 올려서 더욱 정확한 추세선을 구할 수 있게 해야 한다. 이렇게 <그림 1>과 같이 회로를 구성하고 VGS의 변화에 따른 ID의 값을 측정하여 전달 특성 곡선을 구한다면 VGS(TH)를 알 수 있다는 장점이 있는데 실험에서 사용할 E-MOSFET의 VGS(TH)를 알고 있으면 실제로 우리가 실험한 아날로그 스위칭 실험 같은 실험 등에서 원하는 결과를 얻고 싶을 때 게이트 전압을 얼마나 인가해야 하는지 예측할 수 있다.

두 번째로 진행한 E-MOSFET 전압분배 바이어스 회로 실험에서는 <그림 2-1>과 같은 전압분배 바이어스를 구성하여 직류 전압원만 연결하였을 때, 게이트 전압이 실제 얼마로 측정되는지 알 수 있었고, 이를 이론 값과 비교하여 실험의 정확도를 확인해볼 수 있었다. 그런 다음, <그림 2-2>와 같이 커패시터와 부하저항, 교류 전압원을 연결해주어 교류 전압 증폭되는 회로를 만들어주었다. 이때, 커패시터는 직류 전압원의 방해를 막는 역할을 하고, 부하저항 RL에 인가되는 전압이 출력 전압 신호라고 생각할 수 있었다. 본 실험에서는 계속 같은 E-MOSFET를 사용하기 때문에 위의 첫 번째 실험에서 알게 된 E-MOSFET의 전달 특성 곡선을 이용할 수 있는데 <그림 1>과 달리 <그림 2-2>에서는 교류 전압원을 가해주기 때문에 VGS가 2.5 V의 직류 전압이 아니라 Vpp가 0.03 V인 사인파를 2.5 V만큼 평행이동한 전압이 걸리기 때문에 전달 특성 곡선을 해석할 때도 이를 고려해주어야 했다. 하지만, 첫 번째 실험을 통해 얻은 전달 특성 곡선의 추세선을 사용하기 보다는 2.5 V에 가까운 값들만 따로 뽑아서 만든 전달 특성 곡선의 추세선을 사용하여 VGS의 값에 따른 ID 값을 더 정확한 값을 얻고자 하여 <그래프 3>과 같이 만들고, 그 추세선을 사용하여 <표 4>를 구하였다. 이후엔 식 에 각각의 값을 대입하여 출력 전압의 첨두치를 계산하였는데 dID는 <표 4>에서 얻은 ID 값의 차이고, dVGS는 교류 전압원의 첨두치이므로 0.03 V를 대입하여 구하였다. 하지만 이렇게 구한 이론적인 출력 신호의 첨두치는 <표 5>에서 알 수 있듯이 너무나도 큰 오차를 보였다. 유력한 오차의 원인으로는 전달 특성 곡선의 범위를 잘못 설정하여 추세선을 구한 것 또는 계산 과정에서 단위를 간과한 것 등으로 생각해볼 수 있었다.

마지막으로 세 번째로 실험한 E-MOSFET 스위칭 회로에서는 펄스파의 Vpp가 VGS(TH)보다 커야지 출력 신호에서 on, off를 관찰할 수 있고 펄스파의 Vpp가 VGS(TH)보다 작으면 저항 R1에 아무런 신호도 인가되지 않아서 어느 지점에서나 0 V, 즉 off 상태로 나타날 것이라는 것을 생각해볼 수 있었고, 실험 결과를 통해 사인파의 주파수가 펄스파의 주파수의 정수배일 때는 최소한 한 사이클 이상이 연속적으로 관찰되며 펄스파의 주파수가 사인파의 주파수의 정수배일 때는 두 신호의 주파수가 같은 경우를 제외하고는 복잡하게 나타나는데 <그림 3-5>처럼 펄스파의 주파수가 사인파의 주파수에 비해 더 큰 정수배가 되면 될수록 더욱 복잡한 형태로 나타난다는 것을 알게 되었다.

두 번째 실험과 세 번째 실험을 통해 E-MOSFET이 이용될 수 있는 여러 가지 예시를 알아보았다. 두 번째 실험에서는 E-MOSFET의 전압분배 바이어스 회로에 커패시터와 부하저항, 교류 전압원을 연결하여 교류 증폭회로를 만들면, 저항 RD와 저항 RL의 크기를 달리하거나 인가하는 교류 전압의 Vpp를 조절하거나, 또는 다른 E-MOSFET을 사용하여 교류 신호가 증폭되는 정도를 변화시킬 수 있겠다는 생각을 해볼 수 있었다. 세 번째 실험에서는 E-MOSFET을 사용하여 스위칭 회로를 만든 다음, 펄스파와 사인파의 주파수를 달리하여 출력 신호의 변화를 관찰하였는데 펄스파의 주파수가 사인파의 주파수보다 정수배로 높을 때는 출력 신호의 형태가 복잡하다는 사실을 통해 펄스파의 주파수가 사인파의 주파수보다 정수배로 낮아야 적절한 스위칭을 할 수 있을 것 같다고 생각하였다.

1. 참고문헌

- Ramond A. Serway, John W. Jewett, 대학물리학2, 9판, 북스힐, 2017년, pg. 831-860

- Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 150-158

- 이준신, 회로이론실험, 2판, 두양사, 2009년, pg. 19-32, 131~137

- 최윤식, 기초 회로이론, 1판, 한빛아카데미, 2014년, pg. 192-195

- 서강대학교 실험물리학1 매뉴얼 #8