실험물리학 2

2주차 예비 레포트

<MOSFET(Metal Oxide Semiconductor Field Effect Transistor>

이름: 김나현

학번: 20191286

분반: 2분반

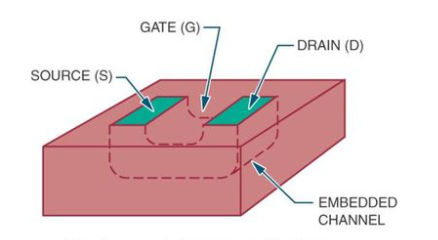
담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

제출일자: 2020년 9월 16일 수요일

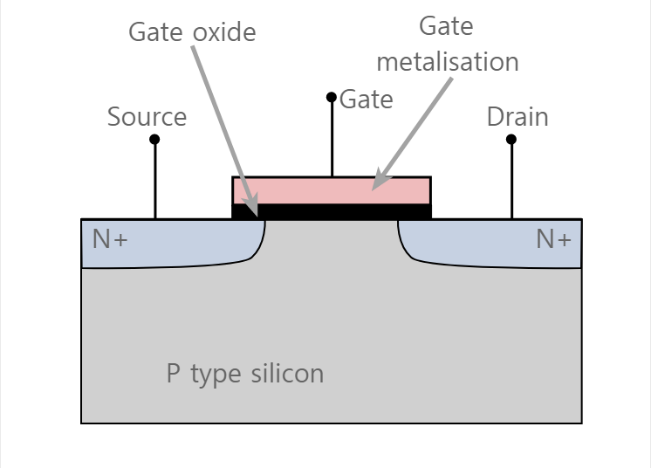
1. 실험 목표
2. MOSFET의 기본 작동원리를 배운다.
3. MOSFET을 적절하게 작동시키는 회로를 학습한다.
4. MOSFET의 기본 응용인 증폭과 스위칭 회로를 구성하고 확인한다.
5. 실험 이론
6. FET(전계 효과 트랜지스터)

전계 효과 트랜지스터(FET, Field Effect Transistor)는 1925년 줄리어스 릴렌필드(Julius Lillenfield)라는 사람에 의해 발명된 소자로, 바이폴라 트랜지스터(BJT)와 달리 반도체 내의 전기전도 과정에서 전자나 정공 중 다수 캐리어를 사용하는 반도체 소자이며 이러한 특징으로 인해 단극성(unipolar) 트랜지스터라고 불리기도 한다. 일반 트랜지스터가 전류를 증폭하는 데에 이용된다면 FET는 이와 달리 전압을 증폭되는 데에 되며, 증폭을 하는 용도 이외에도 스위치를 작동하게 하는 특성이 뛰어나 전자 스위치 회로에도 많이 이용된다. FET는 채널(channel)이라고 하는 전류 통로가 외부 전계에 의하여 제어되는 방법으로 인해 동작되고, 캐리어의 주입부를 소스, 유출부를 드레인, 외부 전계를 인가하는 곳을 게이트라고 했을 때 게이트의 구조에 따라 JFET(Junction FET)와 MOSFET을 포함하는 IG-FET(Insulate Gate FET) 등으로 나뉜다.

1. MOSFET(금속 산화물 반도체 전계 효과 트랜지스터, Metal Oxide Semiconductor Field Effect Transistor)

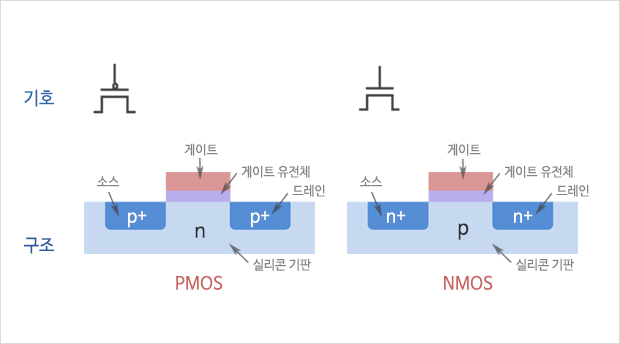
<그림 a> 도선에 연결된 n채널 JFET

위의 <그림 a>는 도선에 연결된 n채널 JFET로, n채널 JFET란 P형 물질로 이루어진 기판에 N형 물질로 이루어진 U자 모양의 채널을 만든 것이다. 이때, JFET에는 세 개의 전기적인 접속이 만들어지는데, 하나의 리드는 기판에 연결되어 게이트(gate, G)를 형성하고, 또 하나의 리드는 채널의 양 끝에 연결되어 소스(source, S)와 드레인(drain, D)을 형성하는데 채널은 대칭적이므로 어떤 리드가 소스와 드레인에 연결되느냐는 문제가 되지 않는다. 이처럼 게이트가 소스와 드레인 사이에 존재하는 JFET와 달리, 아래 <그림 b>을 보면 MOSFET은 게이트와 채널이 PN 접합을 이용하지 않고 산화물의 얇은 층, 즉 절연층에 의해 반도체 채널로부터 게이트가 전기적으로 절연되어 있다는 사실을 알 수 있다.



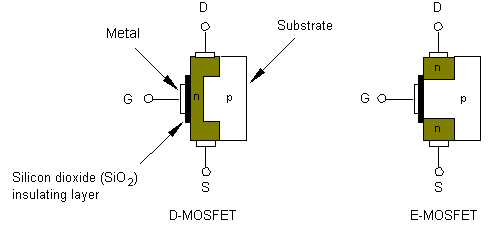
<그림 b> N채널 증가형 MOSFET의 단면도

MOSFET은 두 가지 기준으로 구분할 수 있는데 하나는 채널로 어떠한 물질을 사용하느냐에 따른 구분과 다른 하나는 동작을 위해 채널을 유기해야 할 필요가 있는지, 없는지에 따른 구분이다. MOSFET도 JFET와 마찬가지로 어떤 물질을 채널로 사용하느냐에 따라 P채널 MOSFET과 N채널 MOSFET으로 구분이 되는데 <그림 c>를 참고하면 P채널 MOSFET은 N형 기판 위에 P채널을 주입한 형태이고, 반대로 N채널 MOSFET은 P형 기판 위에 N채널을 주입한 형태임을 알 수 있다.



<그림 c> P-MOSFET과 N-MOSFET

MOSFET은 소스와 드레인 사이가 이어져, 채널이 형성되어 있는 공핍형 MOSFET과 소스와 드레인 사이가 이어져 있지 않아, 채널이 형성되지 않은 <그림 c>와 같은 증가형 MOSFET으로 구분된다. 공핍형 MOSFET은 원래 채널이 형성되어 있어서 소스, 드레인과 기판 사이에 역방향 바이어스만 걸어주면 게이트에 인가하는 전압의 크기에 비례하여 소스-드레인 사이의 전류가 흐르게 되지만 증가형 MOSFET은 채널이 형성되어 있지 않아 소스, 드레인과 기판 사이에 역방향 바이어스를 걸어주는 것뿐만 아니라 반전층을 형성하기 위한 최소 게이트 전압인 문턱 전압 이상을 게이트에 인가해주어 소스와 드레인 사이를 잇는 채널을 만들어주어야 한다. 이는 (3)에서 더욱 자세히 다루고, 우선 아래 <그림 d>를 통해 공핍형 MOSFET과 증가형 MOSFET을 확인해보자.



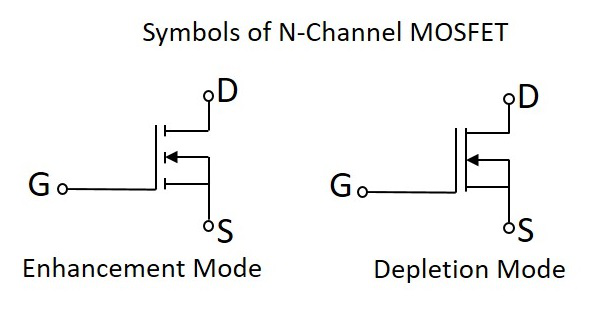
<그림 d> D-MOSFET, E-MOSFET

1. E-MOSFET, D-MOSFET

우선, 공핍형 MOSFET의 경우, 제조과정에서 채널을 미리 만들기 때문에 소스와 드레인이 채널 영역에 의해 서로 연결되어 있다. 그렇게 때문에 전류는 항상 소스와 드레인 사이의 채널을 통해서만 흐르고, 소스나 드레인에서 기판 쪽으로는 전류가 흐르지 않아야 한다. 따라서, 소스, 드레인과 기판의 PN 접합은 항상 역방향 바이어스 상태가 되어야 한다. N채널 공핍형 MOSFET를 예시로 설명하면, P형의 기판에는 0 V나 음의 전압이 인가되어야 하고, 게이트 전압이 음이면 공핍형으로 동작하고 양이면 증가형 MOSFET으로 동작하는 특성을 보인다. 게이트에 음의 전압이 인가되면 N채널 영역의 다수 캐리어인 전자가 기판 아래쪽으로 밀려나게 되어 그 자리는 공핍 영역이 형성되고, 채널 영역에는 다수 캐리어인 전자가 감소하게 되므로 결과적으로 드레인 전류의 크기 또한 감소하게 된다. 게이트에 인가하는 음의 전압이 커질수록 공핍 영역의 폭이 커지기 때문에 드레인 전류는 더욱 감소하므로 드레인 전류가 게이트에 인가되는 음의 전압의 크기에 비례하고, 게이트 전압에 의해 소스-드레인 사이의 전류를 조절할 수 있게 된다.

증가형 MOSFET도 공핍형과 마찬가지로 전류가 소스와 드레인 사이의 채널 영역을 통해서만 흘러야 하고 소스나 드레인에서 기판 쪽으로 전류가 흐르면 안 되므로 소스, 드레인과 기판의 PN 접합은 항상 역방향 바이어스 상태가 되어야 한다. 따라서 N채널 증가형 MOSFET의 경우, 위의 N채널 공핍형 MOSFET과 마찬가지로 P형 기판에 0 V 또는 음의 전압이 인가되어야 하지만 P채널 증가형 MOSFET의 경우, N형 기판에 양의 전압이 인가되어야 한다. 제조과정에서부터 채널이 주입되어 있는 공핍형 MOSFET과 달리, 증가형 MOSFET은 채널이 형성되어 있지 않으므로 N채널 증가형 MOSFET의 게이트 전극에 양의 전압을 인가하면 게이트 절연층 아래 채널 영역에 전자들이 모여 ‘반전층(inversion layer)’이라고 하는 것을 형성하는데, 이 상태를 채널이 형성된 상태라고 생각할 수 있게 된다. 채널이 형성된 이후, 드레인에 양의 전압이 인가되면 소스와 드레인 사이에 전류가 흐르게 되는데 이때, 증가형 MOSFET에서 채널을 형성하기 위한 최소 게이트 전압을 문턱 전압(threshold voltage)라고 하고 N채널 증가형 MOSFET의 문턱전압은 양수이고, P채널 증가형 MOSFET의 문턱전압은 음수이다.

이렇게 증가형 MOSFET은 전압을 가해주기 전까지 채널이 형성되어 있지 않고, 공핍형 MOSFET은 전압을 가해주지 않아도 채널이 이미 형성되어 있기 때문에 기호로 나타내면 다음 <그림 d>와 같다.



<그림 e> N채널 증가형 MOSFET, N채널 공핍형 MOSFET

1. E-MOSFET의 전기전달 특성

증가형 MOSFET은 소스, 드레인과 기판 사이의 역방향 바이어스를 걸어주어야 하는 것 이외에도 소스와 드레인을 잇는 채널을 만들기 위해 게이트에 인가해주어야 하는 최소 전압인 문턱 전압 이상의 전압을 게이트에 인가해주는지, 문턱전압 이하의 전압을 게이트에 전압을 인가해주는지와 드레인 전압의 크기에 따라 여러 가지 동작을 보인다.

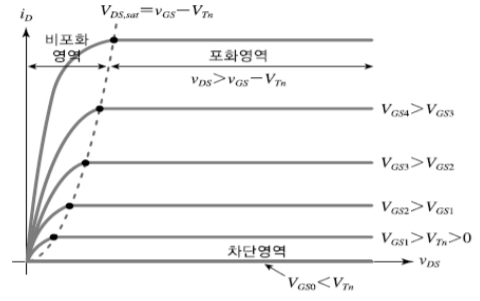
우선, 게이트 전압이 문턱 전압보다 작을 때는 차단상태, 게이트 전압이 문턱 전압보다 크거나 같을 때는 도통상태로 동작한다. 도통상태일 때는 드레인 전압의 크기에 따라 비포화 영역과 포화 영역으로 구분되게 되는데 이에 대해 더욱 자세히 알아보자.

비포화 동작 영역에서는 드레인 전류가 게이트 전압과 드레인 전압, 모두에 의해 영향을 받게 되는데 을 전자의 이동도, 를 게이트 절연층(산화막)의 정전용량, 을 절연층(산화막)의 유전율, 을 산화막 두께, MOSFET의 채널폭을 W, 채널 길이를 L이라고 했을 때,

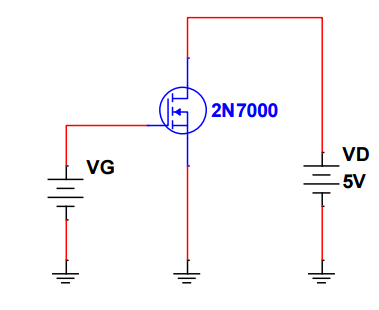
라는 식으로 드레인 전류를 계산할 수 있다. 포화 동작 영역에서는 드레인 전류가 드레인 전압에 무관하게, 게이트 전압에만 영향을 받으므로

이라는 식으로 계산할 수 있다.

아래 <그림 f>를 보면 게이트 전압이 문턱 전압보다 낮은, 차단 영역에서는 드레인 전류가 0 A이고 비포화 영역에서는 드레인 전류의 크기가 게이트 전압과 드레인 전압에 모두 영향을 받고, 포화 영역에서는 드레인 전류가 게이트 전압에 의해서만 영향을 받는다는 것을 알 수 있다. <그림 f>에서 점선으로 표시된 부분은 포화 영역과 비포화 영역의 경계로써, VDS,SAT=VGS-VTH인 값들의 궤적이다.

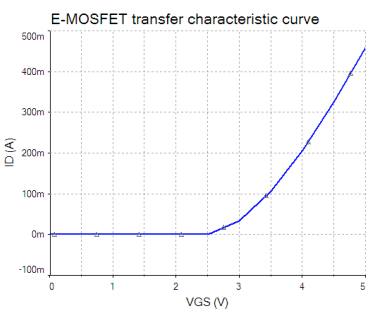


<그림 f> 증가형 N채널 MOSFET의 전류-전압 특성 곡선

1. 실험 장비 및 재료
2. 저항
3. 전원
4. 2N3904, MOSFET-2N7000
5. 실험 방법
6. E-MOSFET의 전기전달 특성

<그림 1-1>E-MOSFET 전달 특성 측정 회로

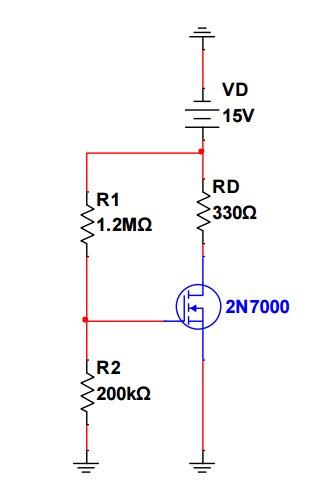
<그림 1-1>의 회로를 구성하고 VDD는 5 V로 고정한 후, VG를 조절하면서 VGS의 변화에 따른 ID를 측정하여 <그림 1-2>와 같은 E-MOSFET의 전달 특성 곡선을 측정한다.



<그림 1-2> E-MOSFET의 전달 특성 곡선

그 다음, 전달 특성 곡선이 의 형태라는 점을 참고하여 해당 전달 특성 곡선에서의 K 값을 구한다.

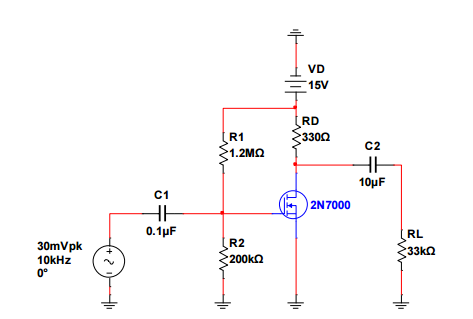
1. E-MOSFET 전압분배 바이어스



<그림 2-1> 전압분배 바이어스 회로

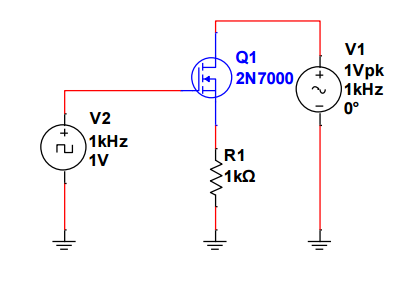
<그림 2-1>과 같은 회로를 구성한 후, 회로 상에서 ID, VGS를 측정하여 동작점을 파악한다. 이때, 이라는 식을 이용하여 계산할 수 있다.

그 다음, <그림 2-1>의 바이어스 회로에 교류 전원을 추가하여 아래 <그림 2-2>와 같은 회로를 구성한다. 이때, 직류 성분을 차단하기 위해 커패시터를 연결해야 하고, 커플링 커패시터의 출력부에 출력 신호가 인가될 부하 저항 RL을 추가해준다. 위의 설명대로 회로를 구성했다면 교류 전원을 인가하여 오실로스코프를 통해 입력, 출력 신호를 관찰하여 증폭률을 계산한다. 소자마다 특성 곡선이 다르기 때문에 동작점의 위치가 다를 수 있으며 이로 인해 신호 증폭이 잘 관측되지 않을 때는 입력 신호의 진폭을 키워서 신호 증폭을 관찰한다. 하지만 이때 너무 큰 신호를 인가하지 않도록 주의해야 한다. 증폭률의 측정값과 이론값을 비교하여 오차를 계산해본다.



<그림 2-2> MOSFET 교류 증폭회로

1. E-MOSFET 아날로그 스위칭



<그림 3> MOSFET 스위칭 회로

위의 <그림 3>과 같은 회로를 구성한다. 이때, 드레인에 인가되는 신호는 사인파이며, 사인파의 신호를 디지털화하기 위해서 게이트 전압은 펄스파로 인가한다. 이때, 게이트 전압이 VGS(th)보다 높으면 R1 양단의 전압 신호로 나타나게 될 것이다. 입력신호인 사인파는 1VPP, 1 kHz로 설정하고, 펄스파의 진동수와 전압을 바꿔가며 출력신호의 변화를 관찰해본다. 특히, 펄스파의 진동수가 사인파의 진동수, 즉 1 kHz의 1/2배, 1/3배, 1/4배, 2배, 3배, 4배, 10배일 경우에 나타나는 현상을 관찰해본다. 관찰 결과를 토대로 스위칭이 적절하게 작동할 수 있는 조건은 무엇인지 생각해본다.

1. 참고문헌

- Ramond A. Serway, John W. Jewett, 대학물리학2, 9판, 북스힐, 2017년, pg. 831-860

- Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 150-158

- 이준신, 회로이론실험, 2판, 두양사, 2009년, pg. 19-32, 131~137

- 최윤식, 기초 회로이론, 1판, 한빛아카데미, 2014년, pg. 192-195

- 서강대학교 실험물리학1 매뉴얼 #8