실험물리학 2

3주차 예비 레포트

<연산증폭기(Operational Amplifier) (1)>

이름: 김나현

학번: 20191286

분반: 2분반

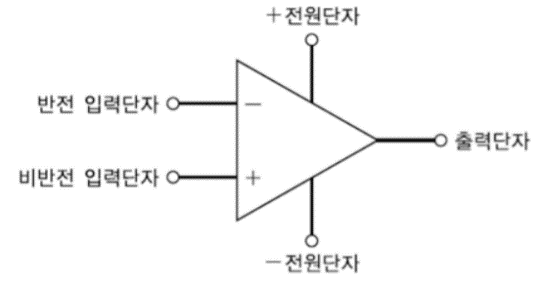
담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

제출일자: 2020년 9월 23일 수요일

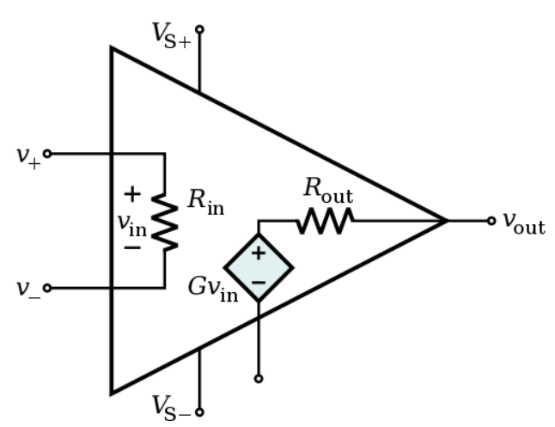
1. 실험 목표
2. 연산증폭기의 규격 및 기본적인 특성을 이해할 수 있다.
3. 연산증폭기를 이용한 기본적인 증폭기 회로를 구성하고 그 원리를 이해할 수 있다.
4. 실험 이론
5. 연산증폭기
6. 연산증폭기 규격 및 파라미터

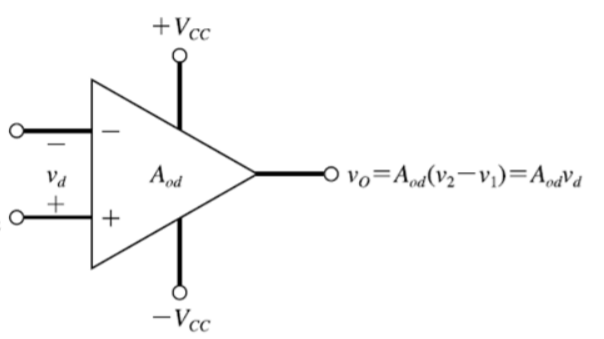
연산증폭기(operational Amplifier, op-amp)는 높은 입력 임피던스와 낮은 출력 임피던스를 갖는, 아주 높은 이득의 증폭기이다. 아래 <그림 a>를 보면 음의 입력을 반전(inverting) 입력단자라고 하고 이는 이 단자로 들어가는 입력 신호와 출력 신호의 위상이 180˚의 차이를 보여서 위상이 반전되기 때문이고, 양의 입력은 비반전(noninverting) 입력단자라고 하고 이는 이 단자로 들어가는 입력 신호와 출력 신호의 위상이 동일하여 위상이 반전되지 않기 때문이다. 이때, 입력단자로는 양의 직류 전압과 음의 직류 전압을 인가하고 출력 단자는 출력 신호가 나오는 단자이고, 전원 단자는 각각 +전원과 -전원이 인가되는 단자이다.



<그림 a> 연산증폭기의 기호 및 단자

아래 <그림 b>를 보면 연산증폭기는 크게 3개의 단으로 구성되어 있음을 알 수 있는데 연산증폭기의 입력단은 차동 증폭기이므로 인력 신호 사이의 차이, 즉 차동 입력 전압에만 영향을 받고 공통적인 신호에는 영향을 받지 않는다. 연산증폭기의 이러한 특성을 공통모드 제거(common-mode rejection)이라고 부르며 이로 인해 두 입력 모두에 공통적인 잡음은 거부되고 두 입력 사이의 차이만을 증폭시킬 수 있는 것이다. 이때, 차동모드 이득을 Ad라고, 공통모드 이득을 As라고하면 공통모드 제거비는 식 라고 표현할 수 있고 데시벨(dB)의 단위를 사용하여 나타내며 이 값이 클수록 공통모드 제거에 효과적인 회로라고 생각할 수 있다. 또한 연산증폭기의 가운데 단은 고이득 전압 증폭기이고, 마지막 단은 출력 증폭기로 연산증폭기에 저출력 임피던스를 부여하기 위해 이용된다. 따라서 아래 <그림 c>로 예를 들어보면 <그림 c>의 회로에서 두 입력단자에 인가된 신호의 차는 vd이고 이를 연산증폭기 자체 이득(만큼 증폭한 값이 단일신호로 출력되므로 출력신호를 vo라고 하면 식 라고 표현할 수 있다.



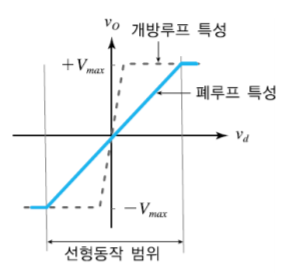
<그림 b> 이상적 연산증폭기(ideal op-amp)의 구조

<그림 c> 연산증폭기의 기능

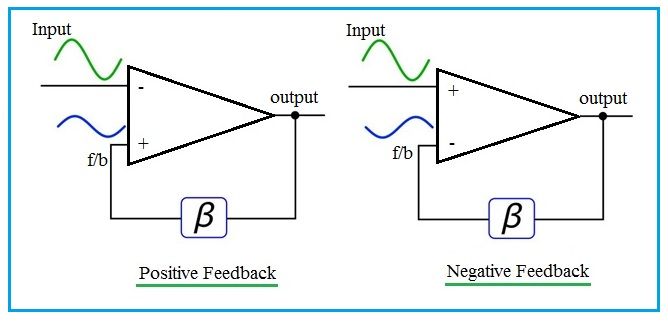
위의 <그림 b>는 가장 이상적으로 동작하는 이상적 연산증폭기로, 입력 임피던스를 Rin, 출력 임피던스를 Rout이라고 했을 때 출력 증폭기 부분에 매우 낮은 출력 임피던스를 갖게 하여 출력신호를 증폭시킨다고 하였다. 이상적 연산증폭기는 각각의 입력 전류가 0 A으로 수렴하고, 열린 전압이득 G가 주파수에 독립적이면서 무한대에 가깝다는 특성과 두 입력신호 사이의 전압이 0 V로 같다는 특성이 있다. 이러한 특성으로부터 Rin과 대역폭, 열린 전압이득 G는 무한대로 발산하며, Rout은 0에 수렴하고 두 입력전압이 거의 같아야 함을 알 수 있다. 또한 이는 이상적인 연산증폭기이므로 노이즈 제거가 우수하여 공통모드 제거비가 높아야 하므로 노이즈는 0으로 수렴하고, 공통모드 제거비는 무한대로 발산해야 한다. 따라서, 연산증폭기의 특성을 나타내는 파라미터로는 위에서 언급하였듯이 열린 전압이득 G, 입력 임피던스 Rin, 입력 바이어스 전류, 출력 임피던스 Rout, 공통모드 제거비, 대역폭, 입력 오프셋 전류, 입력 오프셋 전압 등이 있다.

1. 귀환(feedback)

위에서 예를 들은 이상적인 연산증폭기는 open-loop 회로였지만 이는 매우 작은 입력전압에 대해서는 출력이 포화되어 선형동작을 상실하게 된다. 따라서 <그림 d>와 같이 폐루프 회로를 구성하면 전압 이득은 작아지는 대신 증폭 회로의 이득이 일정해지는 선형동작 범위가 확대되어 안정성을 확보할 수 있게 된다. 이때, 개루프와 폐루프는 되먹임 또는 저항과 같은 귀환 요소의 유무로 구분할 수 있고, <그림 e>와 같이 귀환은 또 방법에 따라 두 가지로 나눌 수 있다. 양의 귀환, 즉 정귀환은 출력 신호가 다시 귀환 신호로써 비반전 입력 단자에 인가되는데 이 결과 입력 신호와 출력 신호의 위상이 달라지지 않게 되지만 음의 귀환, 즉 부귀환은 출력 신호가 귀환 신호로서 반전 입력 단자에 인가되어 그 결과 입력 신호와 출력 신호의 위상이 180도 반전되게 된다. 따라서 <그림 d>의 왼쪽 회로는 비반전 연산증폭기, 오른쪽 회로는 반전 연산증폭기라고 할 수 있다.



<그림 d> open-loop와 closed-loop의 선형동작 범위 차이

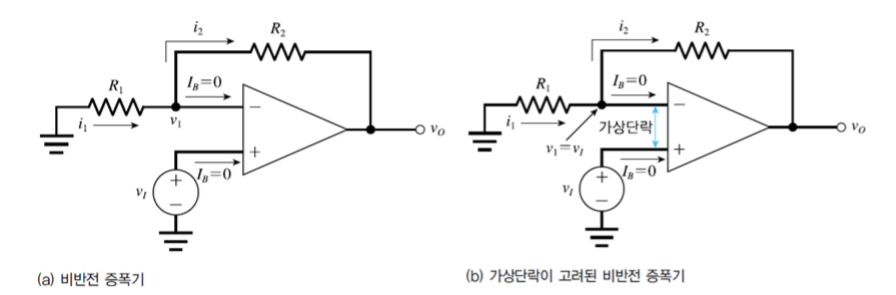


<그림 e> positive feedback과 negative feedback op-amp

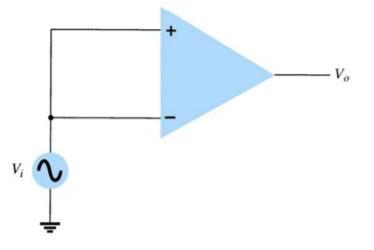
1. 기본 연산증폭기 회로
2. 비반전 증폭기

두 입력단자의 입력 전압의 절댓값이 거의 같아서 두 입력단자 사이의 전압이 0 V에 가까운 현상은 두 단자가 단락된 것처럼 보인다. 이때, 해석을 용이하게 하기 위해서 두 단자가 실제로 단락되었다고 가정하는 것이 가상단락(virtual short)이다.

<그림 f>의 (a)의 회로에서 저항 R1에 흐르는 전류 i1은 옴의 법칙에 의해 이라는 식으로 구할 수 있고, 이때 v1과 vi가 단락되어 있다고 가정하고 출력 전압을 Vo라고 하면 저항 R2에 흐르는 전류 i2는 이라는 식으로 구할 수 있다. 폐루프 이득은 출력 신호를 입력 신호로 나눈 라는 식으로 구할 수 있는데 이때, 이기 때문에 =1+라는 식으로 구할 수 있다. 따라서 전압 이득, 즉 증폭률이 무조건 1 이상이 되므로 비반전 증폭기 회로에서는 입력 신호에 비해 증폭되어 출력되는 출력 신호를 관찰할 수 있다.



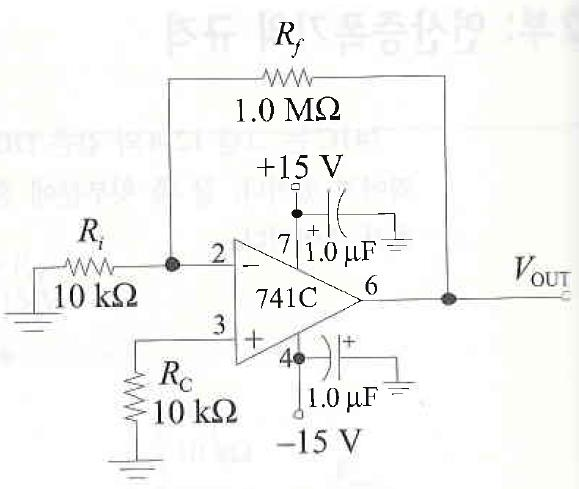
<그림 f> 비반전 증폭기 회로

1. 공통모드 동작

<그림 g> 공통모드 입력 차동 증폭기

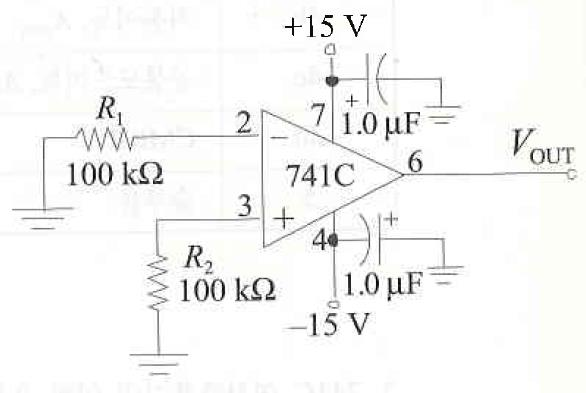
위의 <그림 g>처럼 같은 위상과 크기가 동일한 두 신호가 입력 신호가 되면 입력 신호 전체가 공통적이어서 잡음이라고 판단되어 서로 상쇄되고, 거의 증폭되지 않게 된다. Vc는 Vi1과 Vi2의 평균이므로 Vi1과 Vi2가 같은 공통모드 동작 시에는 Vc가 Vi가 되고 공통모드 전압 이득 Ac는 출력 전압을 입력 전압 Vi로 나눈 값과 같게 된다. 일반적인 상황에서는 이렇게 두 신호의 위상과 크기가 정확히 같지 않으면 모든 신호가 상쇄되는 것은 아니므로 이렇게 공통모드 전압 이득을 구하고, 위에서 언급한대로 식 을 이용하여 차동 전압 이득을 구하면 두 값을 나누어서 CMRR, 공통모드 제거비를 계산할 수 있다.

1. 실험 장비 및 재료
2. 실험 장비
3. NI ELVIS
4. 오실로스코프: PHILIPS 60 MHz Digital Storage Oscilloscope PM3335
5. 함수발생기: EZ FG-8002
6. 실험 재료
7. 저항, 커패시터
8. LM741C 연산증폭기
9. 실험 방법
10. 비반전 증폭기 회로에서의 Vos 측정을 위한 실험



<그림 1> Vos 측정을 위한 비반전 증폭기 회로

이상적인 연산증폭기에서는 입력이 0 V이면 출력도 0 V가 되지만 실제로는 차동 증폭기 입력단의 베이스와 이미터 사이의 전압의 차로 인해 차동 입력 전압을 가하지 않은 상태에서도 작은 직류 전압이 발생한다. 연산증폭기의 규격표에 명시되어 있는 입력 오프셋 전압(input offset voltage)는 차동 출력을 0 V로 만들기 위해 입력 단자 사이에 요구되는 차동 직류 전압인데 일반적으로 2 mV나 그 이하의 값을 가지고 이상적인 연산증폭기에서는 0 V를 보인다. 출력 전압 Vout을 폐루프 이득으로 나누어 줌으로써 입력 오프셋 전압 Vos을 구할 수 있는데 비반전 증폭기의 폐루프 이득 ACl(NI)은 식 을 통해 구할 수 있다.

1. Ios와 Ibias 측정을 위한 실험

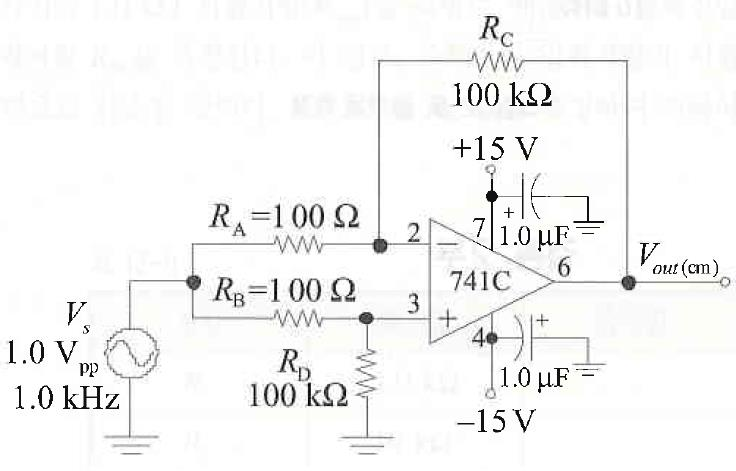
<그림 2> Ios와 Ibias 측정을 위한 회로

입력 바이어스 전류(input bias current, Ibias)는 증폭기의 첫 번째 단을 적절히 동작시키기 위해서 입력 증폭기에 입력하기 위한 직류 전류이며 이 값은 두 입력단자에서의 전류의 평균 값이므로 식

을 통해 구할 수 있다. 이때, I1과 I2를 구하기 위해서는 저항 R1과 저항 R2 양단에 걸리는 전압을 각각 측정하여 옴의 법칙을 이용해 각 저항에 흐르는 전류를 구하면 된다. 입력 오프셋 전류(input offset current, Ios)는 출력 전압이 0 V로 관찰될 때의 두 입력 전류 사이의 차이를 뜻한다. 이상적으로는 두 입력 바이어스 전류가 같을 때 그 전류 간의 차이가 0이지만 실제로는 연산증폭기에서 입력 바이어스 전류가 정확히 일치할 수 없기 때문에 출력 전압이 0 V가 될 때의 두 입력 전류의 차를 구하여 Ios를 계산한다.

1. 연산증폭기의 공통모드 제거비 측정을 위한 실험

연산증폭기의 입력단은 차동 증폭기이기 때문에 두 입력 신호의 차이에 대해서만 반응하여 차동 입력 전압만을 증폭하고, 공통적인 입력 신호에 대해서는 영향을 받지 않기 때문에 출력이 되지 않는다. 공통모드 신호를 제거하는 정도를 공통모드 제거비(CMRR, common-mode rejection ratio)라고 한다. <그림 3>의 회로에서 CMRR을 구하기 위해서는 Rc를 RA로 나누어 차동 이득 Av(d)를 구하고 입력 전압과 출력 전압을 측정하여 공통모드 이득 Av(cm)을 구한 다음, 두 값을 나누어 CMRR을 구하는데 CMRR을 데시벨 단위로 표현하려면

의 식을 사용해야 한다.

<그림 3> 연산증폭기의 공통모드 제거비 측정을 위한 회로

1. 참고문헌

-장학신 외 7명, 현대 전자회로, 1판, 광문각, 2006년, pg. 728-730

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 217-221