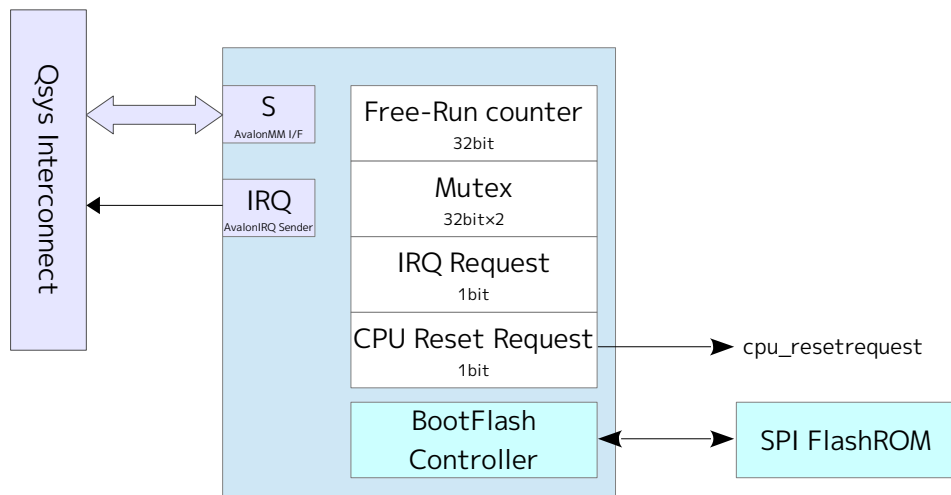


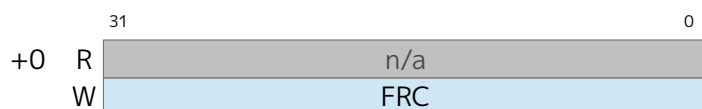
## ●全体ブロック図



## ●レジスタマップ

	31	16 15				9	8	7	1 0	
+0	FRC									
+4	MESSAGE									
+8	OWNER					VALUE				
+C	n/a									SW
+10	n/a					IRQ ENA	n/a	RDY	SS	DATA
+14	KEY					n/a				RST
+18	n/a									
+1C	n/a									

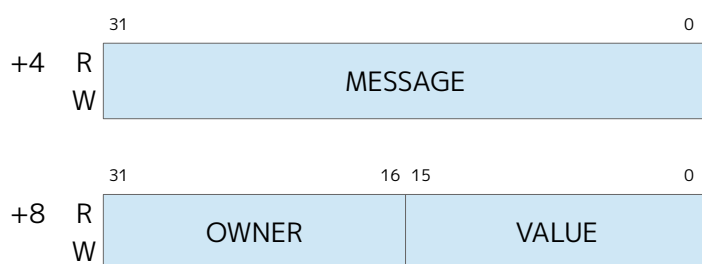
## ・FRCレジスタ



### FRC - フリーランカウンタレジスタ

32ビット長の符号無し整数で、ペリフェラル動作中は常に1クロック毎のカウントアップ動作を行うフリーランカウンタのスナップショット。書き込みは無効。

## ・Mutexレジスタ



### MESSAGE - Mutexメッセージレジスタ

32ビット長の符号無し整数で、自由に読み書きすることができる。

### OWNER - Mutexオーナー保持レジスタ

16ビット長の符号無し整数で、オーナーのIDを保持する。

VALUEが0以外の場合、OWNERフィールドが一致する書き込みのみが有効で、それ以外の書き込みはブロックされる。

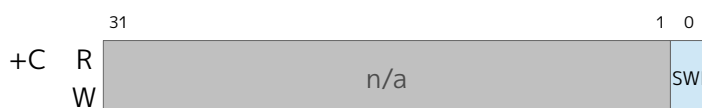
### VALUE - Mutex値保持レジスタ

16ビット長の符号無し整数で、Mutexの状態を保持する。

VALUEが0以外の場合、OWNERフィールドが一致する書き込みのみが有効で、それ以外の書き込みはブロックされる。

OWNERレジスタと合わせて32ビットでの読み書きを行うことで、アトミックなアクセスを保証する。

## ・SWIレジスタ



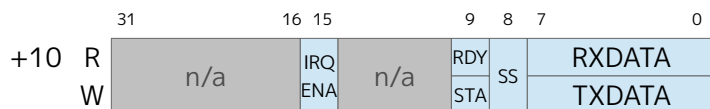
### SWI - ソフトウェア割り込みレジスタ

プロセッサに対してソフトウェアからの割り込みを発生する。

'0': クリア ※初期値

'1': IRQを発行

## ・Flashアクセスレジスタ



### IRQENA - 割り込み有効レジスタ

SPI Flashのアクセスが完了したときに割り込みを発行する。

'0': 割り込み無効 ※初期値

'1': 割り込み有効

RDYが'1'の時に割り込みが発生するため、STAの書き込みと同時に有効にしなければならない。

### RDY - ペリフェラルレディレジスタ

このレジスタが'0'の時はアクセス実行中またはペリフェラルリセット状態で、ペリフェラルへの全ての書き込みがブロックされる。

### STA - アクセススタートレジスタ

RDYが'1'の時にこのレジスタへ'1'を書き込むとSPI Flashへの通信を開始する。

### SS - スレーブセレクトレジスタ

SPI Flashデバイスを選択するレジスタ。

'0': SPI SS\_nをネゲート ※初期値

'1': SPI SS\_nをアサート

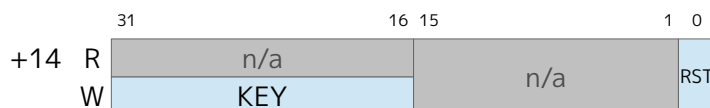
### RXDATA - 受信データバイトレジスタ

受信したデータバイトを読み出すレジスタ。RDYが'1'の時に有効な値を返す。

### TXDATA - 送信データバイトレジスタ

送信するデータバイトを書き込むレジスタ。STAに'1'を指示した時にこのフィールドの値を取り込む。

## ・リセットレジスタ



### KEY - 書き込みキーレジスタ

リセットレジスタへの書き込みを許可するキーレジスタ。このフィールドが予め決められた値と一致する場合の書き込みのみ、RSTレジスタへの書き込みが実行される。  
デフォルト設定では0xdead。

### RST - リセットレジスタ

プロセッサに対してリセット要求を発行する。

'0': クリア ※初期値

'1': リセット要求

このレジスタによるリセットはプロセッサ固有のリセットを意図する。そのため、プロセッサはこのリセット要求を受け取った際にもバストランザクションや命令パイプラインの動作を続行し、安全にリセットベクタへの再エントリを行わなくてはならない。

NiosIIの場合はcpu\_resetrequestオプションを利用すること。