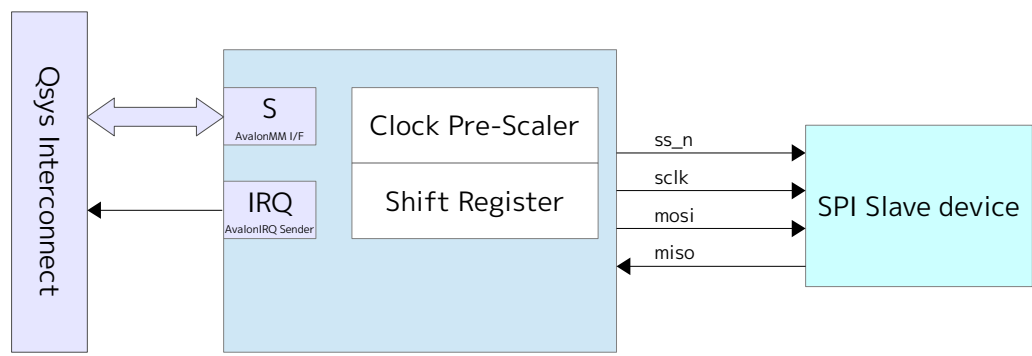


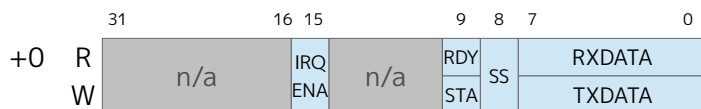
●全体ブロック図



●レジスタマップ

	31	16	15	12	11	9	8	7	0
+0	n/a		IRQ	n/a		RDY	SS	DATA	
+4	n/a		RVS	n/a	MODE	n/a		CLKDIV	

・SPIアクセスレジスタ



IRQENA - 割り込み有効レジスタ

SPIバスの通信が完了したときに割り込みを発行する。

'0': 割り込み無効 ※初期値

'1': 割り込み有効

RDYが'1'の時に割り込みが発生するため、STAの書き込みと同時に有効にしなければならない。

RDY - ペリフェラルレディレジスタ

このレジスタが'0'の時はアクセス実行中またはペリフェラルリセット状態で、ペリフェラルへの全ての書き込みがブロックされる。

STA - アクセススタートレジスタ

RDYが'1'の時にこのレジスタへ'1'を書き込むとSPIバスの通信を開始する。

SS - スレーブセレクトレジスタ

SPIデバイスを選択するレジスタ。

'0': SPI SS_nをネゲート ※初期値

'1': SPI SS_nをアサート

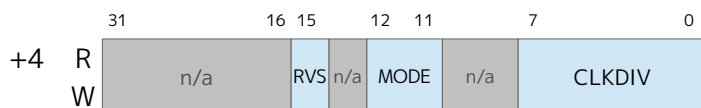
RXDATA - 受信データバイトレジスタ

受信したデータバイトを読み出すレジスタ。RDYが'1'の時に有効な値を返す。

TXDATA - 送信データバイトレジスタ

送信するデータバイトを書き込むレジスタ。STAに'1'を指示した時にこのフィールドの値を取り込む。

・SPI設定レジスタ



RVS - ビットリバースレジスタ

SPI通信のビット順を入れ替えを設定するレジスタ。

'0': MSBファーストで通信 ※初期値

'1': LSBファーストで通信

MODE - SPIモードレジスタ

SPI通信のモードを設定するレジスタ。

00: モード0 (正パルス、ラッチ先行) ※初期値

01: モード1 (正パルス、シフト先行)

10: モード2 (負パルス、ラッチ先行)

11: モード3 (負パルス、シフト先行)

CLKDIV - プリスケアラレジスタ

SPI通信のクロック速度を設定するプリスケアラ。通信速度は次の式により決定する。

$$\text{bitrate[bps]} = \text{clock[Hz]} / ((\text{CLKDIV} + 1) \times 2)$$

初期値は合成時にDEFAULT_REG_BITRVS、DEFAULT_REG_MODE、DEFAULT_REG_CLKDIVの各オプションで設定することもできる。

●変更履歴

2017/02/20

Rev.2リリース / s.osafune

16.1対応およびバージョン名の変更

2015/05/26

Rev.1リリース / s.osafune