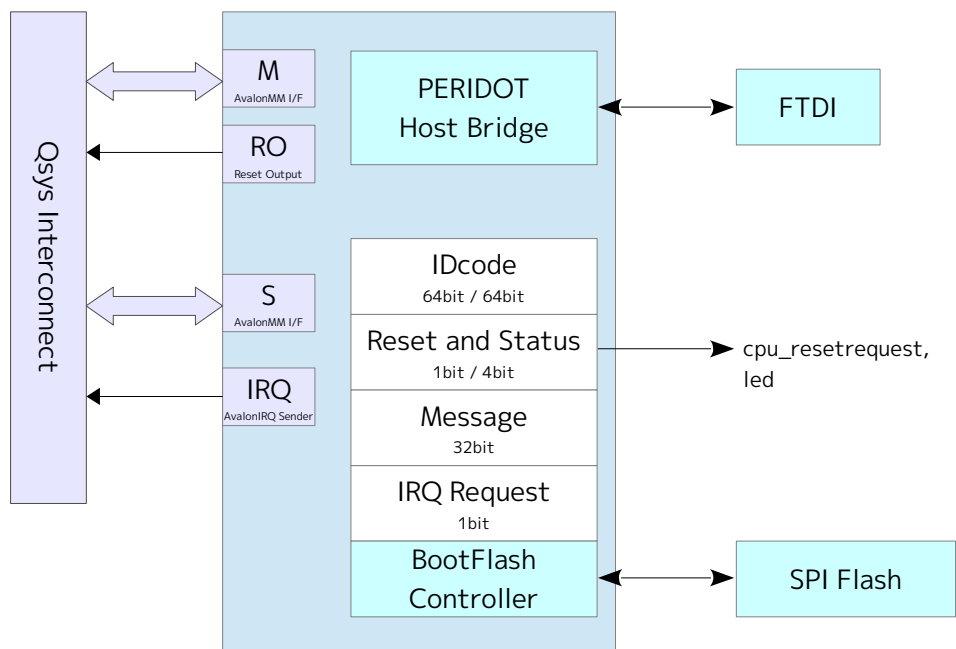


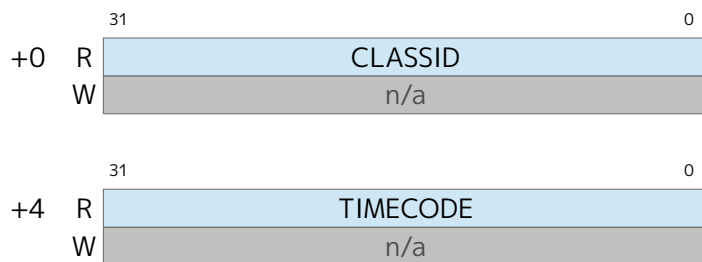
●全体ブロック図



●SWIレジスタマップ

	31	16	15	14	12	11	9	8	7	3	0		
+0	CLASSID												} SystemIDペリフェラルと同じ仕様 ※ただしクラスが異なるのでIDEからは認識できない
+4	TIMECODE												
+8	UID												
+C													
+10	KEY		UID VALID	FEATURE ENA	BOOT IMG	n/a	RST	n/a	LED				
+14	n/a		IRQ ENA	n/a		RDY	SS	DATA					
+18	MESSAGE												
+1C	n/a										SWI		

・システムIDレジスタ



CLASSID - クラスIDレジスタ

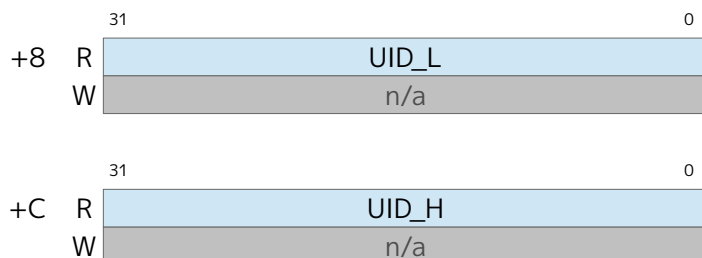
32ビット長の符号無し整数で、ペリフェラル生成時に任意の値が設定される。

上位12ビットは0x72A（PERIDOTコンフィグレーション識別子）、下位20ビットがクラスコードを示す。このレジスタが同一値のコンフィグレーションはソフトウェアバイナリ互換であることが求められる。書き込みは無効。

TIMECODE - 生成タイムコードレジスタ

32ビット長の符号無し整数で、ペリフェラル生成時のQsys GENERATION_IDが設定される。PERIDOTコンフィグレーションデータでは、リビジョン管理番号として使用する。書き込みは無効。

・UIDレジスタ



UID - チップユニークIDレジスタ

64ビット長の符号無し整数で、UID_Lには下位32bit、UID_Hには上位32bitが格納される。UIDのデータが有効な場合はリセットステータスレジスタのUIDVALIDビットがアサートされる。

UID取得をサポートしていないデバイスではUID_H/UID_Lともに0xffffffffが返る。

生成時にUIDを無効にしている場合、このレジスタで返される値は不定。

書き込みは無効。

UID取得が可能なデバイスではリセットステータスレジスタのFEATUREENAのUIDビットが'1'にアサートされる。

・リセットステータスレジスタ

		31		16	15	14	12	11		8		3	0
+10	R	n/a				UID VALID	FEATURE ENA	BOOT IMG	n/a	RST	n/a	LED	
	W	KEY				n/a							

KEY - 書き込みキーレジスタ

リセットレジスタへの書き込みを許可するキーレジスタ。このフィールドがQsysで指定された値と一致する場合の書き込みのみ、RSTレジスタへの書き込みが実行される。
生成時に0x0000が設定されていた場合、RSTレジスタへの書き込み保護は行われない。
デフォルト設定では0xdead

UIDVALID - UIDデータ有効レジスタ

UIDレジスタの値が有効な場合にアサートされる。書き込みは無効。

FEATUREENA - 機能有効レジスタ

生成時に有効になっている機能を示唆する。このレジスタが'0'（無効）になっている機能のレジスタアクセスは全て無視される。書き込みは無効。

bit14 : UID読み出し機能
bit13 : SPI Flashアクセス機能
bit12 : メッセージおよびソフトウェア割り込み機能

BOOTIMG - コンフィグレーションイメージレジスタ

Qsysでデュアルコンフィグレーション機能を有効にした場合、どちらのコンフィグレーションイメージからブートしたのかを示唆するレジスタ。Qsysで機能を無効にした場合、常に'1'が返る。書き込みは無効。

'0' : ブートイメージ0
'1' : ブートイメージ1、またはデュアルコンフィグレーション無効

RST - リセット要求レジスタ

プロセッサに対してリセット要求を発行する。

'0' : クリア ※初期値
'1' : リセット要求

このレジスタによるリセットはプロセッサ固有のリセットを意図する。そのため、プロセッサはこのリセット要求を受け取った際にもバストランザクションや命令パイプラインの動作を続行し、安全にリセットベクタへの再エントリを行わなくてはならない。

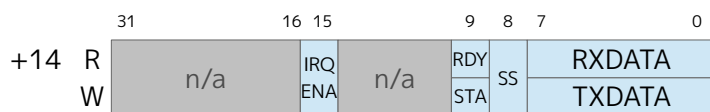
NiosIIの場合はcpu_resetrequestオプションを利用すること。

LED - ステータスLEDレジスタ

LEDポートへの出力を行う。このレジスタはKEYレジスタフィールドによる保護は行われない。
各ビットともに'0'で消灯、'1'で点灯する。

'0' : クリア ※初期値
'1' : 点灯

・Flashアクセスレジスタ



IRQENA - 割り込み有効レジスタ

SPI Flashのアクセスが完了したときに割り込みを発行する。

'0': 割り込み無効 ※初期値

'1': 割り込み有効

RDYが'1'の時に割り込みが発生するため、STAの書き込みと同時に有効にしなければならない。

Qsysでメッセージおよびソフトウェア割り込み機能を無効にした場合、この機能も同時に無効になる。

RDY - ペリフェラルレディレジスタ

このレジスタが'0'の時はアクセス実行中またはペリフェラルリセット状態で、ペリフェラルへの全ての書き込みがブロックされる。

STA - アクセススタートレジスタ

RDYが'1'の時にこのレジスタへ'1'を書き込むとSPI Flashへの通信を開始する。通信速度は最大40Mbps。

SS - スレーブセレクトレジスタ

SPI Flashデバイスを選択するレジスタ。

'0': SPI SS_nをネゲート ※初期値

'1': SPI SS_nをアサート

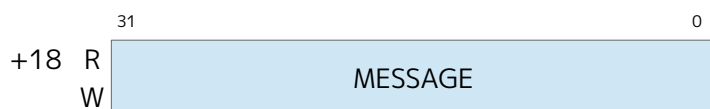
RXDATA - 受信データバイトレジスタ

受信したデータバイトを読み出すレジスタ。RDYが'1'の時に有効な値を返す。

TXDATA - 送信データバイトレジスタ

送信するデータバイトを書き込むレジスタ。STAに'1'を指示した時にこのフィールドの値を取り込む。

・メッセージレジスタ



MESSAGE - メッセージレジスタ

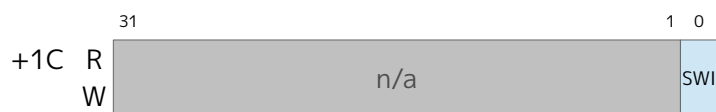
32ビット長の符号無し整数で、自由に読み書きすることができる。PERIDOTとホストPC間でのハンドシェイク・メッセージで使用される。

32ビット幅での読み書きを行うことで、アトミックなアクセスを保証する。

Qsysで機能を無効にした場合、このレジスタは存在しない。

通信フローについては別紙資料を参照。

・SWIレジスタ



SWI - ソフトウェア割り込みレジスタ

プロセッサに対してソフトウェアからの割り込みを発生する。

'0': クリア ※初期値

'1': IRQを発行

このレジスタはメッセージ機能と合わせて、クライアント側との通信機能を提供する。
Qsysで機能を無効にした場合、このレジスタは存在しない。

●変更履歴

- 2017/02/20
ホストブリッジ Rev.1リリース / s.osafune
SWIを統合、16.1対応およびバージョン名の変更
- 2016/01/08
SWI Rev.3リリース / s.osafune
- 2015/05/26
SWI Rev.1リリース / s.osafune