(운영체제 Homework #1)

< Test TLB 보고서 >

소프트웨어학과 20162820 김영민

★ 목 표 : TLB miss의 비용을 측정하고 현상을 설명 ★

- ◎ 자신의 실행 환경
- 알아낸 만큼 설명
- ◎ 여러 가지 경우로 실행
- a) map size 여러 가지 변경
- b) stride를 여러 가지로 변경
- ◎ 결과를 그래프로 그림
- 구글 스프레드시트를 이용한 그래프 완성
- ◎ 분석내용 설명
- 실행환경의 tlb구조
- 실행환경의 캐시라인의 크기

◎ 자신의 실행 환경 ◎

< 알아 낸만큼 설명 >

PC: Lenovo 아이디어패드 L340-15IRH i5 LEGEND노트북

환경: Linux Ubuntu 16.04

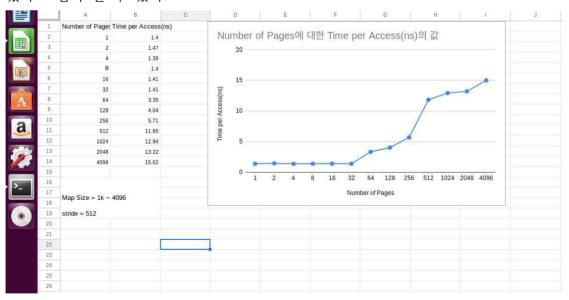
프로세서: Intel® Core™ i5-9300H Processor (8M Cache, up to 4.10 GHz)

메모리 : 8GB DDR4

캐시 : 8 MB Intel® Smart Cache

< 알아낸 만큼 설명 >

MMU가 활성화되고 가상 메모리에 액세스 할 때 MMU는 가상 주소를 실제 주소로 변환해야하는데 MMU는 가상 주소와 해당 물리적 주소 사이의 매핑을을 하게 된다. RAM 액세스 속도가 느리기 때문에 매핑이 TLB에 캐시됩니다. 이는 이후 매핑을하면 TLB에서 확인이 가능하고 TLB Hit가 되면RAM에 액세스 할 필요가 없음을 알 수 있다. 하지만 이번 과제에서 실시한 TLB test 결과 내 PC의 TLB Level 1 및 tlb Level 2 캐시 크기가 32kb와 256kb 후에 time per element(ns)의 시간이 뚜렷한 하락을 보였다. 따라서 TLB test(Map Size: 4096 / stride : 512)결과 캐시 szie는 L1(tlb level 1)은 32kb데이터 캐시가 있고 L2(tlb level 2)는 256kb 데이터 캐시가 있다고 짐작 할 수 있다.



◎ 여러 가지로 실행 ◎

◆ map size 여러 가지 변경

1) Map Size : 256kb인 경우

2) Map Size: 1024kb인 경우

3) Map Size: 4096kb인 경우

총 3가지의 Map size로 실험해 봤으며, 각각 크기 별로 Map Size 설정 후 stride를 변경해가며 입력을 해주었다. 256kb인 경우 크기가 너무 작아 1 Level Tlb의 경우만 대충 관찰 가능하였고 1024kb와 4096kb를 통해 access time이 급격히 증가하는 부분을 발견할 수 있었다.

◆ map size 여러 가지 변경

1) Map Size : 256kb인 경우 stride : 16, 32, 64, 128, 512

소감: map size가 작다보니 급격히 access time이 증가하는 부분이 확실하게 두 레벨로 보이진 않았으나 공통적으로 32kb에서 64kb사이에 급격히 증가하는 것을 확인 할 수 있었다. 따라서 1 - level tlb의 캐시는 32kb라고 생각했다.

2) Map size: 1024kb인 경우 stride: 8, 32, 64, 256

소감: map size를 M단위로 키우니 2- level tlb가 보이기 시작하였다. 1 level tlb는 앞선 256kb 와같이 32kb에서 access time 급격히 증가하였고, 64stride에서 256kb부분에서 급격히 access time이 증가하는 것을 보았다.

3) Map size : 4096kb인 경우

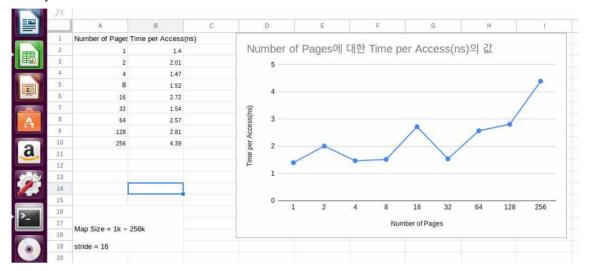
stride: 16, 32, 64, 128, 256, 512

소감: map size를 4M로 키운 후 tlb test결과 확연히 access time이 증가하는 부분이 보였다. 특히 128stride에서 <u>32kb와 256kb에서 가장많이 증가하였고, 이로써 Level -1과</u> level -2를 확인 할 수 있었다.

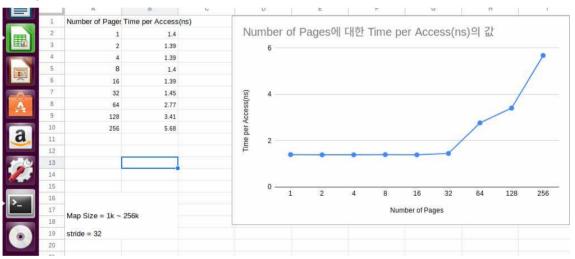
◎ 결과를 그래프로 설명 ◎

● Map Size : 256kb ●

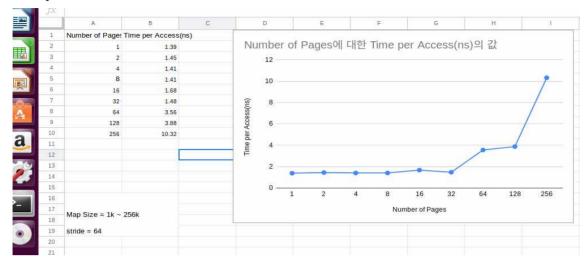
< Map Size : 256kb stride : 16>



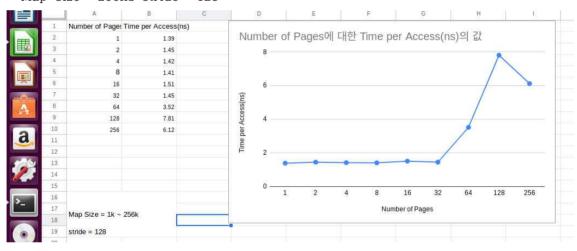
< Map Size : 256kb stride : 32 >



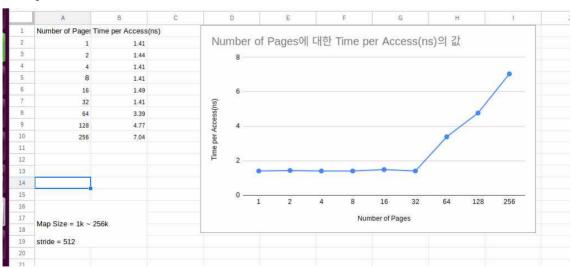
< Map Size : 256kb stride : 64 >



< Map Size : 256kb stride : 128 >

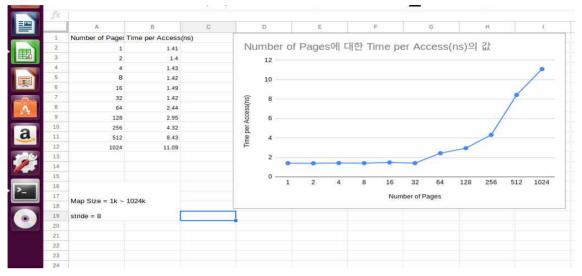


< Map Size : 256kb stride : 512 >

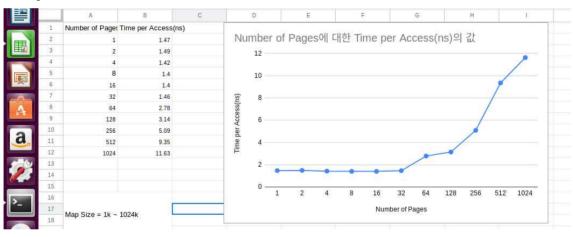


● Map Size: 1024kb ●

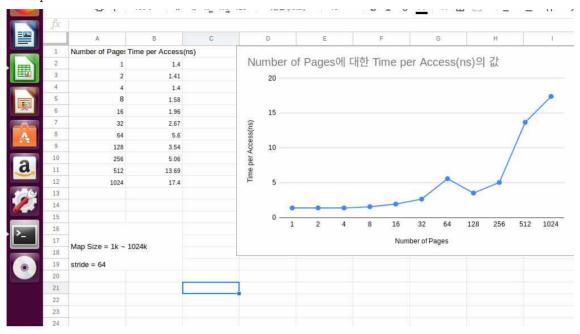
< Map Size : 1024kb stride : 8 >



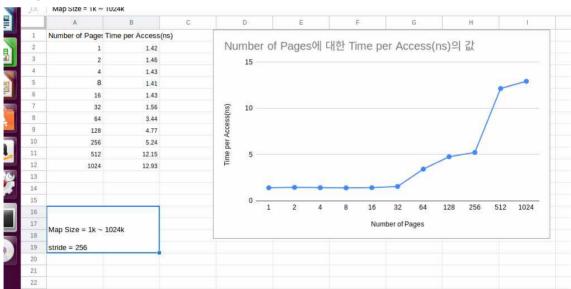
< Map Size: 1024kb stride: 32 >



< Map Size: 1024kb stride: 64 >

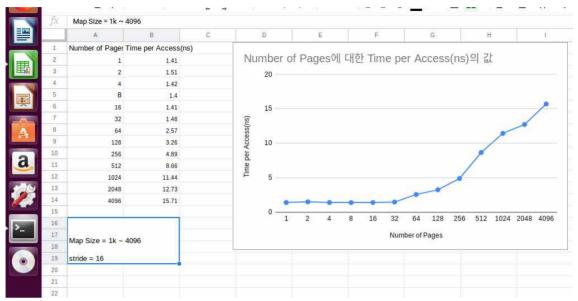


< Map Size : 1024kb stride : 256 >

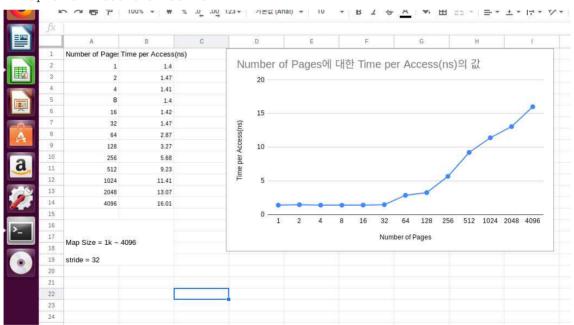


■ Map Size : 4096kb ●

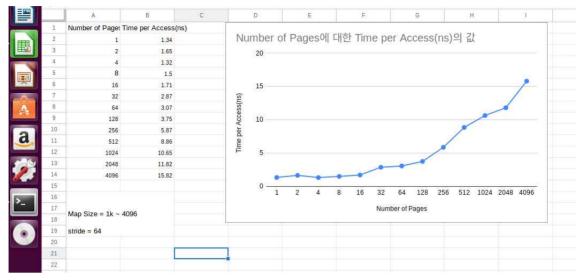
< Map Size : 4096kb stride : 16 >



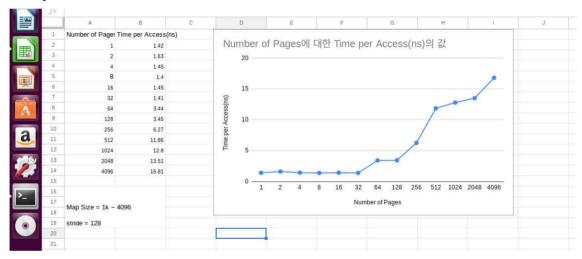
< Map Size : 4096kb stride : 32 >



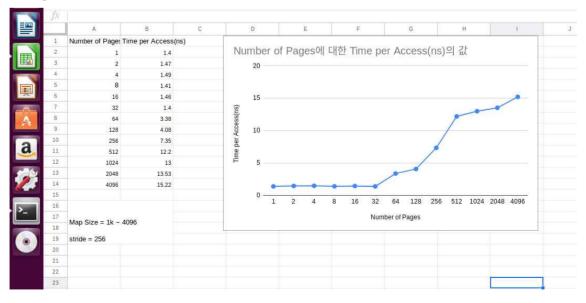
< Map Size : 4096kb stride : 64 >



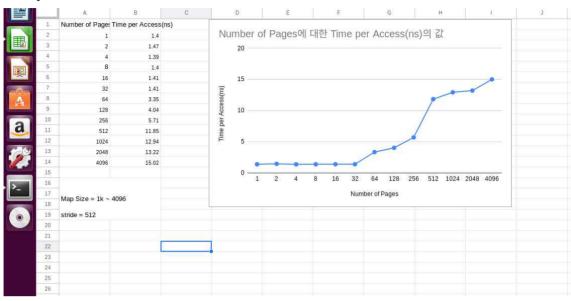
< Map Size : 4096kb stride : 128>



< Map Size : 4096kb stride : 256>

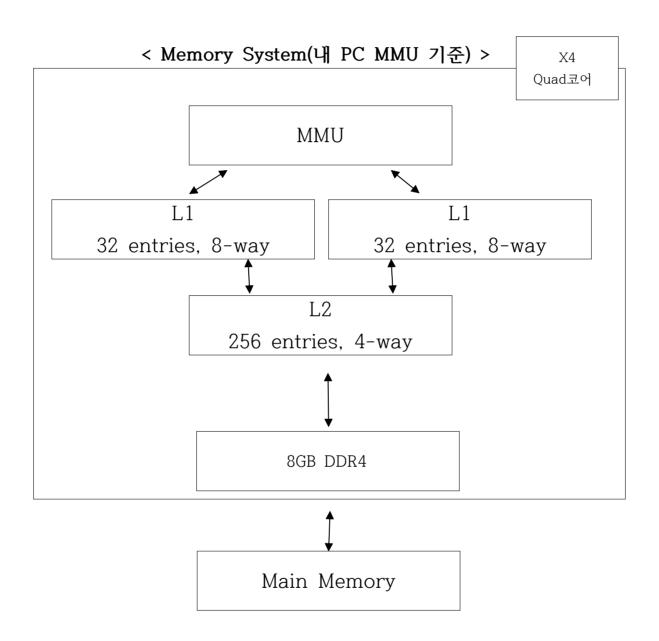


< Map Size : 4096kb stride : 512>



◎ 분석 내용 설명 ◎

● TLB 구조



- * 64bit address space
- * 4kb page size
- * L1, TLBs : 8-way Set associative
- * L2, TLBs: 4-way Set associative

● 캐시라인 크기 ●

내 PC의 L1 캐시는 8-way Set associative인 32kb이다. L2 캐시는 256kb로 4-way set associative 연결이라고 볼 수 있다. 64 바이트 메모리 청크는(청크 인덱스의 최하위 비트를 기준으로)세트로 분할되며 동일한 세트의 청크는 L2 캐시기준에서 4개의 슬롯과 경쟁한다. 내 컴퓨터의 캐시는 최대 L2 기준으로 4개의 캐시 라인을 보유 할 수 있다.

