

# 컴퓨터 공학 기초 실험2 보고서

실험제목: 2-to-1 MUX

실험일자: 2023년 09월 8일 (금)

제출일자: 2023년 09월 18일 (월)

학 과: 컴퓨터공학과

담당교수: 이형근 교수님

실습분반: 금요일 0, 1, 2

학 번: 2020202037

성 명: 염정호

## 1. 제목 및 목적

### A. 제목

2-to-1 MUX

### B. 목적

Verilog를 이용해 하나의 Inverter와 세 개의 Nand게이트를 이용한 2-to-1MUX를 구현한다. 구현된 Multiplexer를 자신이 설계한 testbench와 RTL Viewer 통해 제대로 구현 되었는지 확인한다.

## 2. 원리(배경지식)

Inverter : 입력신호를 반전한 신호를 출력하는 회로로 true입력시 false를 false의 경우 true를 출력하는 회로이다.

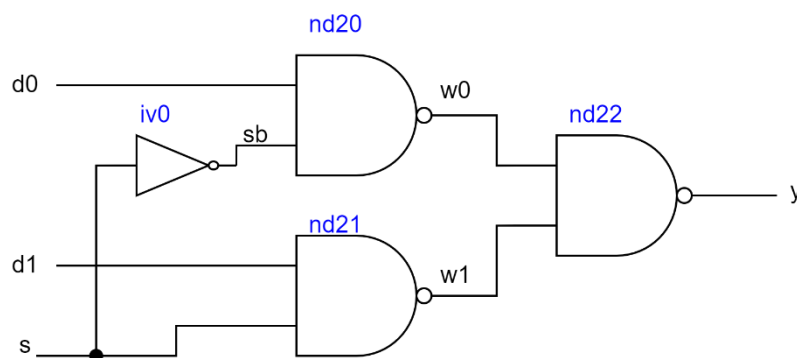
Nand gate : And gate의 출력에 Inveter를 연결한 것으로 모든 입력이 참인 경우에만 false를 출력하고 그 이외의 경우에는 true를 출력하는 회로이다.

2-to-1 MUX : 두 개의 input(a, b)를 입력 받고 둘 중 하나의 값을 출력하는 장치이다

a, b, s 세 개의 입력을 받고 s의 값에 따라 a또는 b값을 출력 하도록 한다.

한 개의 inverter와 세 개의 Nand gate를 이용해 구현 가능하다.

## 3. 설계 세부사항



2-to-1mux 회로도

두 개의 입력 d1, d2를 각각 다른 Nand게이트에 연결한다.

입력 값을 선택 할 때 이용할 s의 경우 d1, d2와 연결 되는데 한쪽에는 인버터를 연결 해 두Nand게이트에 서로 다른 값이 들어갈 수 있도록 한다.

두 개의Nand게이트를 하나의 Nand게이트로 연결 한다.

s	d0	d1	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

<진리표>

Karnaugh-Map

s	0	1
ab		
00		
01		1
11	1	1
10	1	

S	Y(출력)
0	d0
1	d1

S값이 0인 경우 d0의 입력 값을 출력되고

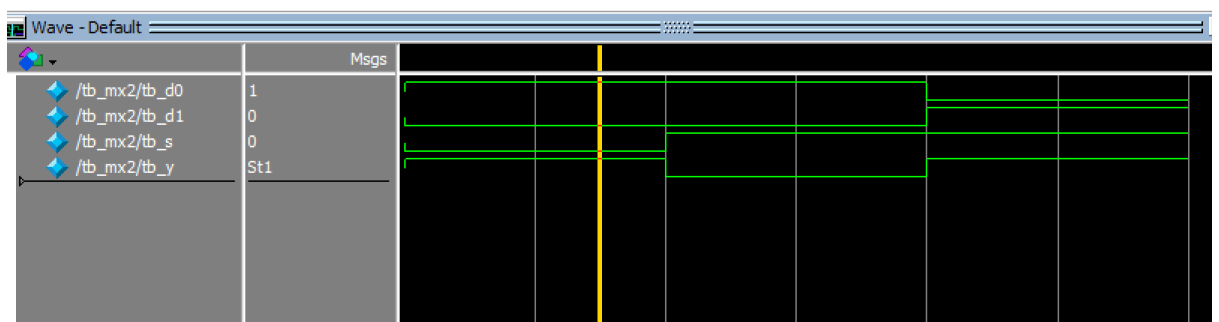
S값이 1인 경우 d1의 입력 값을 출력된다.

논리식

$$Y = s'a + sb$$

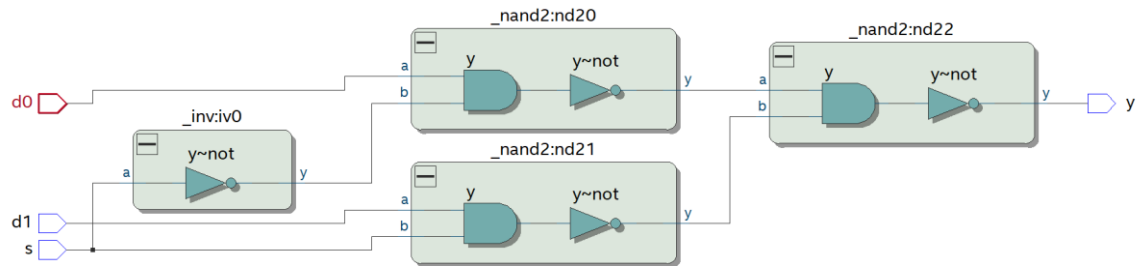
#### 4. 설계 검증 및 실험 결과

##### A. 시뮬레이션 결과



tb\_y(출력)이 s가 0일 때는 d0를 s값이 1일 때는 d1입력 값을 따라가는 것을 확인 할 수 있었다.

##### B. 합성(synthesis) 결과



위에서 작성한 회로도와 같이 3개의 Nand Gate와 1개의 Inverter로 구성 되어있는 것을 확인 할 수 있다.

Inverter는 입력 S와 연결되어 두 개의 Nand Gate로 전달 된다.

두 개의 Nand Gate는 각각 d0, d1의 또 다른입력을 받아 S값에 따라 d0, d1값을 선택적으로 출력 할 수 있게 해준다.

## 5. 고찰 및 결론

### A. 고찰

1. Quartus 프로그램에서 다른 파일에서 작성한 module을 사용하고 싶을 때 해당 파일이 같은 폴더안에 존재해도 사용이 가능하지만, 쿼터스 안에서 File을 선택해 해당 파일의 모듈이 사용 가능하다는 것을 알게 되었다.
2. Testbench를 처음 실행했을 때 내가 작성한 3개의 파일이외에 이상한 파일들이 나오는 것을 확인했는데, testbench작성 후 컴파일 하지 않아 생긴 문제였다.  
(컴파일 결과 테스트 벤치 코드에서도 문제가 있음을 확인했다.)

### B. 결론

이번 실험을 통해 2-to-1mux의 구조와 작동 방식을 알 수 있었다.

$2^n$ 개 입력라인 멀티플렉서를 구성할 경우  $2^n + 1$  Nand Gate와 n개의 inverter가 필요하다는 것을 알게 되었다.

멀티플렉서의 반대 기능을 수행하는 디멀티플렉서의 경우 한 개의 입력 회선을 통해 여러개의 회선 중 하나의 회선에 신호를 보내는 용도로 활용 할 수 있음을 알게 되었다.

## 6. 참고문헌

NAND GATE :

[/https://terms.naver.com/entry.naver?docId=2835924&cid=40942&categoryId=32830](https://terms.naver.com/entry.naver?docId=2835924&cid=40942&categoryId=32830)

Inverter

<https://terms.naver.com/entry.naver?docId=753877&cid=42341&categoryId=42341>

이준환/디지털논리회로2/광운대학교/2023

이형근/컴퓨터공학기초실험2/광운대학교/2023