

Technische Grundlagen der Informatik - WS 2019/20

Aufgabenblatt 4

Abgabe: Das Übungsblatt mit **Name** und **Übungsgruppe** oben rechts geschrieben darf bis **Mo 16.12.2019 15:00 Uhr** abgegeben werden.

Achtung: Übungsblätter die keiner Person und Übungsgruppe zuzuordnen sind, werden nicht korrigiert!

Hinweis: Die vierte Übung findet in der Woche vom **06.01.2020 - 10.01.2020** statt.

Aufgabe 1 (Minimierung mit KV-Diagrammen)

- Bestimmen Sie zur Funktion $y = f(x_1, x_2, x_3, x_4) = \sum m(0, 1, 4, 6, 8, 10, 12, 14)$ alle Prim- und Kernimplikanten mit einem KV-Diagramm (4P).
- Minimieren Sie die durch die Wahrheitstabelle (Abbildung 1) dargestellte Funktion mit einem KV-Diagramm (4P).

x_3	x_2	x_1	$y = f(x_1, x_2, x_3)$
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Abbildung 1: Wahrheitstabelle

- Minimieren Sie die Funktion $y = f(a, b, c, d) = \prod M(1, 3, 5, 7, 13, 15) \cdot d(8, 12, 14)$ mit einem KV-Diagramm und geben Sie die minimierte Funktion in der DNF an (4P).

Aufgabe 2 (Schaltnetze)

- Geben Sie für die Äquivalenz- und Antivalenz-Gatter eine Realisierung durch Und-, Oder-Gatter und Inverter an (3P).
- Die Majoritätsfunktion von 4 Variablen x_1, x_2, x_3, x_4 ist dann 1, wenn mindestens 3 Variablen den Wert 1 haben. Geben Sie ein Schaltnetz an, welche die Funktion realisiert (3P).

Aufgabe 3 (Technologien)

- Realisieren Sie das nachfolgende Schaltnetz (Abbildung 2) mit Hilfe des gezeigten PLAs (Abbildung 3). Sie können Ihre Lösung in einen Computerausdruck der PLA Vorlage einzeichnen.
Hinweis: geben Sie die Schaltfunktionen y_1 und y_2 zuerst in der DNF an. (4P)
- Realisieren Sie das Schaltnetz (Abbildung 2) mit Hilfe des gezeigten PALs (Abbildung 4). Sie können Ihre Lösung in einen Computerausdruck der PAL Vorlage einzeichnen. (4P)

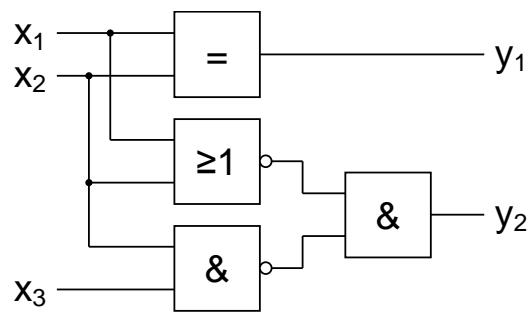


Abbildung 2: ein Schaltnetz

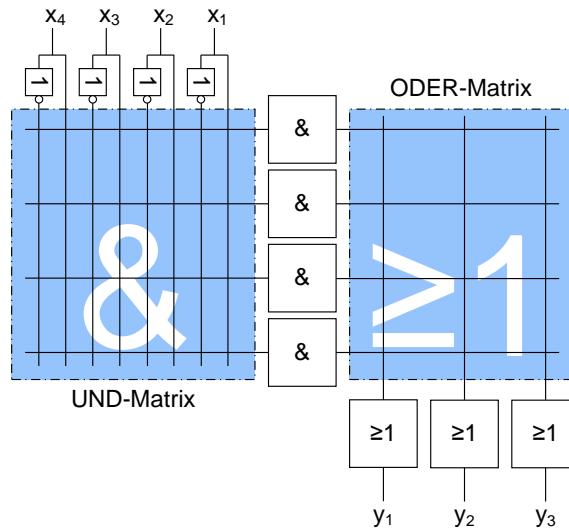


Abbildung 3: Programmable Logic Array (PLA)

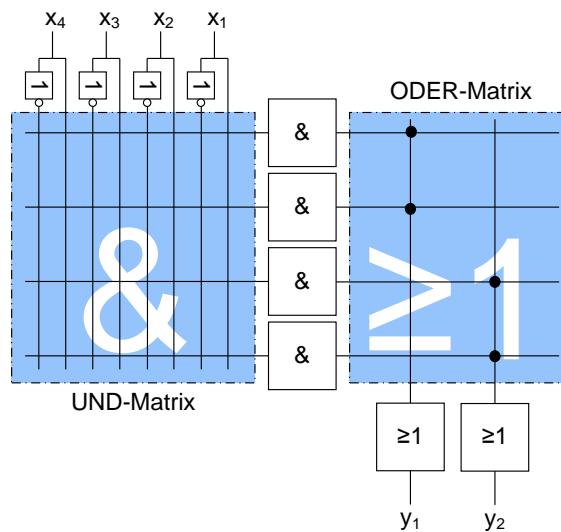


Abbildung 4: Programmable Array Logic (PAL)

Aufgabe 4 (Minimierung mit KV-Diagrammen)

Die Schaltfunktion $y = f(a, b, c, d)$ ist durch die nachfolgende Wahrheitstabelle gegeben.

d	c	b	a	y
0	0	0	0	1
0	0	0	1	-
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	-
1	0	0	0	1
1	0	0	1	1
1	0	1	-	-
1	1	-	-	1

1. Stellen Sie die Funktion mit einem KV-Diagramm dar. (4P)
2. Geben Sie alle Kernimplikanten und Primimplikanten der Funktion an. (4P)
3. Benutzen Sie das KV-Diagramm zur Minimierung der Funktion und stellen Sie die minimierte Funktion in der DNF dar. (4P)
4. Zeichnen Sie für die minimierte Funktion das Schaltnetz und geben Sie die Kosten des Schaltnetzes an. (Die Kosten des Schaltnetzes entsprechen der Anzahl der Gatter + der Anzahl aller Eingänge, Inverter werden dabei nicht berücksichtigt). (4P)
5. Geben Sie ein KV-Diagramms für y' an. Minimieren Sie die Funktion und stellen Sie die minimierte Funktion in der DNF dar. (4P)
6. Wandeln Sie die gefundene Funktion von y' in die KNF für y um und geben Sie y in der Kurzschreibweise an. (4P)
7. Stellen Sie die minimierte KNF mit einem KV-Diagramm dar. (Sie können hierzu das KV aus Unteraufgabe 1. wiederverwenden) (2P)
8. Zeichnen Sie für die minimierte Funktion in der KNF das Schaltnetz. (4P)

Aufgabe 5 (QMC Algorithmus)

Gegeben ist die Funktion $y = f(x_1, x_2, x_3, x_4) = \sum m(0, 2, 5, 6, 7, 8, 10, 12, 13, 14, 15)$.

1. Bestimmen Sie alle Primimplikanten mit dem QMC-Algorithmus. (7P)

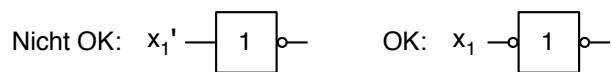
2. Bestimmen Sie die minimale Überdeckung mit dem QMC-Algorithmus und geben Sie alle vorhandenen Kernimplikanten an. (7P)

3. Geben Sie die minimale Summe der Funktion an. Ist diese eindeutig? (2P)

Aufgabe 6 (mehrstufige NAND/NOR Schaltnetze)

Für die Funktion $y = f(x_1, x_2, x_3, x_4) = \sum m(0, 4, 8, 13, 14, 15)$ soll eine möglichst minimale Realisierung mit NAND- oder NOR-Gattern gefunden werden.

Die Eingangsvariablen liegen hierbei nur in nicht negierter Form vor (nur x_i keine x'_i). Soweit nicht anders erwähnt dürfen negierte Gattereingänge verwendet werden.



1. Realisieren Sie die Funktion durch ein minimales zweistufiges Schaltnetz in SOP-Form. (5P)
2. Wandeln Sie das entstandene Schaltnetz in ein Schaltnetz nur bestehend aus NAND-Gattern um und geben Sie die Kosten an. Negierte Gattereingänge sind nicht erlaubt. (5P)
3. Realisieren Sie das zweistufige Schaltnetz durch NAND- und NOR-Gatter und geben Sie die Kosten an. Negierte Gattereingänge sind nicht erlaubt. (5P)
4. Faktorisieren Sie die Funktion und geben Sie dazu ein dreistufiges Schaltnetz bestehend aus Und- und Oder-Gattern sowie Invertern an. (5P)
5. Realisieren Sie das entstandene Schaltnetz nur mit NAND-Gattern und geben Sie die Kosten an. Negierte Gattereingänge sind nicht erlaubt. (3P)
6. Realisieren Sie das dreistufige Schaltnetz durch NAND- und NOR-Gatter und geben Sie die Kosten an. Negierte Gattereingänge sind nicht erlaubt. (3P)
7. Welches Schaltnetz hat den geringsten Flächenbedarf? (2P)