

# Technische Grundlagen der Informatik - WS 2019/20

## Aufgabenblatt 3

---

**Abgabe:** Das Übungsblatt mit **Name** und **Übungsgruppe** oben rechts geschrieben darf bis **Mo 02.12.2019 15:00 Uhr** abgegeben werden.

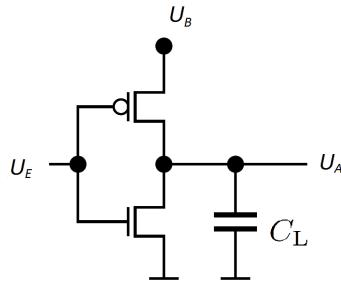
**Achtung:** Übungsblätter die keiner Person und Übungsgruppe zuzuordnen sind, werden nicht korrigiert!

---

**Hinweis:** Die zweite Übung findet in der Woche vom **09.12.2019 - 13.12.2019** statt.

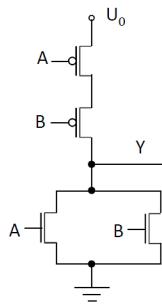
## Aufgabe 1 (Signalverzögerung eines Inverters in CMOS-Technik)

Einen Inverter in CMOS-Technik zu entwerfen, bedeutet, dass sowohl der NMOS- als auch der PMOS-Transistor zur Anwendung kommen müssen. Die Halbleiterstrukturen und Leitungen haben alle Kapazitäten, die bei jedem Signalwechsel über die einschaltenden Transistoren umgeladen werden müssen. Alle Kapazitäten am Ausgang eines Gatters bilden seine Lastkapazität  $C_L$ . Die Abbildung 1 zeigt das Ersatzschaltbild für die kapazitive Belastung eines Inverters in CMOS-Technik. Die Lastkapazität  $C_L$  beträgt  $150\text{pF}$ . Der Kanalwiderstand des PMOS-Transistor im durchgeschalteten Zustand ist  $R_p = 500\Omega$  und der Kanalwiderstand des NMOS-Transistor im durchgeschalteten Zustand ist  $R_n = 200\Omega$ . Für Ihre Berechnungen sollen Sie annehmen, dass der Kanalstrom der beiden Transistoren im nicht durchgeschalteten Zustand  $0\text{ A}$  beträgt.

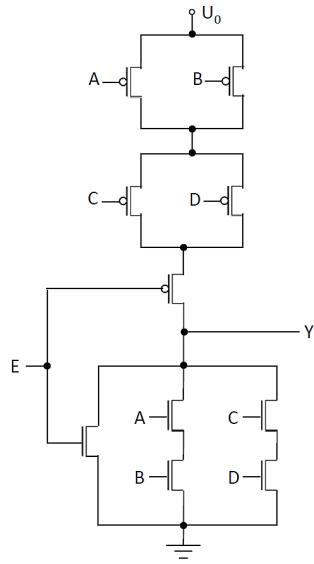


**Abbildung 1:** Inverter in CMOS-Technik

1. Berechnen Sie die Signalübergangszeit von *Low* nach *High*  $t_{LH}$  (Zeitpanne in der die Ausgangsspannung  $U_A$  von  $U_A = 10\% U_B$  auf  $U_A = 90\% U_B$  steigt).  $U_B$  ist die Betriebsspannung. (8P)
2. Berechnen Sie die Signalübergangszeit von *High* nach *Low*  $t_{HL}$  (Zeitpanne in der die Ausgangsspannung  $U_A$  von  $U_A = 90\% U_B$  auf  $U_A = 10\% U_B$  sinkt).  $U_B$  ist die Betriebsspannung. (8P)
3. Berechnen Sie die maximale Taktfrequenz  $f_{max}$ , die bei diesem Inverterentwurf verwendet werden kann. (4P)



**Abbildung 2:** CMOS Gatter



**Abbildung 3:** CMOS Komplexgatter

## Aufgabe 2 (Analyse von CMOS-Gattern)

1. Welche Schaltfunktion  $Y$  realisiert das in Abbildung 2 gegebene CMOS-Gatter? (5P)
2. Welche Schaltfunktion  $Y$  realisiert das in Abbildung 3 gegebene komplexe CMOS-Gatter? (5P)

## Aufgabe 3 (Flankengesteuertes D-Speicherelement)

1. Gegeben sind zwei pegelgesteuerte D-Speicherelemente. Implementieren Sie damit ein flankengesteuertes D-Speicherelement. (10P)

**Hinweis:** Der Aufbau ist ähnlich wie beim flankengesteuerten RS-Speicherelement.

## Aufgabe 4 (Netzwerk mit Dioden)

Gegeben ist das elektrische Netzwerk mit Dioden und elektrischen Widerständen entsprechend Abbildung 4.

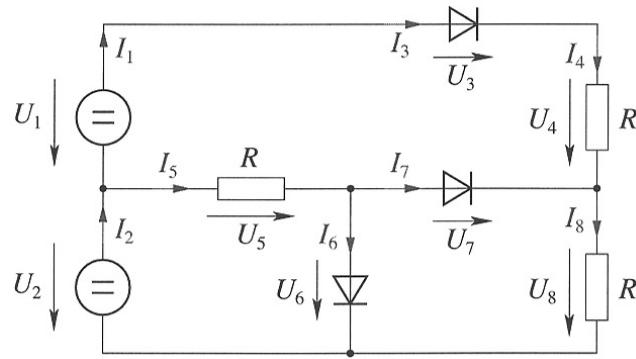


Abbildung 4: Elektrisches Netzwerk mit Dioden und Widerständen

Die beiden idealen Spannungsquellen haben jeweils einen Spannungswert von  $U_1 = U_2 = 4V$ . Alle Widerstände haben einen Wert  $R = 3,3 k\Omega$ . Die Funktionsweise der Dioden ist durch die Kennlinie in Abbildung 5 mit einer Schleusenspannung von  $0,7V$  definiert.

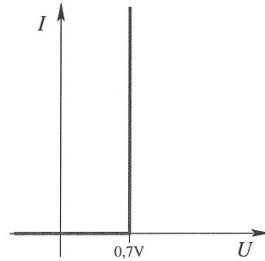


Abbildung 5: Diodenkennlinie

1. Berechnen Sie die Spannung  $U_5$  und den Strom  $I_5$ . Nehmen Sie dabei einen Leitzustand für die Dioden  $D_6$  und  $D_7$  an. Begründen Sie diese Annahme. (5P)
2. Berechnen Sie die Spannungen  $U_4$  und  $U_8$ , sowie die Ströme  $I_4$  und  $I_8$ . Nehmen Sie dabei einen Leitzustand für die Diode  $D_3$  an. Begründen Sie diese Annahme. (5P)
3. Berechnen Sie die Ströme der Spannungsquelle  $I_1$  und  $I_2$  sowie der Dioden  $I_3$ ,  $I_6$  und  $I_7$ . (5P)
4. Berechnen Sie die Spannungen  $U_4$  und  $U_8$ , sowie die Ströme  $I_4$  und  $I_8$ , wenn die Polarität der Diode mit Spannung  $U_7$  umgedreht wird. (5P)

## Aufgabe 5 (Bipolartransistor als gesteuerter Schalter)

Gegeben ist eine Inverterschaltung mit einem NPN-Bipolartransistor. Wie in der Abbildung 6 eingetragen, beträgt die Betriebsspannung  $U_B = 3V$ , der Basisvorwiderstand  $R_B = 23K\Omega$  und der Lastwiderstand  $R_C = 500\Omega$ . Die Schleusenspannung der Basis-Emitter-Diode des Transistors sei  $0.7V$ . Die Eingangsspannung  $U_E$  nimmt im Betrieb entweder den Wert  $0V$  ( $Lo$ ) oder den Wert  $3V$  ( $Hi$ ) an.

Für Ihre Berechnungen sollen Sie annehmen, dass der Inverter unbelastet ist, d.h. dass der Ausgangsstrom  $I_A = 0A$  ist.

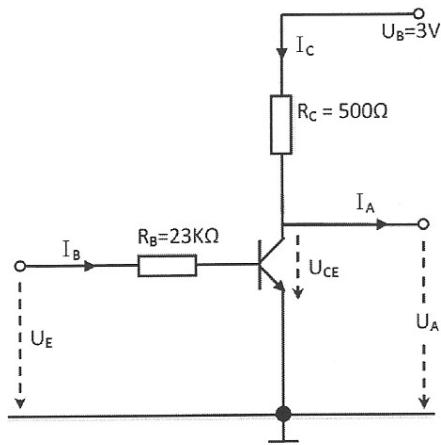
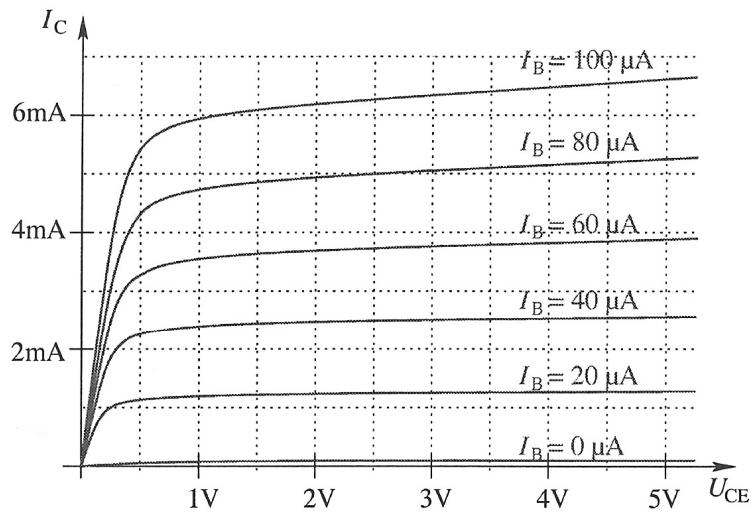


Abbildung 6: Inverterschaltung mit einem NPN-Bipolartransistor

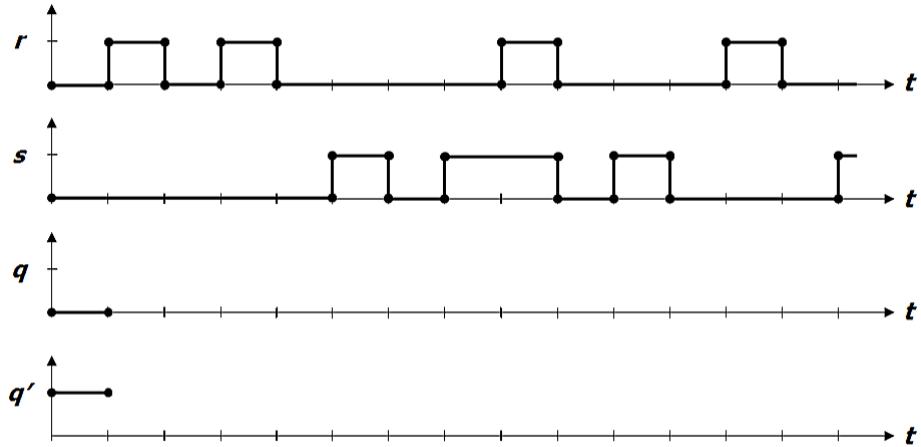
1. Berechnen Sie den Basisstrom  $I_B$  für die Fälle  $U_E = 0V$  und  $U_E = 3V$ . (5P)
2. Berechnen Sie den maximalen Kollektor-Strom  $I_{C,max}$  und die maximale Kollektor-Emitter-Spannung  $U_{CE,max}$ . Zeichnen Sie dann die Lastgerade für den Lastwiderstand  $R_C$  in das Kennlinienfeld in Abbildung 7 ein (Linie zwischen beiden Punkten). (5P)
3. Bestimmen Sie mit Hilfe der Lastgerade den Wert der Ausgangsspannung  $U_A$  und des Transistorschritts  $I_C$  für den Fall  $U_E = 3V$ . (3P)
4. Bestimmen Sie mit Hilfe der Lastgerade den Wert der Ausgangsspannung  $U_A$  und des Transistorschritts  $I_C$  für den Fall  $U_E = 0V$ . (3P)
5. In welchem Betriebsbereich befindet sich der Transistor wenn  $U_E = 0V$ ? Begründen Sie Ihre Antwort. (2P)
6. In welchem Betriebsbereich befindet sich der Transistor wenn  $U_E = 3V$ ? Begründen Sie Ihre Antwort. (2P)



**Abbildung 7:** Kennlinienfeld des NPN-Bipolartransistors

### Aufgabe 6 (RS-Speicherelemente)

1. Vervollständigen Sie das Timing-Diagramm in der Abbildung 8 für ein asynchrones RS-Speicherelement. (3P)



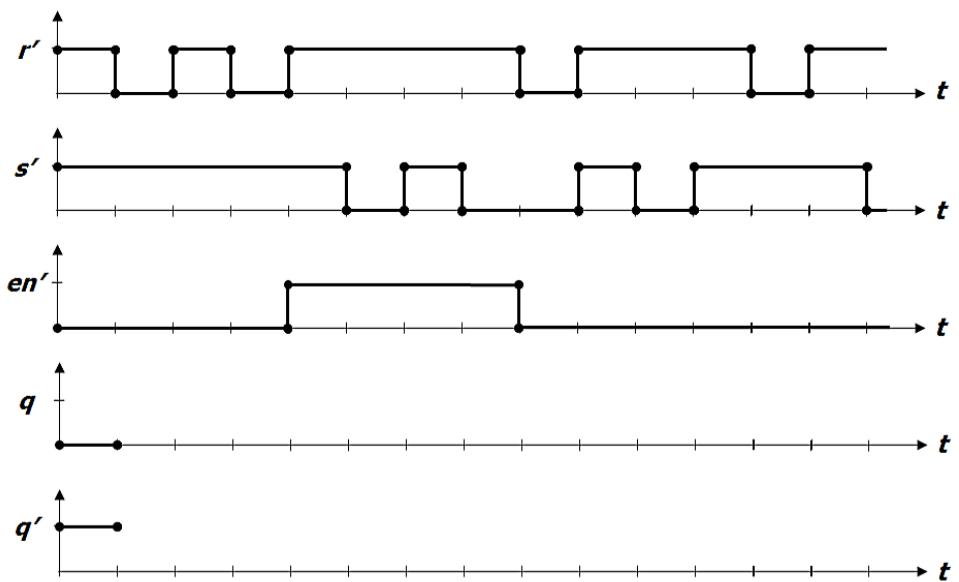
**Abbildung 8:** Timing-Diagramm für ein asynchrones RS-Speicherelement

2. Vervollständigen Sie das Timing-Diagramm in der Abbildung 9 für ein pegelgesteuertes RS-Speicherelement. (3P)

**Hinweis:** Die Eingangssignale sind "active low".

3. Vervollständigen Sie das Timing-Diagramm in der Abbildung 10 für ein flankengesteuertes RS-Speicherelement. (4P)

**Hinweis:** Die Eingangssignale sind "active low".



**Abbildung 9:** Timing-Diagramm für ein pegelgesteuertes RS-Speicherelement

### Aufgabe 7 (Synthese von CMOS-Komplexgattern)

Zeichen Sie jeweils ein CMOS-Komplexgatter für die folgenden Schaltfunktionen:

1.  $y = (\bar{a} + \bar{b}) * \bar{c}$  (5P)

2.  $y = \overline{a + (b * c)}$  (5P)

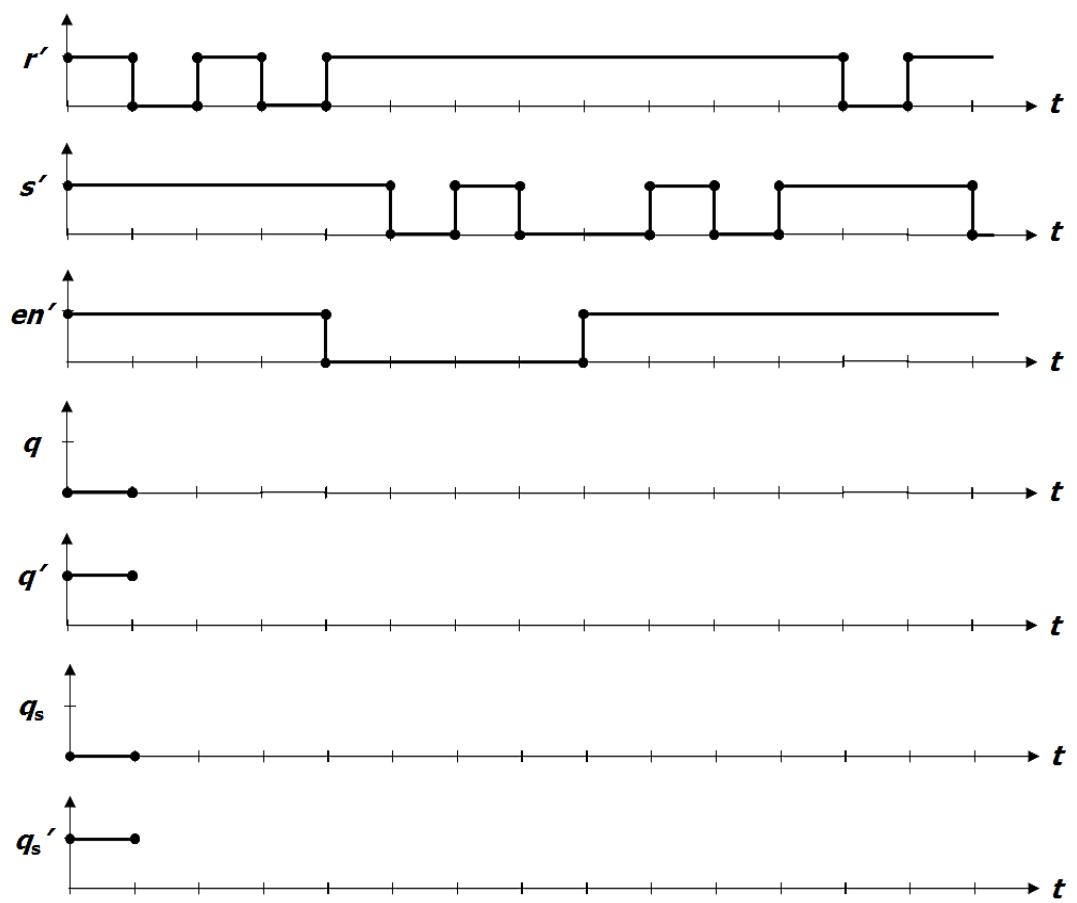


Abbildung 10: Timing-Diagramm für ein flankengesteuertes RS-Speicherelement