

# Technische Grundlagen der Informatik - WS 2019/20

## Aufgabenblatt 5

---

**Abgabe:** Das Übungsblatt mit **Name** und **Übungsgruppe** oben rechts geschrieben darf bis **Mo 13.01.2020 15:00 Uhr** abgegeben werden.

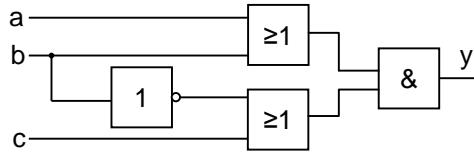
**Achtung:** Übungsblätter die keiner Person und Übungsgruppe zuzuordnen sind, werden nicht korrigiert!

---

**Hinweis:** Die zweite Übung findet in der Woche vom **20.01.2020 - 24.01.2020** statt.

## Aufgabe 1 (Hazards)

1. Die Schaltung in Abbildung 1 weist einen statischen 0-Hazard auf. Ändern Sie die Schaltung, so dass sie hazard-frei ist. (4P)



**Abbildung 1:** Schaltnetz mit statischem Hazard

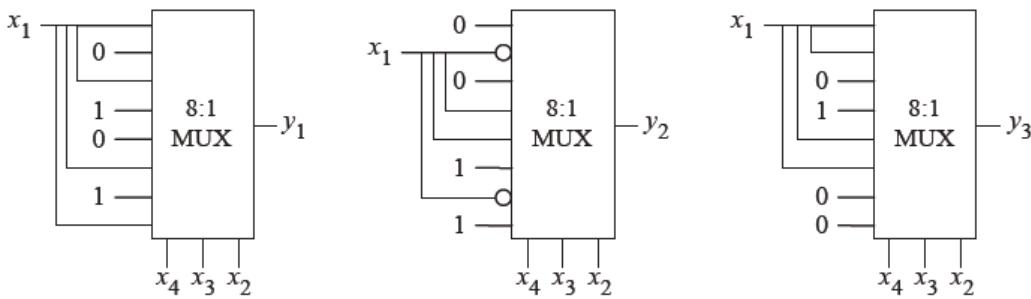
2. Finden Sie eine hazard-freie AND-OR Schaltung mit minimalen Kosten für die Funktion  $y = f(a, b, c, d) = \sum m(0, 3, 4, 5, 6, 7, 8, 9, 11, 15)$ . (4P)

## Aufgabe 2 (Multiplexer)

1. Die Funktion  $y = (x_1 * x'_2) + (x'_2 * x_3) + (x'_1 * x_3)$  soll mit **einem** 2x1 Multiplexer und Grundgattern realisiert werden. Geben Sie 3 verschiedene Realisierungen an indem Sie jeweils  $x_1$ ,  $x_2$  oder  $x_3$  als Steuereingang verwenden. (4P)

2. Realisieren Sie die Funktion  $y = (x_1 * x_2 * x'_4 * x_5) + (x'_1 * x_2) + (x'_1 * x'_3) + (x'_1 * x'_4) + (x'_3 * x_4 * x'_5)$  mit einem 4x1 Multiplexer und so wenigen Grundgattern wie möglich. Die Eingänge sind dabei nur in nichtnegierter Form vorhanden. (4P)

3. Gegeben seien die folgenden Multiplexer-Schaltnetze (Abbildung 2). Minimieren Sie die dargestellten Funktionen und geben Sie Implementierung an, die mit einem einzigen 4x1 Multiplexer auskommen. (3P+3P+3P)

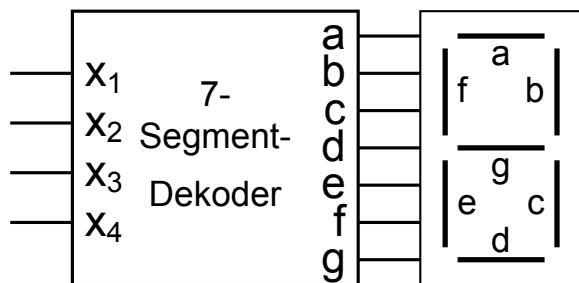


**Abbildung 2:** Multiplexer-Schaltnetze

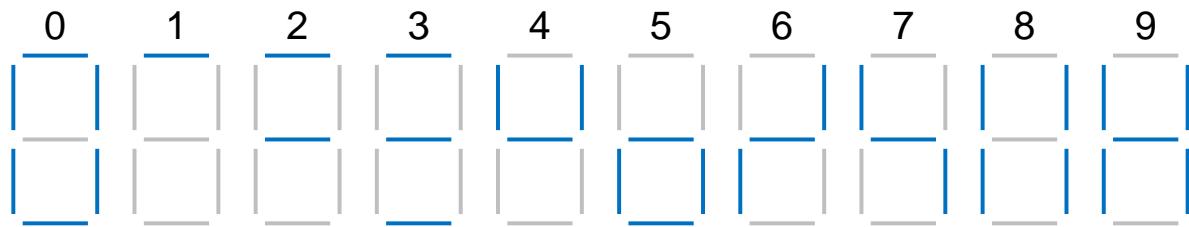
## Aufgabe 3 (7-Segment-Dekoder)

Es soll ein 7-Segment-Dekoder entworfen werden (Abbildung 3). Dieser soll für die Zahlen 0 bis 9 des Binärsystems die 7-Segment-Anzeige so ansteuern, dass das klingonische Zahlensystem

(Abbildung 4) dargestellt wird.

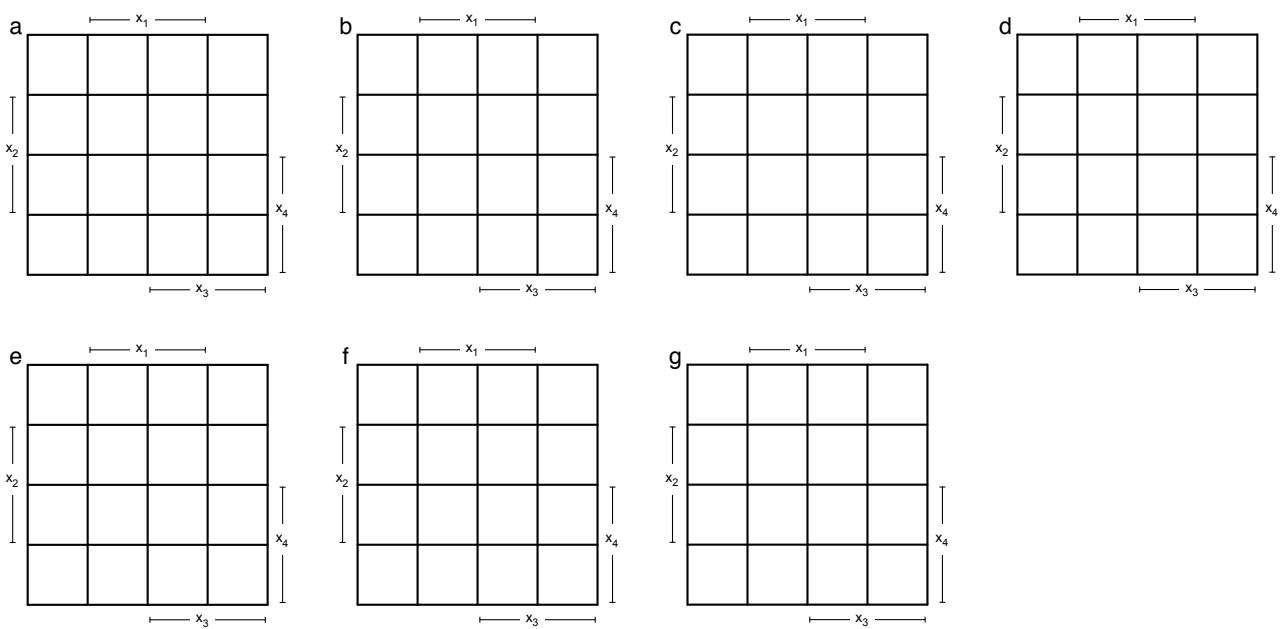


**Abbildung 3:** 7-Segment-Dekoder



**Abbildung 4:** Klingonisches Zahlensystem

1. Stellen Sie die Wahrheitstabelle des Dekoders auf. (10P)
2. Minimieren Sie die Ausgänge (a-g) des Dekoders mit KV-Diagrammen. Sie können einen Ausdruck des Übungsblattes verwenden um die nachfolgenden KV-Diagramme handschriftlich auszufüllen. (7P)



## Aufgabe 4 (verzögerungsbehaftete Simulation)

Gegeben ist das Schaltnetz in Abbildung 5.

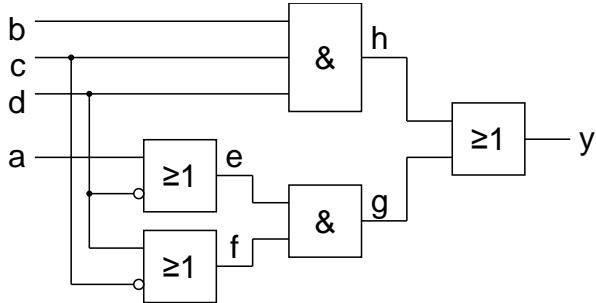


Abbildung 5: Schaltnetz Aufgabe 4

1. Führen Sie für das Schaltnetz eine verzögerungsbehaftete Simulation durch. Tragen Sie hierzu die Verläufe der Signale ( $a, b, c, d, e, f, g, h, y$ ) in einem Zeitdiagramm auf. Die Gatter haben eine Anstiegszeit  $t_r = 2T$  und eine Abfallzeit  $t_f = 2,5T$ . Die Anfangswerte der Eingangssignale seien  $a = 0, b = 1, c = 0, d = 1$ . Nach  $t = 2T$  ändert sich  $c$  von 0 auf 1. Nach  $t = 8T$  ändert sich  $d$  von 1 auf 0. (10P)
2. Welches Problem tritt hier auf und wodurch wird es ausgelöst? (3P)
3. Beheben Sie das Problem von 2 (die Schaltung soll dreistufig bleiben). (3P)
4. Treten jetzt noch unerwünschte Effekte auf? (1P)
5. Realisieren Sie die Schaltung als zweistufige Schaltung ohne das Problem aus 2. (3P)

## Aufgabe 5 (Addierer)

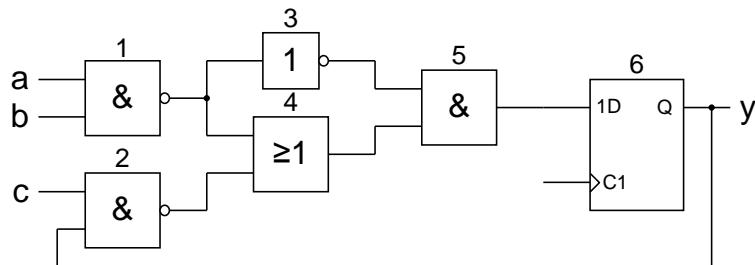
In dieser Aufgabe soll ein Carry-Ripple Addierer aufgebaut werden.

1. Benutzen Sie zwei Halbaddierer um einen Volladdierer zu realisieren. (6P)
2. Geben Sie das Schaltnetz des oben entwickelten Volladdierers an (nur Grundgatter). (4P)
3. Welchen Nachteil weist diese Implementierung auf? (2P)
4. Geben Sie die Verzögerungen von den Eingängen zu den Ausgängen als Vielfaches der Verzögerungen von Grundgattern an. (2P)
5. Bauen Sie einen 4 Bit Carry-Ripple Addierer aus Volladdierern auf. (4P)
6. Geben Sie den längsten Pfad der Schaltung und dessen Verzögerung an. (2P)
7. Geben Sie eine Eingangsbelegung an, mit der der Pfad sensibilisiert wird. (2P)

8. Zwei Realisierungen des Carry-Ripple Addierers sollen verglichen werden. Der eine benutzt den Volladdierer aus Aufgabe 5.1, der andere die Realisierung aus der Vorlesung (**10. kombinatorische Komponenten, Seiten 12-14**). Welcher Addierer ist der schnellere? Geben Sie zur Beantwortung die zugehörigen Verzögerungszeiten beider Varianten an. (2P)

### Aufgabe 6 (Zeitanalyse)

Gegeben ist die sequentielle Schaltung in Abbildung 6.



**Abbildung 6:** Sequentielle Schaltung

- Wie müssen die Eingangssignale b und c gesetzt sein, damit ein Wechsel von a zu einer Änderung am d-Eingang des FlipFlops führt? (2P)
- Welche Elemente der Schaltung müssen zur Bestimmung der maximalen Taktfrequenz berücksichtigt werden? (2P)
- Geben Sie die Belegung der Eingangssignale an, damit dieser Pfad sensibilisiert wird. (2P)
- Bestimmen Sie die maximale Taktfrequenz mit Hilfe der Werte aus Tabelle 1. (4P)  
**Hinweis:**  $K_L$  gibt die Treiberstärke eines Gatters an und bestimmt wie schnell die Kapazität  $C_{in}$  eines **nachfolgenden** Gatters geladen werden kann.
- Die Signale a,b,c werden jetzt jeweils von einem D-FF getrieben. Ändert sich dadurch die maximale Taktfrequenz? Wenn ja, geben Sie sie an. (4P)

Gatter	Parameter	Wert	Einheit	Gatter	Parameter	Wert	Einheit
INV	$t_{pdLH}$	1,9	ns	NAND2	$t_{pdLH}$	3,4	ns
	$t_{pdHL}$	1,6	ns		$t_{pdHL}$	2,5	ns
	$K_L$	0,7	ns/pF		$K_L$	0,7	ns/pF
	$C_{in}$	2,4	pF		$C_{in}$	4,4	pF
OR2	$t_{pdLH}$	3,8	ns	D-FF	$t_{pdLH, clk \rightarrow Q}$	3,8	ns
	$t_{pdHL}$	2,8	ns		$t_{pdHL, clk \rightarrow Q}$	3,0	ns
	$K_L$	0,7	ns/pF		$K_L$	0,8	ns/pF
	$C_{in}$	4,6	pF		$C_{in}$	5,2	pF
AND2	$t_{pdLH}$	4,1	ns		$t_{setup}$	3,0	ns
	$t_{pdHL}$	3,7	ns		$t_{hold}$	3,3	ns
	$K_L$	0,7	ns/pF				
	$C_{in}$	4,6	pF				

Table 1: Gatterdaten