

Introduzione

Questo file è pensato come una grossa raccolta di Domanda - Risposta tratte dai Temi d'Esame di Fondamenti di Elettronica della prof.ssa Alessandra Flammini.

Formato:

- Le domande vanno scritte come intestazione 3
- Le risposte vanno scritte come testo normale
- Riportare sempre qua sotto i dati del TE da cui avete tratto

Data	Domande Tratte	Chi l'ha fatto
Non c'è la data	Esempio TE dell'Elearning	La profe (I guess) - Lorenzo
09/01/2020	Domande aperte	wade
08/02/2021	Domande aperte	wade
26/10/2018	Chiuse + aperte	wade

TE

Domande chiuse:

-In un diodo la corrente è...

Un flusso di portatori n

-L'equazione $I_d = k(V_{gs} - V_{th})V_{DS}$ si riferisce al comportamento di un nMOS...

Se $V_{gs} - V_{th} > V_{th} > V_{ds} > 0$

-Per verificare il valore massimo di una resistenza montata in un circuito...

Si connette un multimetro dopo aver sconnesso dal circuito almeno un terminale della resistenza

- Un amplificatore operazionale ha...

Guadagno di amplificazione $\gg 10^3$

-Con V_{ih} si intende...

Minima tensione in ingresso quando l'ingresso è a 1

- Se si fornisce energia (temperatura, differenza di potenziale,...) al silicio intrinseco...

Si generano coppie p-n di portatori detti minoritari

-Il led in polarizzazione inversa...

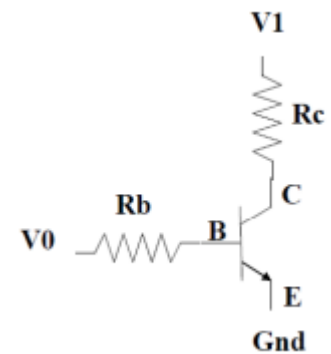
È sempre spento

-In un BJT npn si ha la massima larghezza di regione di carica spaziale...

Nel collettore

-Nel circuito a lato, quale delle seguenti espressioni, dove I_b è la corrente che scorre in R_b e I_c è la corrente che scorre in R_c , è sempre corretto che...

$$V_{ce} = V_0 + R_b \cdot I_b$$

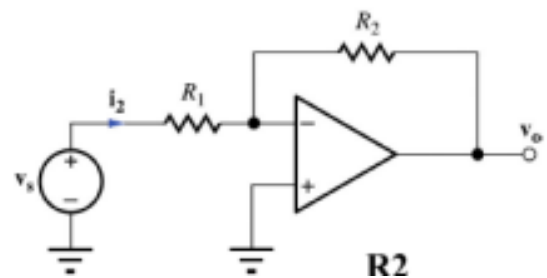


-Il circuito comparatore LM339, rispetto ad un classico amplificatore operazionale alimentato con +5V e -5V e usato come comparatore...

Può fornire un'uscita tra 0 e 5V

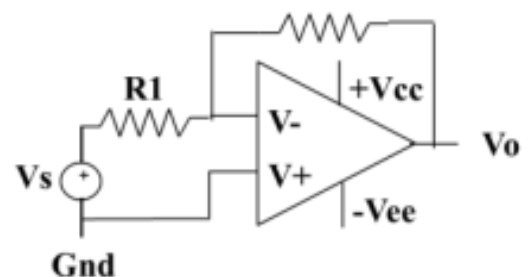
-Un amplificatore operazionale polarizzato come in figura viene utilizzato come...

Amplificatore invertente



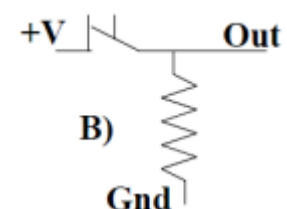
-Un amplificatore operazionale polarizzato come in figura con $V_{cc} = +5V$, $V_{ee} = -5V$, $R_1 = 1k\Omega$, $R_2 = 2k\Omega$, $V_s = +3V$ ha...

$$V_+ < V_-$$



-Il circuito a logica binaria in figura...

È in logica attiva bassa con uno forte



-Il miglioramento tra la famiglia logica DTL e la famiglia logica TTL è prevalentemente a livello di...

Stadio di uscita

1) Nel Silicio intrinseco possono esserci ...

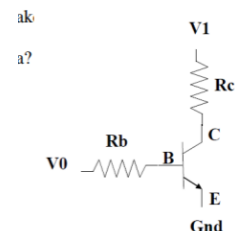
- (X)a portatori minoritari (lacune e elettroni)
- ()b portatori maggioritari accettori (lacune)
- ()c portatori maggioritari donatori (elettroni)

2) In un diodo la tensione inversa ...

- ()a vale circa 0,7V
- ()b vale circa 0V
- (X)c può assumere qualsiasi valore inferiore alla tensione di breakdown

3) Nel circuito a lato, quale delle seguenti espressioni è sempre corretta?

- ()a $V_{be} = V_0 + R_b \cdot I_b$
- (X)b $V_{ce} = V_1 - R_c \cdot I_c$
- ()c $I_c < \beta \cdot I_b$

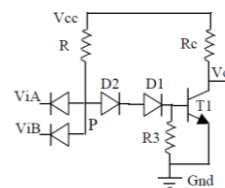


4) L'amplificatore operazionale uA741 ha alimentazione....

- ()a monopolare tra 0 e 5V
- ()b monopolare tra 0 e 3V
- (X)c bipolare tra -15V e +15V

5) Il dispositivo a lato è una porta....

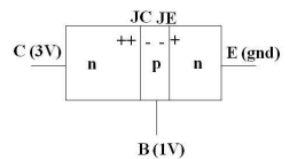
- ()a NOR RTL
- (X)b NAND DTL
- ()c AND TT



Domande aperte:

-Illustrare il funzionamento del transistor BJT npn in polarizzazione diretta a emettitore comune, anche tenendo conto delle esperienze di laboratorio

In un transistor BJT npn in polarizzazione diretta la giunzione di collettore JC è polarizzata inversamente, mentre la giunzione di emettitore JE è polarizzata direttamente (si veda esempio in figura).



La densità di drogaggio è elevata nell'emettitore e modesta nel collettore, in modo da creare una regione di carica spaziale (RCS) maggiore nel collettore. La base è molto stretta e dominata dalla RCS.

L'elettrone fluisce dall'emettitore verso la base; in base diventa carica minoritaria ma grazie alla RCS l'elettrone ha bassa probabilità di ricombinarsi e viene catturato dalla grande RCS della JC (inversa) e raccolto nel collettore. Si ha quindi un flusso di corrente I_C da C verso E grazie alla base stretta e alle differenze di drogaggio. Poca corrente I_B entra dalla base B e fluisce verso E ($I_E = I_B + I_C$). La giunzione di emettitore agisce come quella del diodo e pertanto il transistor conduce se $V_{BE} > 0.6V$. In polarizzazione diretta le correnti di base e di collettore sono regolate da una relazione lineare $I_B = I_C / \beta$ ($20 < \beta < 500$). Come si è visto in laboratorio nell'esperienza di polarizzazione del BJT npn 2N2222, la condizione di polarizzazione attiva, che si verifica sperimentalmente osservando una $V_{ce} > V_{be}$ tipicamente a 0,6V per piccole correnti) dipende da un'attenta scelta dei valori delle resistenze e si verifica o con correnti di base I_B molto piccole ($\ll mA$), quindi soggette al rumore, oppure con correnti di collettore I_C molto elevate, consumando molta potenza.

-Trovare il punto di lavoro in termini di I_{DS} e V_{DS} con $R_D=2K\Omega$, $k=200\mu A/V^2$ e $V_{th}=1V$

Si pone l'ipotesi di saturazione, dove

$$I_{DS}=I_D = (k/2)(V_{GS}-V_{th})^2$$

$$I_G=0$$

$$\text{quindi } V_{GS} = V_{DD} = 4V \quad I_D = 100(4V-1V)^2 = 0.9 \text{ mA}$$

$$V_{DS} = V_{DD} - R_D \cdot I_D = 2.2V$$

Verifica ipotesi saturazione: $V_{DS} > V_{GS} - V_{th}$ ossia $2.2 > 3$ NO!

Ipotesi funzionamento in regione lineare $I_D = k(V_{GS} - V_{th})V_{DS}$

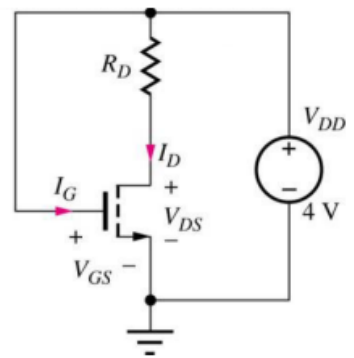
$$I_D = k(V_{GS} - V_{th})V_{DS} = 200\mu \cdot 3 \cdot V_{DS}$$

$$V_{DS} = V_{DD} - R_D \cdot I_D = 4 - 2k \cdot I_D$$

Risolvendo il sistema si trova $V_{DS} = 4/2.2 = 1.82V$ e $I_D = 1.365mA$

Verifica ipotesi lineare: $V_{GS} - V_{th} > V_{DS} > 0$ ossia $3 > 1.82 > 0$ OK

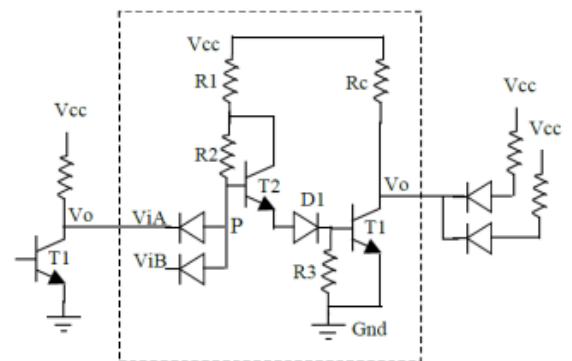
La corrente di gate I_G indicata in figura è nulla e pertanto avere o non avere una resistenza connessa tra il gate e l'alimentazione è nella pratica indifferente.



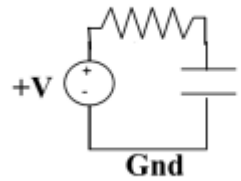
- Dato il circuito in figura e con riferimento alla parte tratteggiata, indicare la funzione logica e di quale famiglia logica si tratta e illustrare il concetto di carico attivo

Si tratta di una porta logica NAND con ingressi V_{iA} e V_{iB} e uscita V_o della famiglia logica DTL (Diode Transistor Logic), una delle prime famiglie logiche bipolari. Il carico attivo è un insieme di resistenze e

transistori in grado di realizzare un carico resistivo che assume valori diversi a seconda dello stato logico. Il carico attivo in figura è rappresentato dall'insieme $R_1-R_2-T_2$: se in ingresso (es. V_{iA}) si applica uno "0", la corrente in uscita dall'ingresso scorre in R_1 e R_2 in quanto T_2 è spento e il valore del carico attivo è quindi R_1+R_2 ; se in ingresso si applica un "1", T_2 è acceso e la corrente fluisce da R_1 in T_2 (la cui resistenza in conduzione è molto bassa e si considera trascurabile) quindi in D_1 e il valore del carico attivo risulta praticamente uguale a R_1



- Commentare brevemente come varia la tensione ai capi del condensatore C al variare del segnale in ingresso V. Si considerino segnali sinusoidali. (2 punti)



Il circuito RC può essere considerato come un partitore generalizzato. Dato che l'impedenza di R e di C vale rispettivamente $Z_R = R$ e $Z_C = 1/j\omega C$ allora la tensione V_C ai capi di C sarà pari a $+V \cdot Z_C / (Z_R + Z_C) = 1/(1+j\omega RC)$, dove $\omega = 2\pi f$ (f è la frequenza del segnale in ingresso).

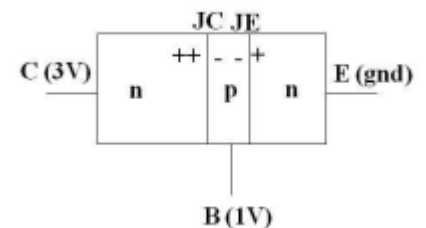
Considerando il modulo della tensione ai capi di C si ha $V_C = V/\sqrt{1+\omega^2\tau^2}$ dove $\tau = RC$.

Se $\omega^2\tau^2 \ll 1$ ($\omega\tau < 1$, ossia $f < 1/2\pi RC$) allora $V_C \approx V$ e quindi i segnali sinusoidali a bassa frequenza passano senza essere modificati.

Se $\omega^2\tau^2 \gg 1$ ($\omega\tau > 1$, ossia $f > 1/2\pi RC$) allora $V_C \approx 0$ e quindi i segnali sinusoidali ad alta frequenza sono fortemente attenuati fino a diventare trascurabili.

Il circuito agisce quindi da “passa-basso” in quanto fa passare le basse frequenze rispetto a $1/2\pi RC$ mentre attenua quelle alte.

- Illustrare il funzionamento del transistor BJT npn in polarizzazione diretta (1 punti), illustrando le differenze tra il BJT e la serie di due diodi montati in serie in opposizione (1 punto)

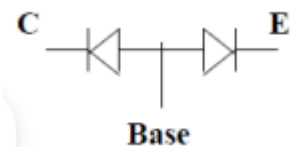


In un transistor BJT npn in polarizzazione diretta la giunzione di collettore JC è polarizzata inversamente, mentre la giunzione di emettitore JE è polarizzata direttamente (si veda esempio in figura).

La densità di drogaggio è elevata nell'emettitore e modesta nel collettore, in modo da creare una regione di carica spaziale (RCS) maggiore nel collettore.

La base è molto stretta e dominata dalla RCS.

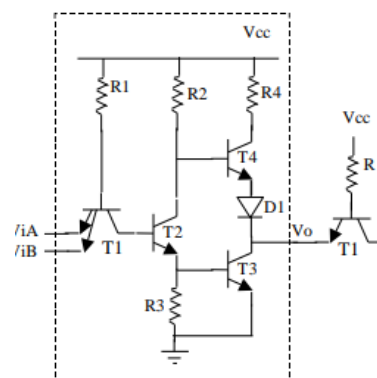
L'elettrone fluisce dall'emettitore verso la base; in base diventa carica minoritaria ma grazie alla RCS l'elettrone ha bassa probabilità di ricombinarsi e viene catturato dalla grande RCS della JC (inversa) e raccolto nel collettore. Si ha quindi un flusso di corrente I_C da C verso E grazie alla base stretta e alle differenze di drogaggio. Poca corrente I_B entra dalla base B e fluisce verso E ($I_E = I_B + I_C$). La giunzione di emettitore agisce come quella del diodo e pertanto il transistor conduce se $V_{BE} > 0.6V$. In polarizzazione diretta le correnti di base e di collettore sono regolate da una relazione lineare $I_B = I_C/\beta$ ($20 < \beta < 500$).



Il transistor npn ha un comportamento completamente differente dal circuito costituito dalla serie di due diodi in opposizione.

Tale circuito, infatti, non permette lo scorrimento di una corrente tra C ed E, qualunque sia la tensione in Base. Al contrario, il transistor permette un flusso di elettroni da E a C (corrente in direzione opposta) perché gli elettroni che da E a Base superano la barriera di potenziale non hanno buona probabilità di ricombinarsi, in quanto la Base è completamente occupata dalla regione di carica spaziale, e vengono attratti dalla RCS del collettore.

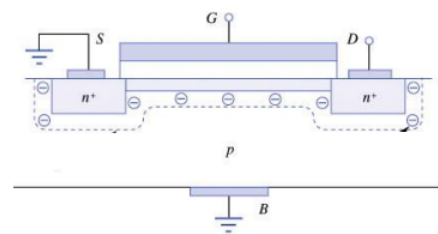
- Dato il circuito in figura e con riferimento alla parte tratteggiata, indicare la funzione logica, di quale famiglia logica si tratta e quale vantaggio introduce rispetto alle famiglie logiche bipolari precedenti (1 punto) ed evidenziare la funzione della resistenza R3 (1 punto)



Si tratta di una porta logica NAND con ingressi ViA e ViB e uscita Vo della famiglia logica TTL (Transistor Transistor Logic), la più famosa famiglia logica bipolare, caratterizzata dallo stadio di uscita Totem-pole che fa lavorare T3 e T4 in opposizione di fase permettendo una maggiore velocità di commutazione verso “1” rispetto al classico stadio di uscita delle famiglie RTL e DTL, caratterizzate da un solo transistor di uscita con zero forte e uno molto debole.

La resistenza R3 serve per scaricare le cariche accumulate nella base di T3; quando T3 deve spegnersi, le cariche accumulate nella sua base, se non ci fosse R3, si scaricherebbero sulla giunzione BE del transistor T2 che è polarizzata inversamente e quindi lo spegnimento di T3 sarebbe troppo lento.

- Illustrare il principio di funzionamento di un nMOS ad arricchimento con riferimento all'immagine riportate (2 punti)

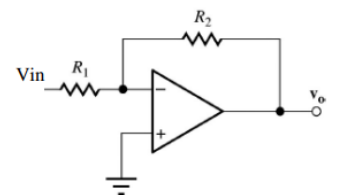


Il transistor nMOS ad arricchimento in figura è un tripolo (Source, Gate e Drain) e si basa sul principio del condensatore MOS e sull'effetto body.

Il transistor è a canale n perché andando ad agire sulla tensione V_{gs} si crea un canale di conduzione n tra Drain e Source; si dice ad arricchimento perché in condizioni nulle il canale non c'è (non c'è alcun drogaggio nel canale).

Se $V_{gs} < 0$ non solo non c'è il canale ma c'è un accumulo di lacune attratte dalla polarizzazione negativa. Se $0 < V_{gs} < V_{th}$ le lacune che erano vicino allo strato di ossido si allontanano creando un sottile strato di carica negativa. Se $V_{th} < V_{gs}$ e $V_{gs} - V_{th} > V_{ds}$, grazie all'effetto Body, si crea il canale di conduzione e si è in regione Ohmica, ossia la relazione tra V_{ds} e I_{ds} è lineare $I_{ds} = K (V_{gs} - V_{th}) V_{ds}$. Se $V_{gs} - V_{th} < V_{ds}$ si ha un effetto di strozzamento del canale e si parla di zona di saturazione, dove $I_{ds} = K/2 (V_{gs} - V_{th})^2$. A differenza del transistor bipolare, nel gate del transistor MOS non entra corrente grazie all'effetto isolante dello strato di biossido di silicio tra gate e substrato.

- Commentare brevemente come funziona il circuito a lato nel caso di amplificatore operazionale LM358 alimentato con tensione bipolare -5V e +5V, ipotizzando $R_1 = R_2$ e ingresso V_{in} pari ad una sinusoide variabile tra 1V e 2V (1 punto). In caso di alimentazione monopolare (5V, gnd) come si dovrebbe modificare il circuito per evitare che l'uscita vada in saturazione? (1 punto)

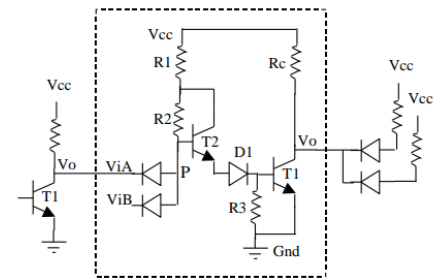


Il circuito in figura è un amplificatore di tensione invertente (con retroazione negativa) dove, salvo situazioni di saturazione, $V_o = -(R_2/R_1)V_{in}$.

L'amplificatore operazionale LM358 è un dispositivo che può avere alimentazione bipolare e monopolare. Ipotizzando alimentazione bipolare -5V e +5V, se $R_1 = R_2$, il circuito diventa un invertitore con guadagno unitario, per cui se applico in ingresso una sinusoide tra 1V e 2V otterrò in uscita una sinusoide tra -1V e -2V e l'istante in cui l'ingresso è a 1V avrò l'uscita a -1V.

In caso di alimentazione monopolare (5V, gnd) e ingresso sinusoidale tra 1V e 2V, l'LM358 avrebbe sempre l'uscita circa a massa, ossia in saturazione negativa. L'amplificatore invertente deve, per sua natura, poter operare in alimentazione bipolare, quindi come se applicassimo un'alimentazione positiva a +2,5V e un'alimentazione negativa a -2,5V, ossia spostando il punto di riferimento o massa da 0V a +2,5V. Se quindi si applicasse 2,5V al terminale positivo di ingresso del LM358, applicando in ingresso una sinusoide tra 1V e 2V, otterremmo in uscita una sinusoide tra 3V e 4V e l'istante in cui l'ingresso è a 1V avrò l'uscita a 4V, in quanto il segnale d'ingresso risulterebbe negato in un riferimento con lo zero a +2,5V, ossia $V_{in} - 2,5V = 2,5V - V_o$ e quindi $V_o = 5V - V_{in}$.

- Dato il circuito in figura e con riferimento alla parte tratteggiata, indicare di quale famiglia logica si tratta e quale vantaggio introduce rispetto alle famiglia logiche bipolari precedenti (1 punto) evidenziandone la funzione del resistore R3 (1 punto)



La sezione evidenziata è una porta NAND della famiglia logica DTL (Diode Transistor Logic), la famiglia logica che segue la RTL e che precede la TTL.

Rispetto alla RTL, che aveva uno zero forte e un uno debole con ingressi che scambiavano poca corrente a zero e molta corrente a uno, modifica lo stadio di ingresso, in modo che i carichi risultino leggeri a uno, dove il pilota è debole. Inoltre, grazie al diodo D1, alza il livello della tensione di soglia ingresso, dove è massima l'incertezza tra l'interpretazione dello zero e dell'uno, da circa 0,6V-0,7V a circa 1,3V-1,4V, ridistribuendo meglio le tensioni di ingresso tra i due livelli logici.

Infine la famiglia logica DTL introduce il concetto di carico attivo, ossia una resistenza che assume valori diversi a seconda dello stato logico; l'insieme costituito da R1, R2 e T2 è appunto un carico attivo, ossia una resistenza che assume valore maggiore ($R1+R2$) se l'uscita è a uno e minore ($R1$) se l'uscita è a zero.

La resistenza R3 serve a scaricare le cariche immagazzinate nella base di T1, velocizzandone lo spegnimento nella transizione dell'uscita da zero a uno; in assenza di R3, le cariche immagazzinate nella base di T2 si scaricherebbero con la velocità della corrente inversa del diodo D1.

a) Descrivere brevemente il transistor nMOS ad arricchimento, commentando le differenze con il transistor bipolare npn (2 punti)

Il transistor nMOS ad arricchimento si basa sul principio del condensatore MOS: se applico sul gate una tensione superiore ad una certa soglia ($V_{GS} > V_{th}$), allora per effetto body si crea un canale di conduzione tra Drain e Source, che sono pozzetti drogati con la stessa polarità del canale che si forma. Se $V_{GS} - V_{th} > V_{DS} > 0$ allora $I_D = k(V_{GS} - V_{th})V_{DS}$, se invece cresce, allora si genera un effetto di strozzamento del canale e la corrente I_D satura ad un valore costante indipendente da V_{DS} e dipendente da V_{GS} $I_D = (k/2)(V_{GS} - V_{th})^2$

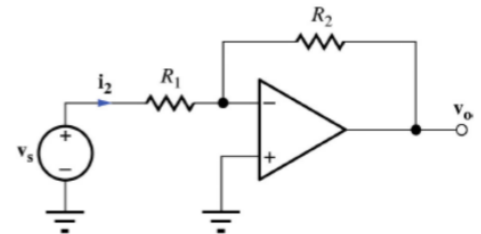
Il transistor bipolare npn è costituito da due giunzioni (giunzione di collettore e giunzione di emettitore) adiacenti e tenute vicine da una base molto sottile e praticamente tutta in regione di carica spaziale. Se la giunzione di emettitore è polarizzata inversamente il

transistore si trova in interdizione e all'emettitore scorre una trascurabile corrente inversa dovuta ai portatori minoritari;

Se invece $V_{be} > 0,7V$ allora gli elettroni all'emettitore sono trascinati attraverso la base verso l'ampia regione di carica spaziale del collettore. Se $V_{be} > 0,7V$ si distinguono una regione di funzionamento lineare (giunzione di collettore polarizzata inversamente) e una regione di funzionamento di saturazione (giunzione di collettore polarizzata inversamente): nel primo caso la corrente di collettore è legata linearmente alla corrente di base, mentre nel secondo caso, anche all'aumentare della corrente di base, la corrente di collettore non aumenta e la tensione V_{ce} praticamente si assesta ad un valore minimo di circa $0,2V$.

In generale il transistore bipolare è in grado di portare correnti di valore elevato e ha una capacità d'ingresso inferiore rispetto al MOS risultando quindi più veloce; al contrario il MOS non ha corrente in ingresso e non ha tensioni residue in uscita limitando molto la dissipazione di potenza statica.

b) Commentare il circuito a lato nel caso di un condensatore di capacità C in parallelo alla resistenza R_2 (2 punti)



Il circuito in figura è un amplificatore invertente e l'uscita V_o è legata all'ingresso V_s dalla seguente relazione $V_o = -V_s \cdot R_2 / R_1$

Infatti, dato che in presenza di retroazione negativa si può assumere che gli ingressi dell'amplificatore operazionale siano allo stesso potenziale, allora anche l'ingresso meno si può considerare a massa (massa virtuale). Dato che non entra corrente agli ingressi dell'amplificatore operazionale, la corrente $i_2 = V_s / R_1$ è la stessa che corre nella resistenza di reazione R_2 , pari a $-V_o / R_2$.

Più in generale, l'equazione sopra riportata è valida anche per le impedenze $V_o = -V_s \cdot Z_2 / Z_1$, per cui, se si considera un condensatore di capacità C in parallelo a R_2 , si avrebbe $Z_2 = R_2 / (1 + j\omega C \cdot R_2)$ e quindi $V_o = -V_s \cdot (R_2 / R_1) / (1 + j\omega C \cdot R_2)$. Alle bassissime frequenze ($\omega \rightarrow 0$) l'effetto del condensatore sarebbe praticamente nullo, mentre alle altissime frequenze ($\omega \rightarrow \infty$) l'uscita sarebbe praticamente nulla, quindi il circuito avrebbe l'effetto passa-basso, nel senso che le basse frequenze passerebbero inalterate mentre le alte frequenze risulterebbero attenuate.

c) Calcolare e commentare FANOUT e IMMUNITA' AL RUMORE per interfacciamenti all'interno della famiglia 74ALS e per interfacciamenti all'interno della famiglia 74AC (2 punti).

Il FANOUT all'interno della famiglia logica bipolare 74ALS è pari a $\min(I_{ol}/I_{il}; I_{oh}/I_{ih}) = \min(8\text{mA}/100\mu\text{A}; 400\mu\text{A}/20\mu\text{A}) = 20$, mentre all'interno della famiglia 74AC è pari a $\min(I_{ol}/I_{il}; I_{oh}/I_{ih}) = \min(4\text{mA}/1\mu\text{A}; 4\text{mA}/1\mu\text{A}) = 4000$. Naturalmente l'elevato FANOUT della famiglia CMOS è dovuto all'ingresso capacitivo del CMOS, che praticamente non assorbe corrente, ma si tratta di un valore non applicabile nella realtà, proprio a causa dell'elevato carico capacitivo che altererebbe la forma del segnale generando un segnale che rimane per troppo tempo nella regione di incertezza.

L'immunità al rumore all'interno della famiglia logica bipolare 74ALS è pari a $\min(V_{oh}-V_{ih}; V_{il}-V_{ol}) = \min(2,5\text{V}-2,0\text{V}; 0,8\text{V}-0,5\text{V}) = 0,3\text{V}$, mentre all'interno della famiglia 74AC è pari a $\min(V_{oh}-V_{ih}; V_{il}-V_{ol}) = \min(4,9\text{V}-3,5\text{V}; 1,5\text{V}-0,1\text{V}) = 1,4\text{V}$. La simmetria della famiglia CMOS permette di avere un'immunità al rumore praticamente ideale, sebbene nelle famiglie più recenti l'immunità al rumore superiore ai 200mV abbia perso di importanza e si privilegiano piccole variazioni di segnali con fronti controllati per evitare disturbi sull'alimentazione.

Parametro	TTL			CMOS	
	74XX	74LSXX	74ALSXX	74ACXX	74HCTXX
I _{ih} (max)	40μA	20μA	20μA	1μA	1μA
I _{il} (max)	1.6mA	400μA	100μA	1μA	1μA
I _{oh} (max)	400μA	400μA	400μA	4mA	4mA
I _{ol} (max)	16mA	8mA	8mA	4mA	4mA
V _{ih} (min)	2.0V	2.0V	2.0V	3.5V	2.0V
V _{il} (max)	0.8V	0.8V	0.8V	1.5V	0.8V
V _{oh} (min)	2.4V	2.7V	2.5V	4.9V	4.9V
V _{ol} (max)	0.4V	0.5V	0.5V	0.1V	0.1V

RIPASSONE (REGISTRAZIONE 2021)

Silicio intrinseco è allo stato puro. I fenomeni di trasporto sono associati ai portatori minoritari: che sono quelli che si attivano con la temperatura.

Il silicio drogato è quello che contiene impurità: il reticolo non lega tutti gli elettroni (introdotti dal drogaggio) ma la carica globale della molecola rimane neutra; quindi rimane una lacuna/un elettrone libero.

>Drogaggio p (boro), +3 e valenza => rimane un +

>Drogaggio n (fosforo), +5 e valenza => rimane un -

Giunzione pn: DIODO

Quando avvicino due zone drogate p-n, si genera una RCS: ovvero gli elettroni dell'area n si legano con le lacune dell'area p: risultato la zona n si "impoverisce di elettroni" (sono finiti nelle lacune) ed è localmente carica positivamente; la zona p "acquista elettroni" (le sue lacune sono state riempite) e quindi risulta localmente carica negativamente.

La % di drogaggio influisce su questa "carica locale", la zona di diffusione.

Quindi la lunghezza della RCS è maggiore dove c'è % bassa di droganti => cioè dove l'area "perde meno" la sua carica locale.

Questa differenza in % -> differenza in larghezza -> differenza di carica locale +/- dunque si viene a creare una DDP tra l'area n e p della giunzione.

A causa di questa DDP se arriva un elettrone dal lato n (a potenziale maggiore) si troverà una BARRIERA di potenziale (la RCS) che impedisce il passaggio verso il lato p. A patto che ovviamente non sia imposta una polarizzazione esterna e dunque l'elettrone sia sufficientemente energizzato.

Diodi skhotky zener

Esercizi diodi:

Raddrizzatore

Diodo condensatore: res // capacità, creo un percorso di scarica, se ho resistenze minori la capacità si svuota più velocemente.

Devo fare attenzione quando metto una capacità in un circuito perché il circuito reagisce in modo diverso alle frequenze.

Circuito “vince il maggiore”

Segnale è sull'anodo

Circuito “vince il minore”

Segnale è sul catodo

Esercizio rete a diodo

HP: conduzione

Sviluppo la rete, risolvo

TS: confermo se tensione a capi diodi 0.7 e scorre corrente diretta

Altrimenti assurdo

Transistor BJT (file 3)

BJT: due giunzioni -> è tripolo come due diodi in antiparallelo? No perchè non potrebbe mai esserci corrente tra C ed E. Il funzionamento particolare è dovuto dall' **effetto**

transistor: la base è molto stretta, quindi è quasi tutta RCS, (drogando opportunamente), la base è p -> la RCS è a carica negativa dovuta dagli elettroni acquistati da C ed E.

Tanto drogato E, poco drogato C. L'elettrone deve poter essere attratto dalla grande RCS di C, per cui bassa % drogaggio.

Comportamento BJT

Esistono 4 modi di funzionamento del BJT a seconda di come sono polarizzate le JC e JE.

Ne studiamo 3, escludendo quella dove JE inversa e JC diretta.

- JE inversa? $V_b - V_e < 0.7V$

In realtà se le correnti in gioco sono molto piccole la soglia diventa $0.6V$
(Unico caso in cui JE è inversa, implica BJT spento)

>**Interdizione**: unica con JE inversa, implica che il BJT è spento e non scorrono correnti dovute a portatori maggioritari, e minoritari. La JC è anch'essa inversa.

- JE diretta? $V_b - V_e \geq 0.7V$

(Si trovano due tipi di funzionamento del BJT, in base alla polarizzazione anche di JC)

JC inversa? $V_b - V_c < 0.7V$

JC diretta? $V_b - V_c \geq 0.7V$

>**Attivo diretto**: se la JE è diretta e la JC inversa ($V_b - V_c > 0.7V$).

La corrente di collettore è legata a quella di base da una costante. Equazione che descrive il comportamento lineare del transistor.

*Per aumentare I_c abbasso V_c .

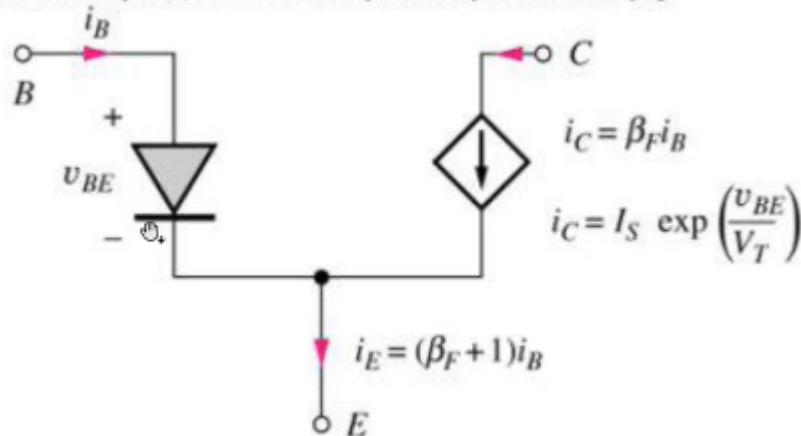
>**Saturazione**: se JE diretta e JC diretta sono in una configurazione dove la tensione $V_{ce} < V_{be}$. Fissiamo la tensione V_{ce_sat} a $0.3V$.

In realtà va anche a $0V$; lo 0.3 lo raggiunge quando ci sono delle correnti importanti, è il max. Lo consideriamo fisso per semplicità di calcolo.

La tensione di collettore non può scendere di troppo, quindi esiste un massimo di I_c dettata dalla saturazione del BJT.

Modello BJT: ATTIVA DIRETTA

McGraw-Hill Companies, Inc. Permission required for reproduction or display.



JE: si comporta come un diodo, o conduce o non conduce.

JC: un po' più complicata.

>Se il diodo conduce -> c'è una $V_{be} \approx 0.7V$; allora c'è la corrente di collettore I_C che è determinata da un *generatore di corrente comandato in corrente* secondo una legge lineare $I_C = I_B \cdot \beta$ (amplificazione).

La $I_E = I_B + I_C = (\beta + 1) I_B$ perchè è un tripolo.

>Se il diodo è in interdizione -> c'è una $V_{be} < 0.7$; non scorre corrente nella base e quindi anche la corrente di collettore è $= 0$. Non ci sono correnti. Transistor è spento.

BJT pnp

Comportamento complementare: non considero V_{be} , considero V_{eb} ; stesso $V_{ce} \rightarrow V_{ec}$.

Polarizzazione BJT: circuito

Come si trovano I_C e V_{ce} ? Beta ci viene data.

Prima calcolo l'ingresso, ipotizzo il funzionamento: se dico POL. ATT. allora il circuito dovrà rispettare $I_C = I_B \cdot \beta$.

Trovo I_B e calcolo I_C .

$$I_C = (V_1 - V_C) / R_C$$

Trovo $V_C = I_C \cdot R_C$.

Se E è a massa allora -> $V_E = 0$ e $V_{ce} = V_C$

Controllo l'ipotesi.

$V_{ce} < V_{be}$? (ATT. DIR., JC inversa)

Quindi $V_c > V_b$: essendo un npn C è n e B è p -> per avere una polarizzazione inversa serve che $V_c > V_b$.

HP LIN: $I_c = I_b \cdot \beta$

VERIFICA: $V_{ce} < V_{be}$ $V_c > V_b$

HP SAT: $I_c < I_b \cdot \beta$ (?)

VERIFICA: $V_{ce} > V_{be}$

Processo di fabbricazione BJT npn

Si parte da uno strato di silicio drogato n e ci si fa crescere sopra uno strato di biossido. Poi si applica fotoresist e poi una maschera.

Si espone il tutto a UV: dove c'è la maschera rimane tutto intatto; il fotoresist invece viene rimosso da questi UV e quindi poi posso raggiungere il biossido e toglierlo direttamente.

Così ho creato dei pozzetti, dei varchi per entrare e drogare le zone.

Questa tecnologia vuole tre pozzetti concentrici, non è molto miniaturizzabile e deve integrare delle resistenze. Non il massimo.

Il transistor MOS

Si parte dall'**effetto body** del condensatore MOS. Prendo un substrato debole p, diossido di silicio e metto del metallo.

La zona p è a massa, mentre sul metallo considero il punto di Gate di cui si regola la tensione.

Se $V_g < 0$ le lacune di p si accumulano a ridosso del metallo; se $V_g > 0$ le lacune ovviamente tenderanno ad andarsene. Se è abbastanza positiva, oltre una soglia (di inversione), le lacune si accumulano e si allontanano fino a lasciare al loro posto una simil-zona drogata N.

Questo mi permette di avere **mobilità dei portatori n**.

nMOS

Questo effetto permette di generare un *canale di conduzione* tra due pozzetti n, source e drain. Regolando la tensione V_g posso aprire e chiudere questo canale tra S e D.

Le due regioni S e D non sono identiche: il canale tende a *stringersi* a seconda della $V_{gs} = V_g - V_s$.

> **Condizione:** esiste una corrente I_d da Drain a Source solo nel caso in cui $V_{ds} > 0$ (piccolina).

Se $V_{gs} - V_{th} > V_{ds} > 0 \rightarrow I_d = k(V_{gs} - V_{th}) * V_{ds}$

Si dice che l'nMOS opera in regione lineare tra I_d e V_{ds} .

Il transistor si comporta come un resistore tra S e D controllato da V_{gs} . Quanto vale il resistore equivalente? $k * (V_{gs} - V_{th})$

Se aumento troppo la V_{ds} , do sempre più corrente, arriverà ad essere $V_{ds} > V_{gs} - V_{th}$.

Si ha uno strozzamento del canale di conduzione, pinch-off, la corrente I_d non può più aumentare perché ha toccato il limite della regione lineare.

> **Saturazione:** quando $V_{ds} > 0$ ma anche $V_{ds} > V_{gs} - V_{th}$. E' lo stesso concetto del BJT:

all'inizio I_d è proporzionale al segnale di controllo V_{ds} , ma oltre una certa soglia non va.

$I_{d_max} = (k/2) (V_{gs} - V_{th})^2$ è la nuova relazione, e si vede non dipende più da V_{ds} . E' un limite strutturale al transistor - come nel BJT ic smette di dipendere da i_b

Tipi di MOS

Arricchimento: generano il canale di conduzione drogato n attivando V_g .

> Transistor nMOS pMOS ad arricchimento.

Svuotamento: sono stati drogati con il canale n, e questo viene *svuotato* regolando la V_g .

> Transistor nMOS pMOS a svuotamento.

RIASSUNTO: il transistor n è quello che ha il canale n e quindi i pozzetti n. Il substrato è p. Devo fare un solo processo. Riesco a miniaturizzare bene.

Polarizzazione MOS: circuito

E' lo stesso metodo del BJT:

Studio la base per prima. La $I_g = 0$ sempre, grosso vantaggio nello studio dell'ingresso.

Per lo studio dell'uscita ipotizzo: saturazione o lineare. Si preferisce saturazione perché permette di calcolare direttamente la I_d dalla V_{gs} .

HP SAT: $I_d = I_{ds} = (k/2) (V_{gs} - V_{th})^2$

VERIFICA: $V_{ds} > V_{gs} - V_{th}$

HP LIN: $I_d = k (V_{gs} - V_{th}) * V_{ds}$

VERIFICA: $V_{gs} - V_{th} > V_{ds} > 0$

AO (file 4)

Dobbiamo conoscere il modello del AO:

Layout:

>2 piedini IN

>2 piedini $+V_p$

>1 piedino OUT

Alta impedenza tra morsetti IN; $I_{in} = 0$

Bassa impedenza in uscita; $I_{out} = \infty$

Si comporta come un *generatore di tensione ideale*, OUT dipende da V_i e non da I_o .

>L'uscita vale:

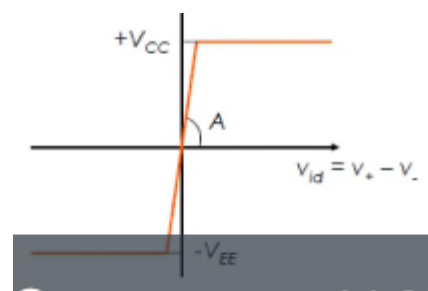
$$V_o = A * V_{in} = A * (V_+ - V_-)$$

L'uscita non può comunque uscire dal range determinato dalle due alimentazioni.

L'uscita V_o si riferisce ad una massa, un punto di lavoro; che è il punto medio tra le due alimentazioni.

La V_{in} determina anche il tipo di funzionamento: se

gli ingressi sono sbilanciati di troppo (poco) vado subito in saturazione. Vedi grafico caratteristica.



Retroazione

L'uscita è collegata - attraverso resistenze, componenti.. - a quale morsetto IN?

Retroazione Positiva: tende ad allontanare gli ingressi, uscita in saturazione. Lavora come comparatore.

Comparatore a isteresi serve per filtrare il rumore.

Retroazione Negativa: tende ad avvicinare gli ingressi; che possono essere considerati uguali se e solo se l'uscita non va in saturazione. Potrebbe lo stesso andare in saturazione se fornisco un V_- troppo alto.

Circuiti AO

Se retroazione negativa:

Suppongo:

> non entra corrente

> dispositivo HP: non saturazione $\Rightarrow V_+ = V_-$

> $V_- = \text{GND}$

* Amplificatore invertente nello schema classico *

La corrente R_1 = quella in R_2 .

$$V_o = -V_s * R_2/R_1$$

* Amplificatore non invertente *

* Amplificatore a guadagno 1 *

Funzione identità.

Serve ad adattare le impedenze, isola due parti del circuito.

* Sommatore invertente *

Ipotizzo massa nel punto di unione dei due ingressi.

Ipotizzo non saturazione per la retroaz negativa.

$$i_1 + i_2 = i_3$$

$$V_{out} = -i_3 * R_3 = R_3 * (0 - i_1 - i_2) = R_3 * (0 - v_1/r_1 - v_2/r_2)$$

Il meno è dovuto al fatto che le due tensioni V_1 e V_2 sono già tutte e due cadute nel punto massa in cui si incontrano i_1 e i_2 , quindi nel punto V_o la tensione sarà negativa perchè cade di esattamente $V_o \Rightarrow V_o = -i_3 \cdot R_3$

Sottrattore invertente

Se do il segnale al morsetto + allora nella relazione tra V_{in} e V_o c'è segno positivo.

Se do il segnale al morsetto - allora nella relazione tra V_{in} e V_o c'è segno negativo.

(Si sfrutta questo tipo di meccanismo tra segni di tensioni per realizzare il sommatore non invertente)

In questo caso ho segnale in entrambi i morsetti per cui ho una relazione dove figurano tutte le tensioni, V_o concorde a $V_2(+)$ e discorde a $V_1(-)$.

Se retroazione positiva:

Boh

Logica (file 5)

I transistori sono o interdetti o in zona lineare o in zona di saturazione

Lineare: di solito si usano negli AO, proprio perchè amplificano.

Saturazione: interruttori

Studiamo npn e nMOS arricchimento.

Segnale in ingresso alto o basso; segnale forte e debole.

Logica bipolare.

Modello elettrico statico del dispositivo con funzione F

In uscita c'è un NOT;

Ci sono 4 equazioni che descrivono il suo comportamento.

Livelli di tensione e corrente? Livelli minimi e massimi. Il range di codifica "1", "0", zona di incertezza.

Parametri statici

Immunità al rumore e fan-out.

Famiglie e dispositivi reali

RTL

Una famiglia che funziona disastrosa. 0 forte e 1 debole. Gli ingressi scambiano corrente sull'1, che è debole! Ho quindi un fan out terribile.

Quindi si cerca di migliorare lo stadio di uscita.

DTL

Introduce:

- > inversione stato ingresso con questi 3 diodi. 0 scambia corrente: ok perchè è forte.
- 1 non scambia corrente: meglio perchè è debole (grazie al diodo contropolarizzato)
- > grazie a D1 aumento la tensione di soglia da 0.7 a 1.4.
- > mi permette di avere facilmente NAND

In più tecnologicamente introduce il concetto di carico attivo: resistenza equivalente a valore diverso in base alla corrente che ci sta passando.

TTL

Apoteosi delle famiglie bipolari.

>Prende la DTL e modifica l'uscita: rende 1 più forte

>velocizza la commutazione a 1 con il T4 (veloce a portare a 1 l'uscita) complementare a T3 (lento a spegnersi)

> D1 serve come traslatore di tensione. Se non ci fosse, quando T3 conduce condurrebbe anche T4 (no comportamento complementare). Può stare in E di T4 o B di T4

La presenza del diodo abbassa la tensione in uscita di "1" un po' più bassa, perché c'è la sua barriera di potenziale che si somma alla JE di T4. Sarà al max 3.6V

cMOS

E' perfettamente simmetrico. Non passa mai corrente tra alimentazione e GND se non tra le commutazioni: consuma corrente solo nel momento in cui cambia valore l'uscita, per il segnale piatto non consuma nulla! (o trascurabile)

Problemi tecnologici?

1. In IN ho un condensatore. Se trasferisco cariche sul gate potrei avere delle scariche elettrostatiche che bucano lo strato di Si e guasto.
2. Latch-up: se la cella cmos è troppo piccola si potrebbe generare l'effetto transistor: si generano due basi (in realtà non lo sono ma si comportano come tali perché sono aree molto piccole ma con RCS forti dovute alla vicinanza) vedi p32 A e B diventano bipolari parassiti.
Così creano un CC e se vanno in conduzione distruggono il componente.
Per ovviare a questo problema si fanno dei drogaggi di guardia, dove non basta 0.7 ma 5-7V per far condurre.

Interfacciamento TTL CMOS

Logica per passare da livello Gate a Transistor