

Αναφορά πρώτου μέρους εργασίας Οργάνωσης υπολογιστών

Ιωαννίδης Χρήστος 2018030006

Το παρόν project υλοποιήθηκε με την χρήση του Xilinx ISE 13.4

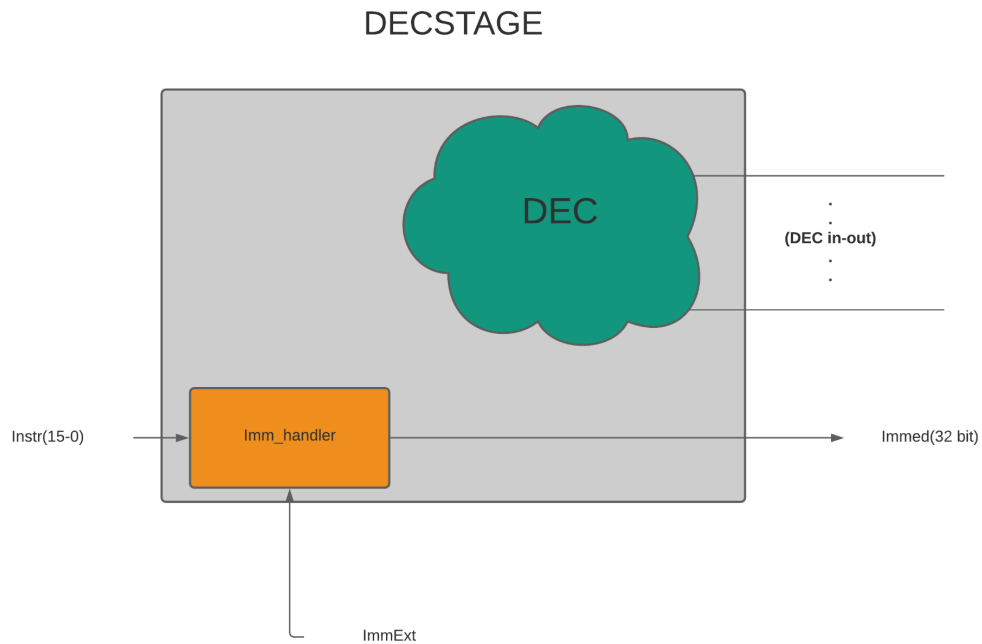
Γενικές πληροφορίες:

- Όλα τα Modules που ζητούνται έχουν υλοποιηθεί και φαίνεται να παρουσιάζουν την επιθυμητή λειτουργικότητα.
- Στα Modules δεν έχει χρησιμοποιηθεί η εντολή after που προσομοιώνει την καθυστέρηση ενός σήματος στο υλικό του επεξεργαστή λόγω έλειψης επαρκούς χρόνου.
- Παρόλο που μας επισημάνθηκε ότι είναι κακή πρακτική, μικρός αριθμός Behavioural λειτουργιών έχουν υλοποιηθεί με την χρήση for loop.

Σημεία που χρήζουν προσοχή:

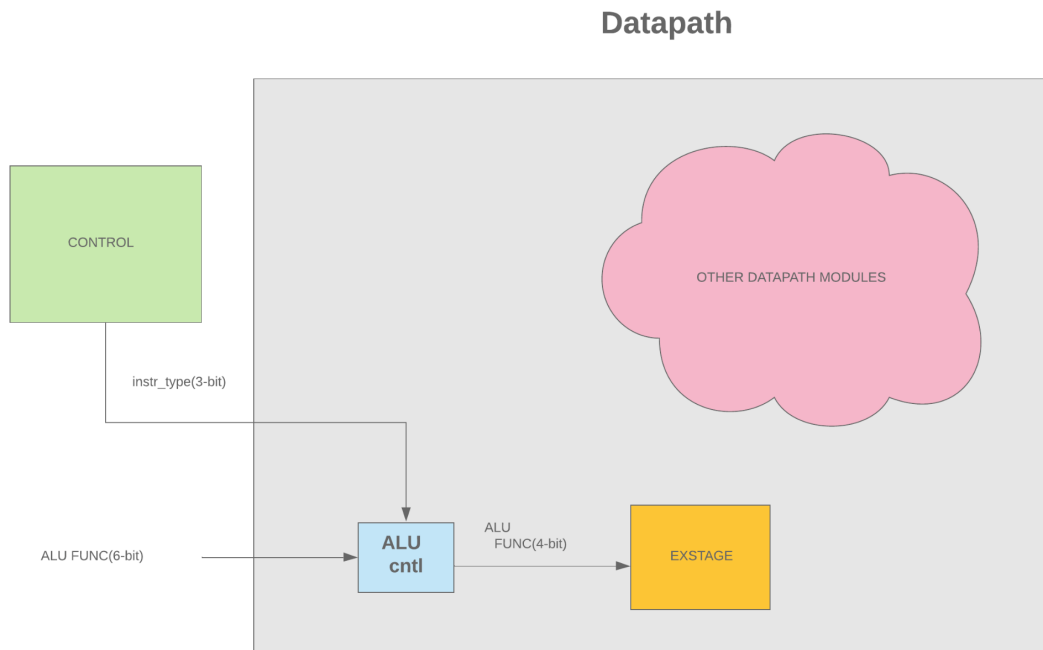
- Μέσα στις εντολές που υλοποιεί η ALU προστέθηκε η 1110 η οποία επιστρέφει το περιεχόμενο του καταχωρητή RF_B.
- Το Module ALU cntl που καθορίζει την 4-bit εντολή που θα εκτελέσει η ALU παίρνει σαν είσοδο ένα σήμα 6-bit από την εισερχόμενη εντολή και ένα σήμα 3-bit το οποίο υπάρχει για να αντιμετωπίζει ειδικές περιπτώσεις όπως η προαναφερθείσα.
- Μέσα στην Ram υπάρχουν εντολές που υλοποιούν την αντίστοιχη μάσκα σε περίπτωση Byte Operation ανάλογα με το Enable που θα έρθει από το MEMSTAGE.

Immediate Handler Block Diagram



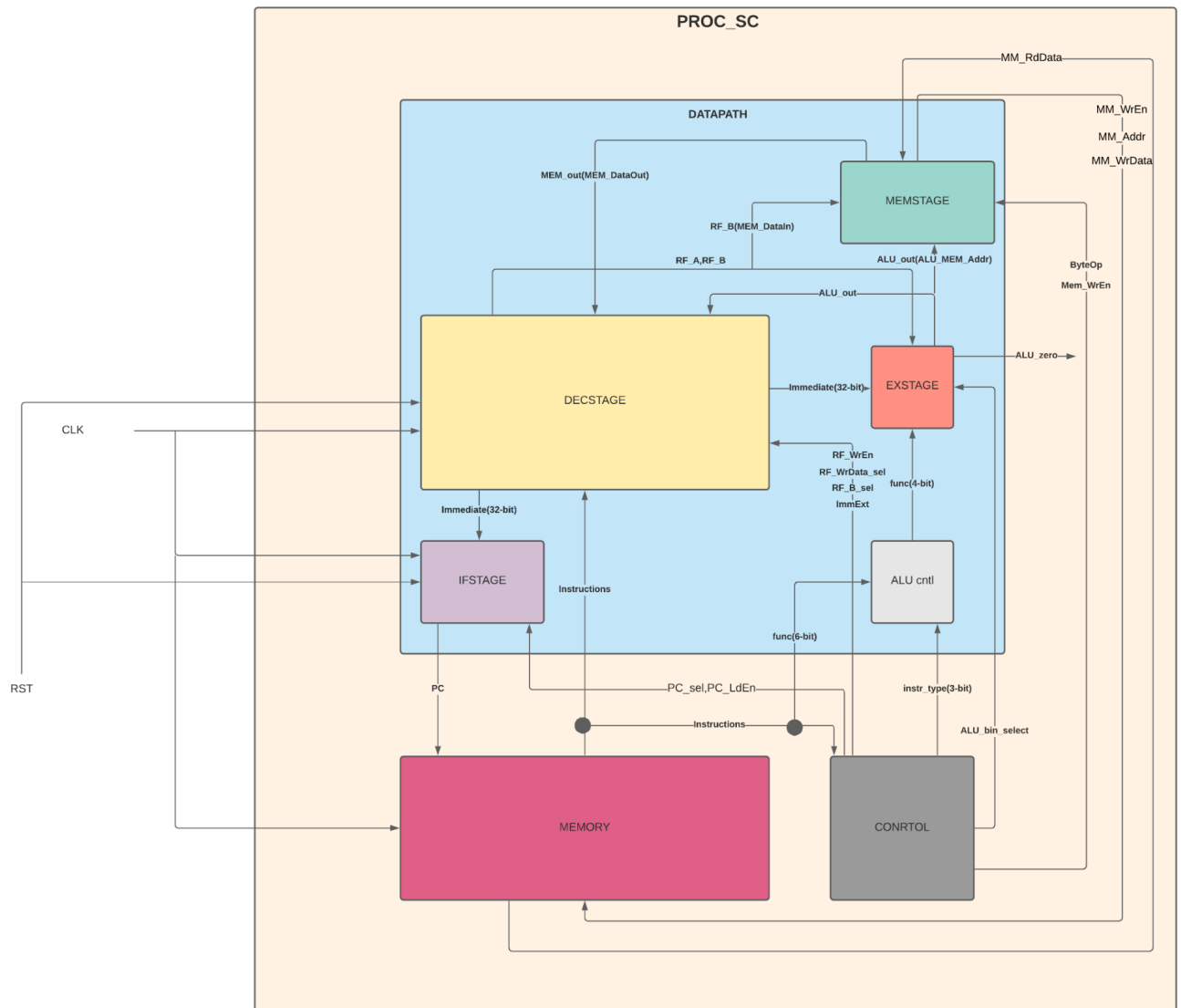
Παραπάνω παρουσιάζεται το Block Diagram του Module imm_handler το οποίο παίρνει σαν είσοδο ένα σήμα 16-bit και το μετατρέπει σε 32-bit ανάλογα με το σήμα 2-bit immExt που καθορίζει αν θα γίνει Sign Extend, Zero Fill etc.

ALU cntl



Παραπάνω παρουσιάζεται το Block Diagram του Module ALU cntl το οποίο συζητήθηκε και παραπάνω το οποίο καθορίζει την 4-bit εντολή που θα εκτελέσει η ALU. Παίρνει σαν είσοδο ένα σήμα 6-bit από την εισερχόμενη εντολή και ένα σήμα 3-bit instr_type το οποίο ορίζεται από το Module CONTROL και υπάρχει για να αντιμετωπίζει ειδικές περιπτώσεις (Π.χ. Addi,nandi,li,lui etc.)

PROC_SC COMPLETE DIAGRAM



Στο Παραπάνω Block Diagram παρουσιάζεται μια χονδρική απεικόνιση του συνολικού κυκλώματος με τα κυριότερα Modules και σήματα καθώς και οι επιμέρους συνδέσεις τους.

Screenshot απο το Simulation του PROC_SC

