|  |  |  |
| --- | --- | --- |
| 版本 | 日期 | 备注 |
| V0.9 | 2024年9月5日 | 初始文档创建 |
|  |  |  |
|  |  |  |

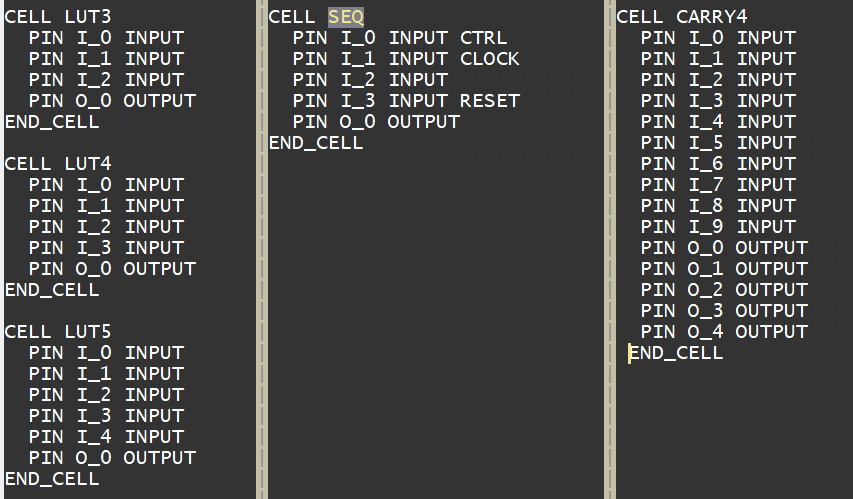
本赛题中，FPGA器件描述主要由3部分组成。文件格式沿用ISPD 2016比赛[1]所采用的增强型bookshelf格式，具体包括如下文件。

* .lib 文件；描述了赛题器件所包含的基本单元库类型，及每个单元模型的管脚信息。
* .clk 文件；描述了赛题器件时钟区域坐标信息。
* .scl 文件；描述了赛题器件宏观尺寸及每个坐标所包含的单元类型。

以#开始的行为注释信息。

以下为各个文件内容介绍及简单示例：

**Lib 文件：**



其中每种库单元类型定义以CELL 关键字开始，END\_CELL 关键字结束。

CELL关键字后为该类型单元名称，如图所示，LUT3-5，SEQ，及CARRY4 单元。

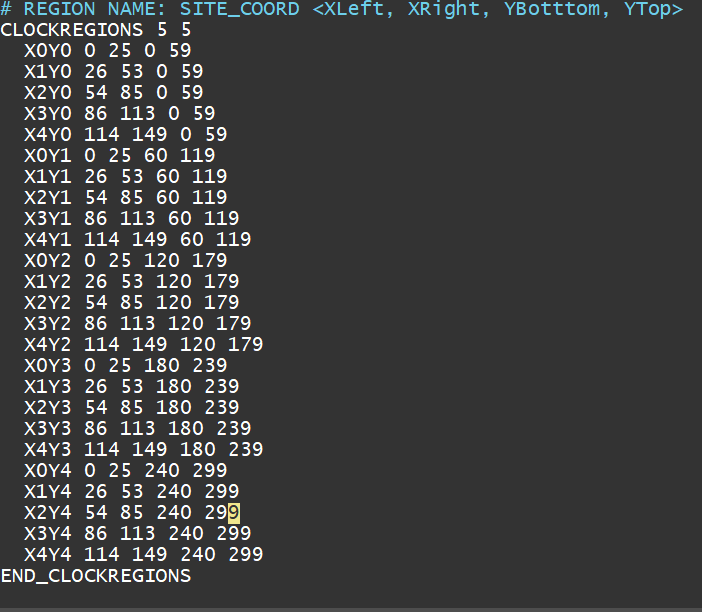
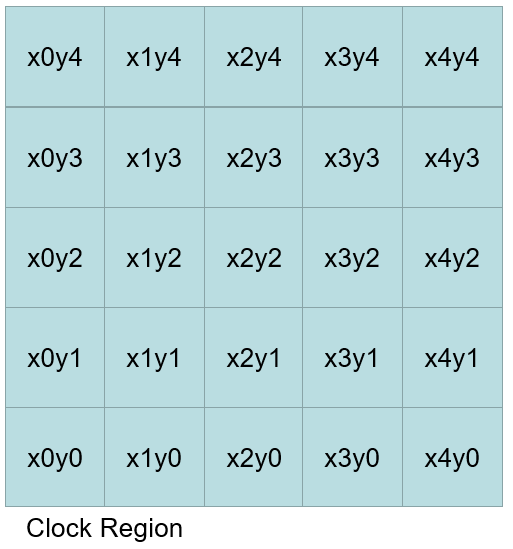
开始和结束关键字之间行，定义了单元所包含的pin信息。

具体格式为：PIN <Pin名称> <方向> <pin特殊属性>

以SEQ 单元举例，单元包含4个输入pin及一个输出pin。

其中三个输入pin包含特殊属性。I\_0为CE Pin（Clock Enable Pin），I\_1为Clock Pin，I\_3为Reset Pin。这些属性将在PLB内部单元合法化时候，存在数目上限限制。具体限制信息请参赛题文档器件描述部分。

**CLK文件：**



本赛题器件模型包含5x5 共25个时钟区域，如图所示。

关键字以CLOCKREGION开始，以END\_CLOCKREGION 结束。

关键字之间定义了每个时钟区域的具体坐标信息。

具体格式如下：<Region Name> <XLeft> <XRight> <YBottom> <YTop>

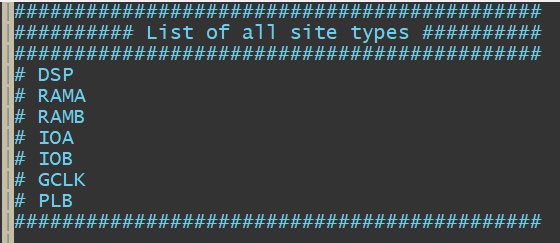
以X2Y2 区域为示例，区域为矩形，左下角坐标为 <54, 120>，右上角坐标为<85，179>

请注意，本赛题中，全部时钟区域是等高的，但不一定等宽。

**SCL文件：**

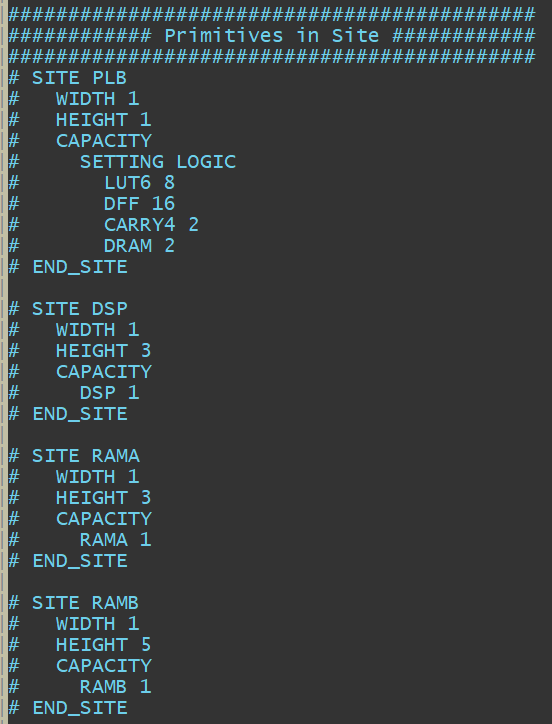
SCL文件为主要的器件资源描述文件。器件中每个坐标的位置定义为一个SITE。一个SITE可以包含一种或多种资源类型。

文件的第一部分以注释的形式，列举出了本文件中所包含的全部资源类型。

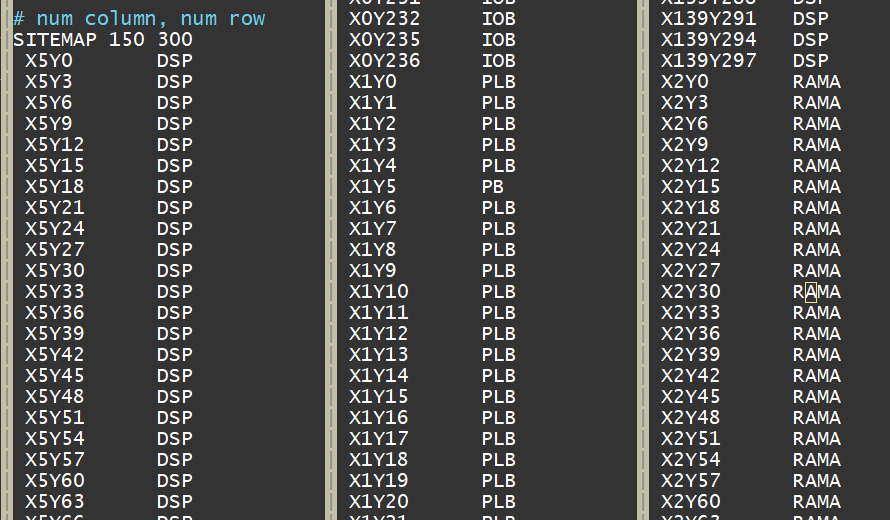


例如，本赛题器件包含 DSP，两种不同规格RAM（RAMA/B），两种不同规格IO（IOA/B），Global Clock资源GCLK，以及PLB逻辑资源。

文件的第二部分以注释的形式描述了每种资源SITE物理大小及其所包含的Primitive单元构成。详细信息可以参考赛题文档。



以PLB SITE 为例，如赛题指南中描述，一个PLB SITE可以包含两个BANK，每个BANK中可以包含4个LUT6及8个DFF单元。所以PLB SITE中Primitive总数为LUT=8，DFF=16。 同时PLB单元中还可以包含两个进位计算单元CARRY4。另外同BANK中的4个LUT可以被配置为分布式DRAM形式，从而PLB中也可以包含2个DRAM单元。



文件的第三部分提供了赛题芯片尺寸及每个坐标所包含的SITE类型。

如上图所示，芯片宽，即列 = 150， 高，即行 = 300。

请注意，以下两种特殊情况为合法。

* 某个坐标为空，及不存在任何SITE资源
* 某个坐标下，存在大于一种SITE资源

请同学们实现器件建模时候多加注意。

1. https://www.ispd.cc/contests/16/ispd2016\_contest.html