

[Strona główna](#)

Katedra Systemów Mikroelektronicznych, Wydział
Elektroniki, Telekomunikacji i Informatyki, Politechnika
Gdańska

[English version](#)

Dzielnik częstotliwości

Zadanie: Zaprojektować układ dzielnika częstotliwości przez N .

- Zapewnić wypełnienie przebiegu wyjściowego jak najbardziej zbliżone do $1/2$ (dla parzystych N wypełnienie powinno wynosić dokładnie $1/2$, dla nieparzystych N wypełnienie = $1/2$ z dokładnością do jednego okresu sygnału wejściowego).
- Umożliwić łatwą zmianę wartości N (np. poprzez *constant* lub *generic*).
- Dzielnik powinien mieć wejście resetu asynchronicznego.
- Napisać osobny moduł *testbench* generujący wszystkie sygnały i służący do symulacji układu dzielnika. Moduł *testbench* może być niesyntezywalny.
- Przed implementacją wykonać symulację układu z wykorzystaniem pliku testbench. Do celów symulacji zmniejszyć podział N .
- Aby sprawdzić działanie dzielnika, należy podzielić sygnał zegara 50MHz tak, aby otrzymać miganie diody LED **LD7** z częstotliwością 1Hz.
- Wykonać implementację.

Plik ucf do zadania, płytką Digilent Spartan-3, układ Spartan-3 3S200 FT256-4:

```
NET "clk_i" LOC = "T9" ; # 50 MHz clock
NET "rst_i" LOC = "L14" ; # active high
NET "led_o" LOC = "P11" ; # active high
```