

Programa CI-Digital - Ementa								
Módulo	Sigla	Tópicos	Aula	Tema da Aula	Atividade(s)	H. Teórica	H. Prática	
Módulo 1 (Básico)	SD100	Introdução a Microeletrônica (24h)	Aula 0	Apresentação do curso, ementa, plano pedagógico e critérios avaliativos		2		
			Aula 1	Contextualização e histórico da indústria de semicondutores		2		
			Aula 2	Dispositivos semicondutores		2		
			Aula 3	Dispositivos passivos e ativos		2		
			Aula 4 - 5	Processo de fabricação de semicondutores		4		
			Aula 6	Modelagem de dispositivos		2		
			Aula 7	Fluxo de desenvolvimento - Design do RTL ao GDS		2		
			Aula 8 - 9	Fluxo de desenvolvimento - Fabricação, Encapsulamento e Teste		2		
			Aula 9 - 12	O inversor CMOS e comportamento dinâmico		4		
			Aula 13	CMOS layout, floorplanning e outros estilos de implementação		2		
						24	0	
	SD112	Introdução ao Verilog (56h)	Aula 0	Acesso aos servidores e uso de Ferramentas: via Terminal e uso Lattice Diamond	A-001			2
			Aula 1	Editores de código e ferramentas Cadence para síntese e verificação	A-002			2
			Aula 2	Verilog - Introdução à linguagem, Tipos de dados e operadores	A-003			2
			Aula 3	Verilog - Declarações processuais e contínuas	A-004			2
			Aula 4	Verilog - Operadores Lógicos e Aritméticos	A-005			2
			Aula 5 - 6	Verilog - Estilos de código, Fluxo de dados	A-006			4
			Aula 7 - 8	Verilog - Descrição Estrutural, Concatenação de Vetores	A-007			4
			Aula 9 - 10	Verilog – Primitivas	A-008			4
			Aula 11	Introdução ao VHDL – Introdução à linguagem, tipos de dados e operadores	A-009			2
			Aula 12	Introdução ao VHDL – declarações processuais, sinal vs variável	A-010			2
			Aula 13	Introdução ao VHDL – Estilos de código, fluxo de dados e descrição estrutural	A-011			2
			Aula 14 - 15	Introdução ao VHDL – Vetores, concatenação, arrays	A-012			4
			Aula 16 - 17	Introdução ao VHDL – Funções, procedures, records	A-013			4
			Aula 18 - 19	Introdução ao VHDL - Erros comuns	A-014			4
			Aula 20 – 21	Mintermos e Maxtermos	A-015	2	2	
			Aula 22 – 25	Algebra Booleana	A-016	4	4	
			Aula 26 – 27	Mapas de Karnaugh	A-017	2	2	
								8
	SD122	Circuitos Digitais I (80h)	Aula 0 - 1	Introdução a circuitos combinacionais	A-101		2	2
			Aula 2 - 5	Conversor de Código	A-102		4	4
			Aula 6 - 7	Codificador	A-103		2	2
			Aula 8 - 9	Decodificador	A-104		2	2
			Aula 10 - 11	Mux	A-105		2	2
			Aula 12 - 13	Demux	A-106		2	2
			Aula 14 - 15	Implementação de Expressões Lógicas com Mux e Decodificador	A-107		2	2
			Aula 16 - 17	Meio-somador e Somador Completo	A-108		2	2
			Aula 18 - 19	Somador com carry look-ahead	A-109		2	2
			Aula 20 - 21	Somador BCD (Unidade, Dezena e Centena)	A-110		2	2
			Aula 22 - 23	Somador-subtrator, meio subtrator e subtrator completo	A-111		2	2
			Aula 24 - 27	ULA (simples, com carry look-ahead e expansão)	A-112		4	4
			Aula 28 - 31	Árvores de soma - CSA, Brent-Kung, Kogge-Stone e Sklansky	A-113		4	4
			Aula 32 - 35	Aritmética de ponto fixo e ponto flutuante	A-114		4	4
			Aula 36 - 39	Multiplicador Wallace-Tree	A-115		4	4
								40
	SD132	Circuitos Digitais II (72h)	Aula 0 - 3	Latches e Flip-Flops	A-201		4	4
			Aula 4 - 5	Registrador de Deslocamento	A-202		2	2
			Aula 6 - 11	Contador Síncrono	A-203		6	6
			Aula 12 - 13	Contador Assíncrono	A-204		2	2
			Aula 14 - 17	Máquinas de Estado Moore	A-205		4	4
			Aula 18 - 21	Máquinas de Estado Mealy	A-206		4	4
			Aula 22 - 23	Exemplos de Máquina de Estados	A-207		2	2
			Aula 24 - 25	Arquitetura de Sistemas Digitais (Datapath e Unidade de Controle)	A-208		2	2
			Aula 26 - 27	Controle de sistema digital com handshaking	A-209		2	2
			Aula 28 - 31	Multiplicador shift-add controlado por máquina de estado	A-210		4	4
			Aula 32 - 35	Divisor controlado por máquina de estado	A-211		4	4
								36
	SD142	Circuitos Digitais III (48h)	Aula 36 - 37	Memórias (ROM/RAM)	A-301		2	2
			Aula 38 - 39	Memória FIFO	A-302		2	2
			Aula 40 - 41	Serializers & Deserializers (SERDES)	A-303		2	2
			Aula 42 - 43	Decodificador de Endereços (Total e Parcial)	A-304		2	2
			Aula 44 - 45	Register File	A-305		2	2
			Aula 46 - 47	Multiplicadores-Acumuladores (MAC)	A-306		2	2
			Aula 48 - 49	Look-up tables	A-307		2	2
			Aula 50 - 51	COordinate Rotation Dlgital Computer (CORDIC)	A-308		2	2
			Aula 52 - 53	Cross bar switches e arbitradores	A-309		2	2

			Aula 54 - 55	Protocolos de comunicação - UART	A-310	2	2	
			Aula 56 - 57	Protocolos de comunicação - I2C	A-311	2	2	
			Aula 58 - 59	Protocolos de comunicação - SPI	A-312	2	2	
							24	24
SD192	Trabalho Orientado I (120h)	-	Orientação inicial			4		
		-	Execução do trabalho				100	
		-	Acompanhamento			12		
		-	Avaliação			4		
							20	100
400								
	Circuitos Digitais IV (28h)	Aula 0 - 1	Algoritmos para mapeamento de arquitetura - MDC		A-401	2	2	
		Aula 2 - 3	Algoritmos para mapeamento de arquitetura - FFT		A-402	2	2	
		Aula 4 - 5	Algoritmos para mapeamento de arquitetura - Inversão de matriz		A-403	2	2	
		Aula 6 - 7	Algoritmo de aprendizado LMS		A-404	2	2	
		Aula 8 - 11	Arquiteturas para Machine Learning (ML)		A-405	4	4	
		Aula 12 - 13	Arquiteturas de hardware para Convolutional Neural Networks (CNNs)		A-406	2	2	
						14	14	
SD212	Arquitetura de Sistemas Digitais (100h)	Aula 0 - 5	Arquitetura de Microprocessador RISC Single-Cycle em Nível RTL		A-501	6	6	
		Aula 6 - 7	Pipeline Desenrolado		A-502	2	2	
		Aula 8 - 9	Pipeline Enrolado		A-503	2	2	
		Aula 10 -15	Arquitetura de Microprocessador RISC em múltiplos estágios em Nível RTL		A-504	6	6	
		Aula 16 - 17	Figuras de mérito de Pipelines (Throughput e Latência)		A-505	2	2	
		Aula 18 - 21	Pipeline Hazard- Teoria e Exemplo baseado na arquitetura RISC pipelined		A-506	4	4	
		Aula 22 - 25	Memórias aplicadas a Pipeline e Exemplos		A-507	4	4	
		Aula 26 - 27	Memória Alinhadas/Desalinhadas		A-508	2	2	
		Aula 28 -29	Arquiteturas de set de instruções (ISA) e Open standard: RISC-V ISA		A-509	2	2	
		Aula 30 - 37	Implementação RISC-V		A-510	8	8	
		Aula 38 - 41	RISC-V Floating-point unit (FPU)		A-511	4	4	
		Aula 42 - 43	Definição de protocolos		A-512	2	2	
		Aula 44 - 45	Protocolos handshake		A-513	2	2	
		Aula 46 - 47	Protocolos Streaming		A-514	2	2	
		Aula 48 - 49	Advanced eXtensible Interface (AXI)		A-515	2	2	
						50	50	
SD221	Síntese Lógica (36h)	Aula 0	Linguagem de script TCL		A-601		2	
		Aula 1	Simulação com XCellium		A-602		2	
		Aula 2 -3	Configuração de scripts para síntese lógica no Genus		A-603		4	
		Aula 4 - 6	Arquivos da biblioteca (standard cells, netlist e parâmetros)		A-604	2	4	
		Aula 7 - 9	Constraints e análise de timing		A-605	2	4	
		Aula 10 - 13	Análise de potência		A-606	4	4	
		Aula 14 – 17	Design for testability (DFT)		A-607	4	4	
		Aula ?	Circuit Pitfalls		A-608	0	0	
						12	24	
SD232	Análise Estática de Timing (40h) - Reduzir para 24h	Aula 0 - 1	Introdução a análise estática de timings		A-701	2	2	
		Aula 2 - 3	Elaboração de arquivos de timing constraints		A-702	2	2	
		Aula 4 - 5	Timing paths		A-703	2	2	
		Aula 6 - 9	Cruzamento de domínio de clock (CDC)		A-704	4	4	
		Aula 10 - 13	Análise da influência de timing constraints no desempenho		A-705	4	4	
		Aula 14 - 19	Otimizações RTL independente de tecnologia		A-706	6	6	
						20	20	
SD242	Verificação de Sistemas Digitais (80h)	Aula 0 - 1	SystemVerilog - Conceitos básicos, Tipos de dados e Tipos de verificação		A-801	2	2	
		Aula 2 -3	SystemVerilog - Sistemas de Tipos e Classes		A-802	2	2	
		Aula 4 -5	SystemVerilog - Declarações procedurais e Comunicação entre processos		A-803	2	2	
		Aula 6 - 7	SystemVerilog - Clocks e Interfaces		A-804	2	2	
		Aula 8 - 9	Introdução a UVM		A-805	2	2	
		Aula 10 -11	Modelamento de estímulos		A-806	2	2	
		Aula 12 - 15	Criação de testbenches		A-807	4	4	
		Aula 16 - 17	Criação e configuração de ambiente		A-808	2	2	
		Aula 18 - 21	Sequências UVM		A-809	4	4	
		Aula 22 - 25	Transaction-Level Modeling (TLM)		A-810	4	4	
		Aula 26 - 31	Cobertura funcional		A-811	6	6	
		Aula 32 - 39	Asserções e verificação formal		A-812	8	8	
						40	40	
SD292	Trabalho Orientado II (120h)	-	Orientação inicial			4		
		-	Execução do trabalho				100	
		-	Acompanhamento			12		
		-	Avaliação			4		
						20	100	
404								

Módulo 3 (Conclusão)	SD302	Residência na Indústria (400h)	-	Residência na indústria			380	
			-	Relatório de acompanhamento de atividades I		10		
			-	Relatório de acompanhamento de atividades II		10		
	SD392	Trabalho de Conclusão de Curso (400h)					20	380
			-	Orientação inicial		8		
			-	Execução do trabalho de conclusão			340	
			-	Acompanhamento de atividades		48		
			-	Avaliação final do trabalho de conclusão		4		
							60	340
400								
					Subtotal (h) - op 1 = Res	292	840	
					Subtotal (h) - op 2 = TCC	332	800	
					Carga horária total (h)	1204		

Composição do código/sigla

SD = Sistemas digitais

1º dígito = módulo (1 - básico, 2 - avançado, 3 - conclusão)

2º dígito = identificador do tópico (9 - trabalhos orientados avaliativos)

3º dígito = modalidade (0 - teórica, 1 - prática, 2 - teórica e prática)