



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ

Информатика и системы управления

КАФЕДРА

Программное обеспечение ЭВМ и информационные технологии

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ №2 **«ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ»**

Студент

Пермякова Екатерина Дмитриевна

Группа

ИУ7 – 32Б


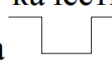
Преподаватель

2023 г.

ЦЕЛЬ РАБОТЫ

изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов

1 - ИССЛЕДОВАНИЕ ЛИНЕЙНОГО ДВУХВХОДОВОГО ДЕШИФРАТОРА С ИНВЕРСНЫМИ ВЫХОДАМИ

1. Исследование линейного двухвходового дешифратора с инверсными выходами:
 - а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов A_0, A_1 задать в выходов Q_0, Q_1 четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;
 - б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при $EN=1$);
 - в) подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;
 - г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;
 - д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);
 - е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

EN- сигнал разрешения (стробирования) работы дешифратора.

При $EN=1$ дешифратор работает как преобразователь кода “1 из N”, при $EN=0$ на всех выходах дешифратора устанавливаются неактивные сигналы независимо от поступающих наборов входных адресных сигналов.

В дешифраторе с n входами и N выходами $n, N \leq 2^n$. У нас 2 входа \Rightarrow 4 выхода

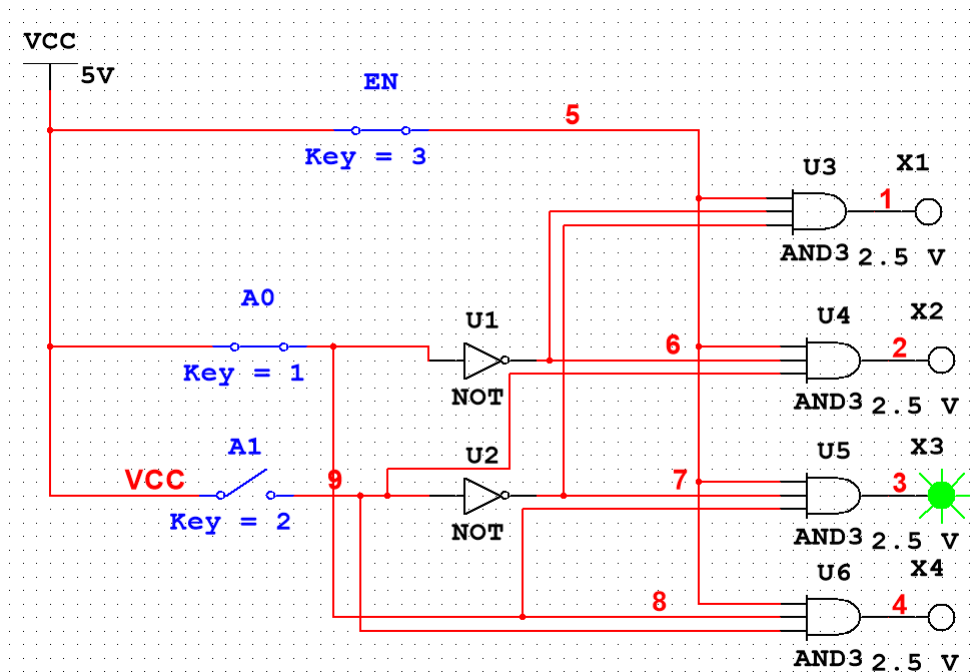
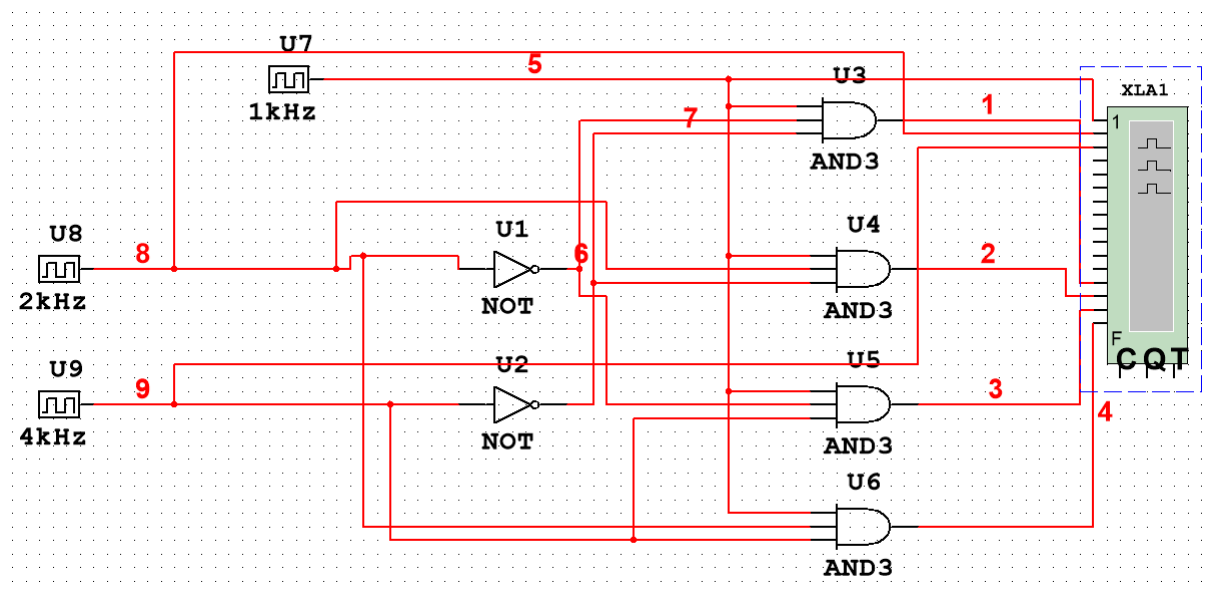
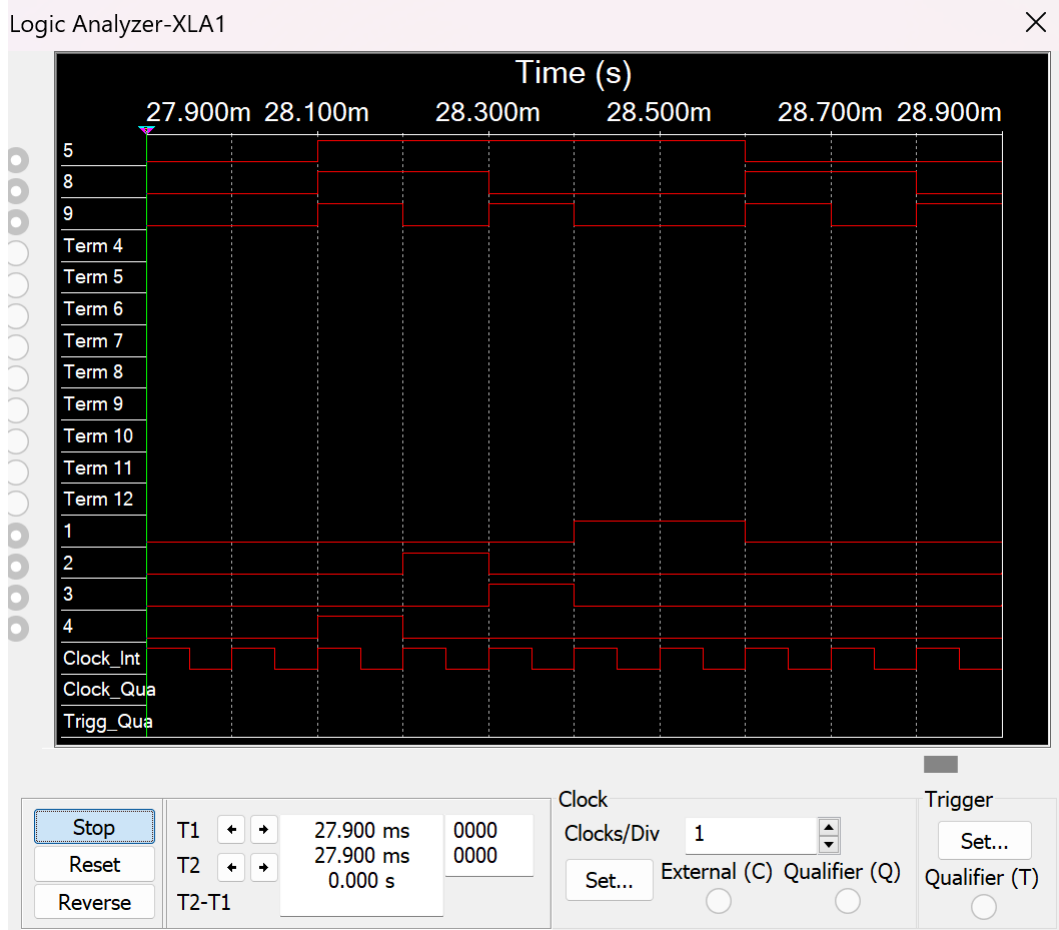


Схема для рисунка выше

EN	A0	A1	F0	F1	F2	F3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1






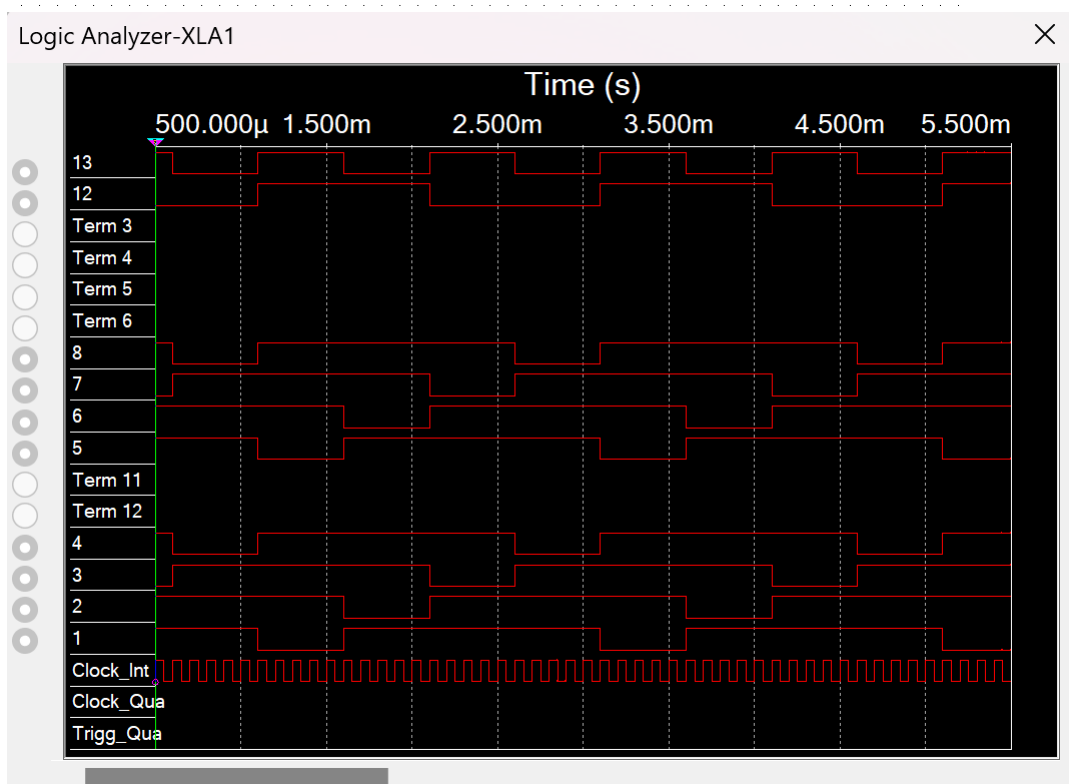
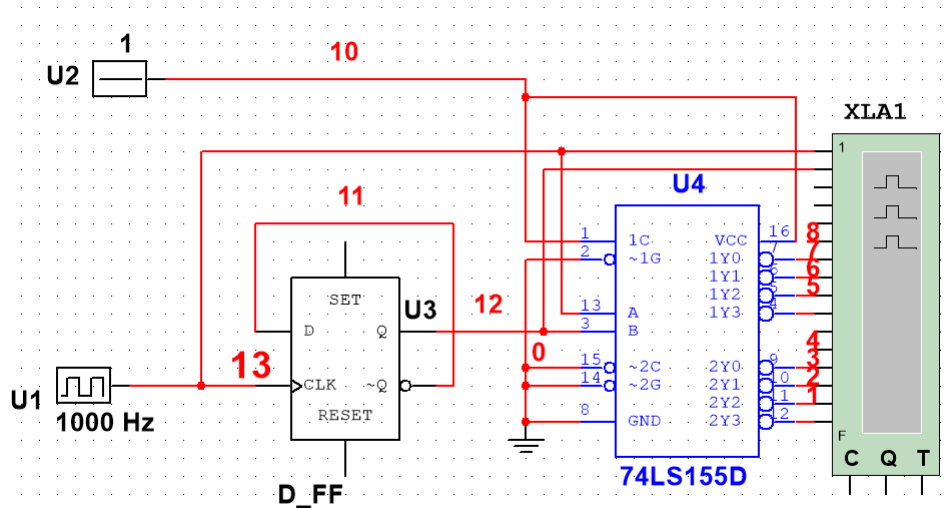
Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые **гонки** (состязания), приводящие к появлению ложных сигналов на выходах схемы.

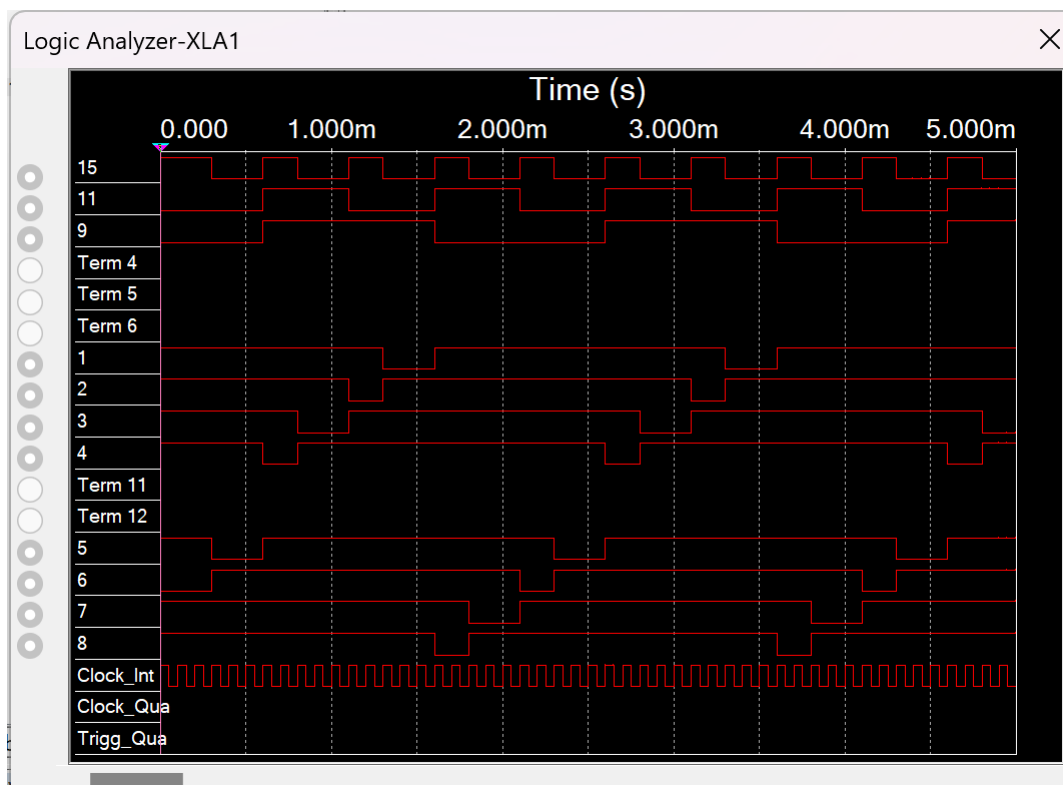
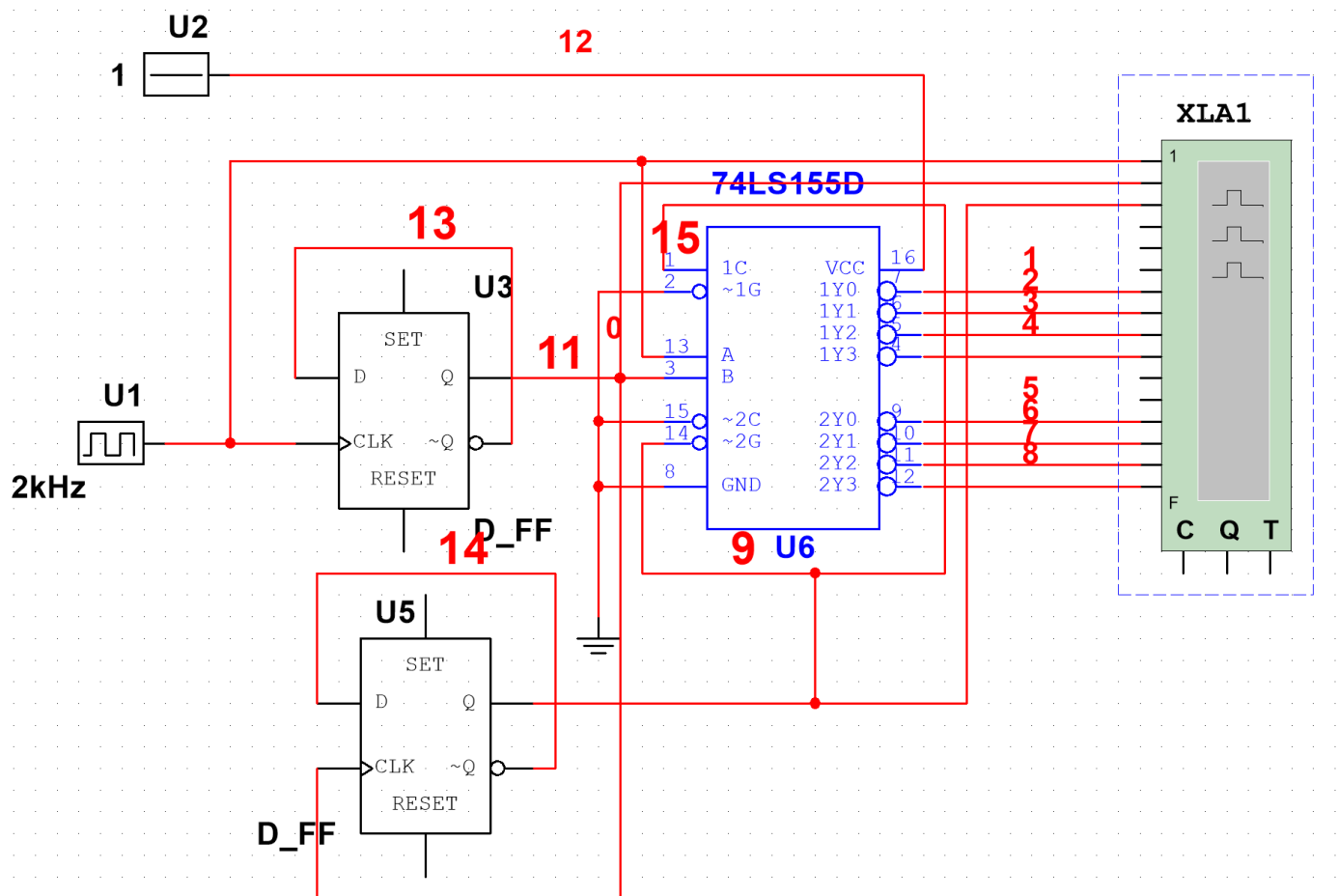
Основным средством, позволяющим исключить гонки, является **стробирование** (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробующий сигнал на входе EN не должен быть активным во время переходных процессов в дешифраторе.

2 - ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ ИС К155ИД4 (74LS155)

2. Исследование дешифраторов ИС К155ИД4 (74LS155), рис. 8:

- а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q_0 и Q_1 выходов счетчика, а на стробирующие входы \overline{E}_3 и \overline{E}_4 – импульсы генератора , задержанные линией задержки;
- б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;
- в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4 (см. рис. 8), задавая входные сигналы A_0, A_1, A_2 с выходов Q_0, Q_1, Q_2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.





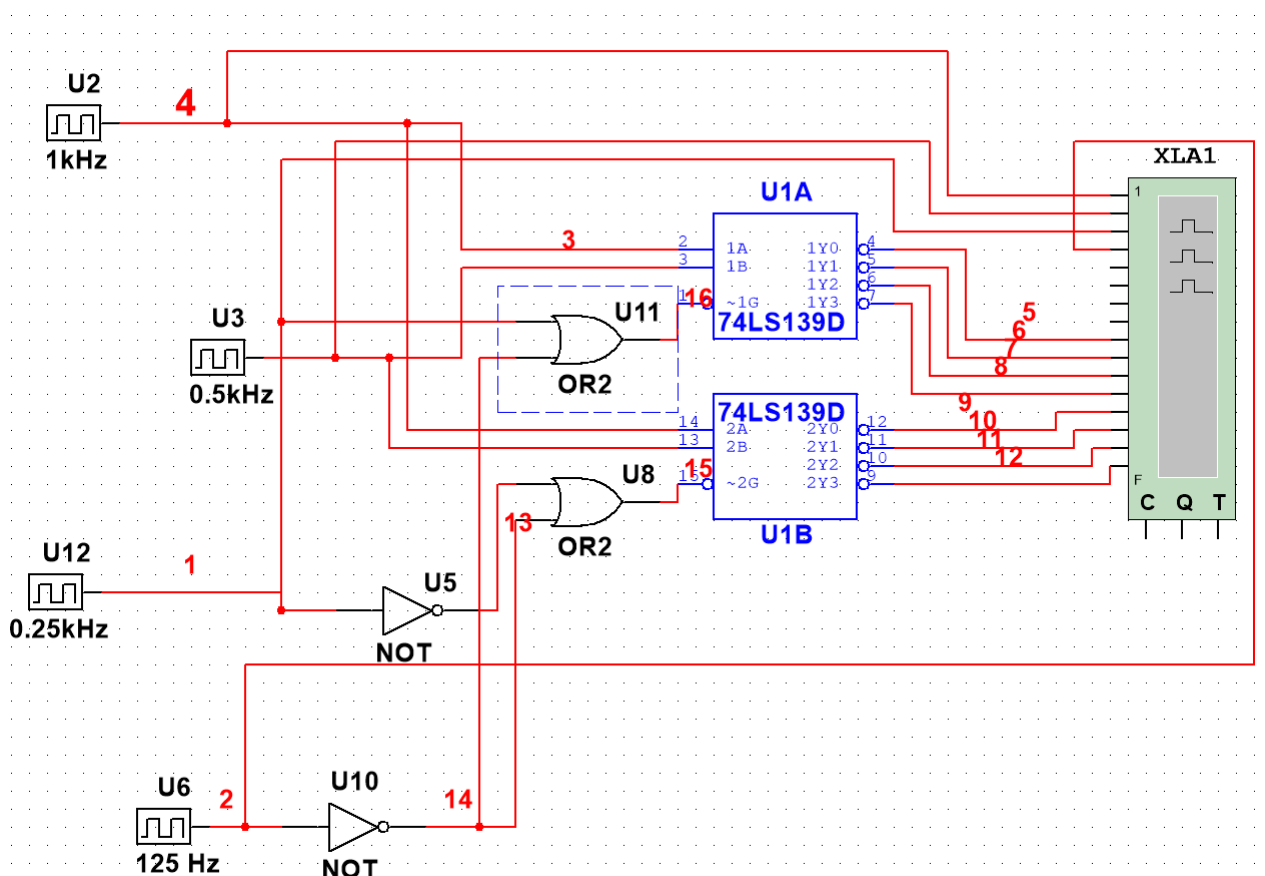
Таблица

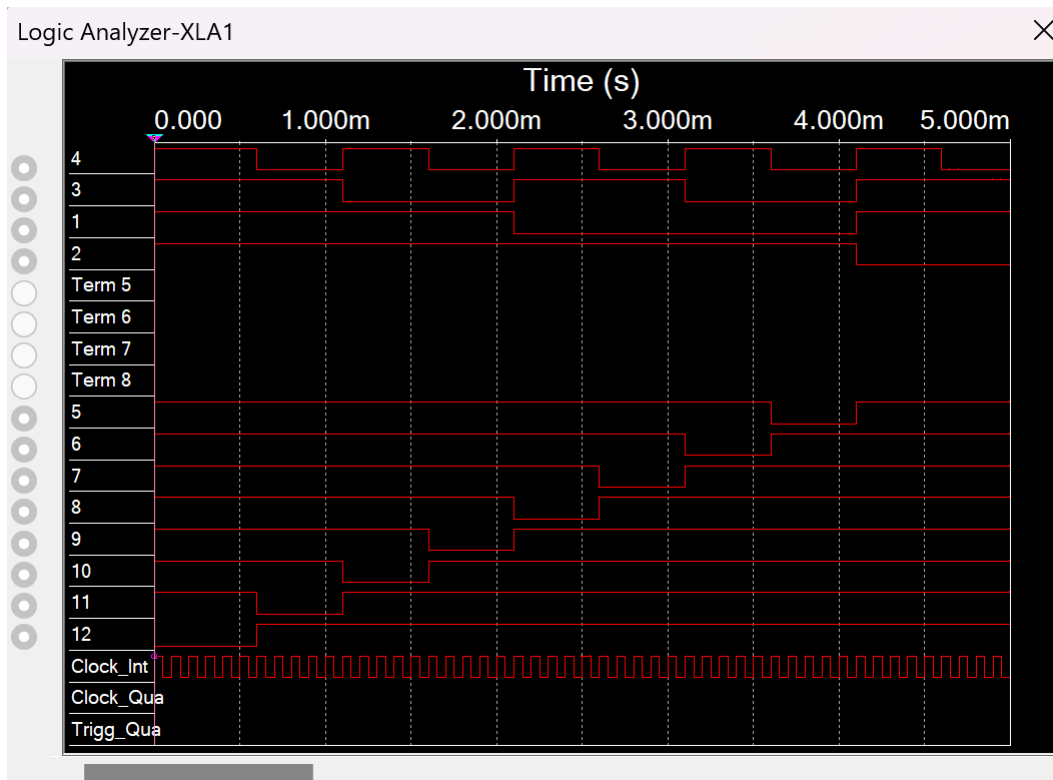
A1	A2	A3	F1	F2	F3	F4	F5	F6	F7	F8
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1

0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

3 - ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ ИС КР531ИД14 (74LS139)

3. Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $\overline{EN}_1 \cdot \overline{EN}_2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.




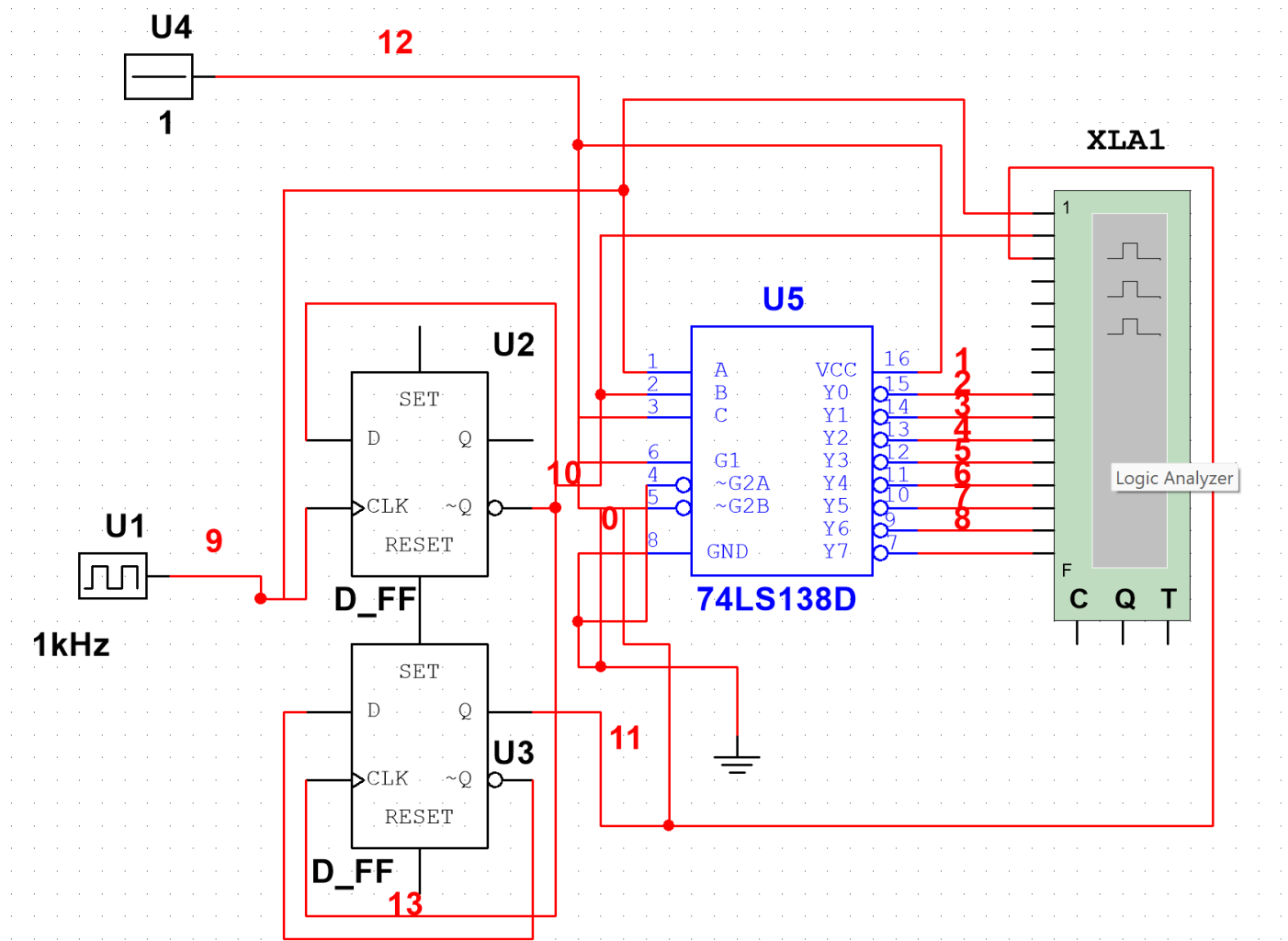


4 - ИССЛЕДОВАТЬ РАБОТОСПОСОБНОСТЬ ДЕШИФРАТОРОВ ИС 533ИД7

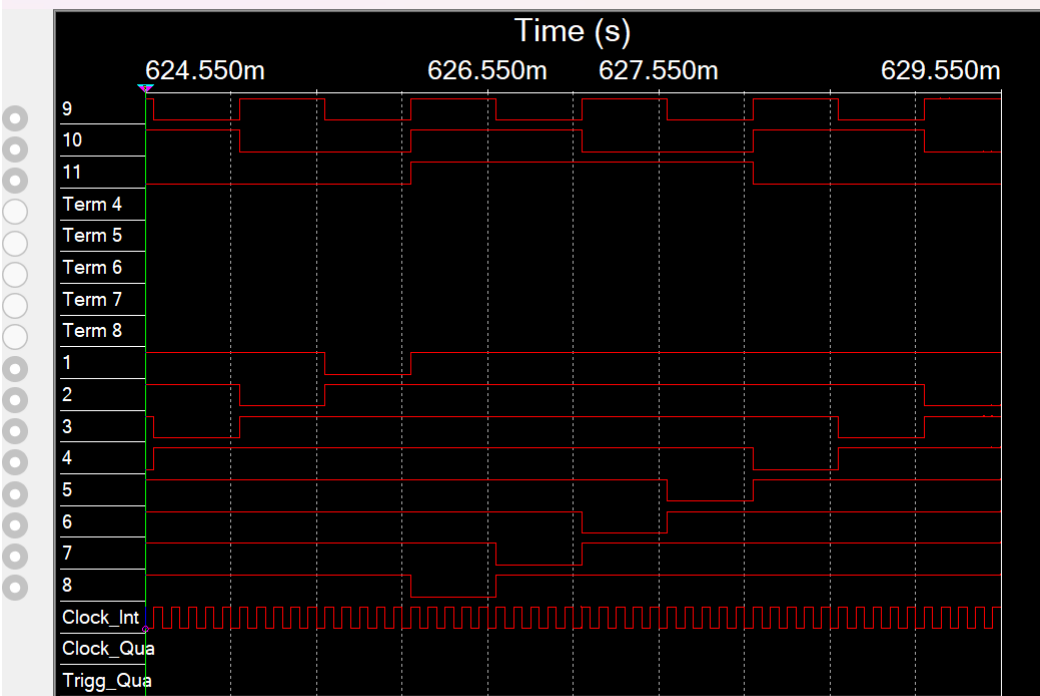
4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138 – см. U3 на рис. ниже), рис. 4 и рис. 9:

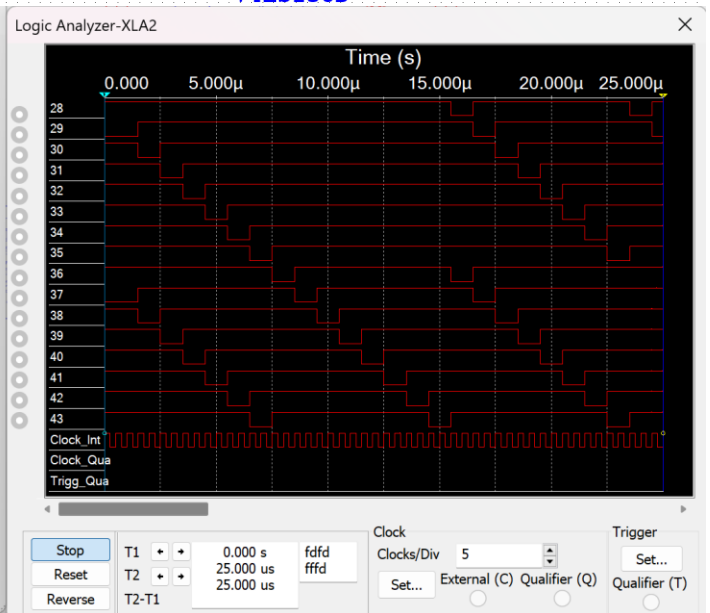
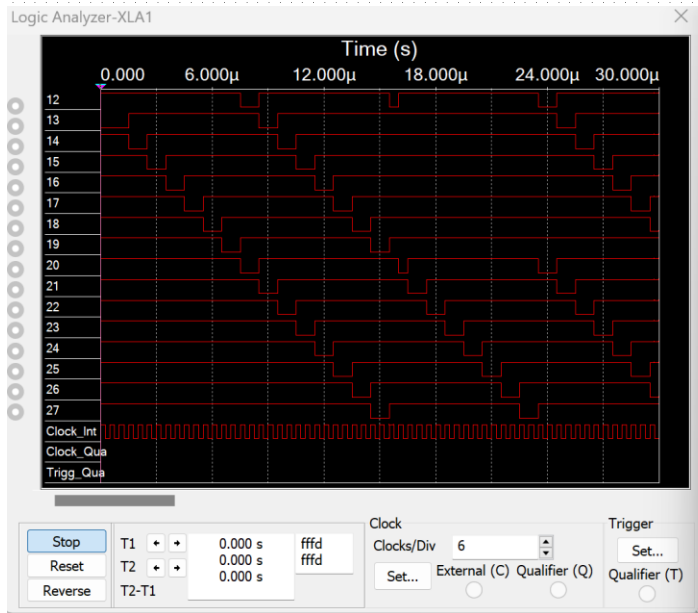
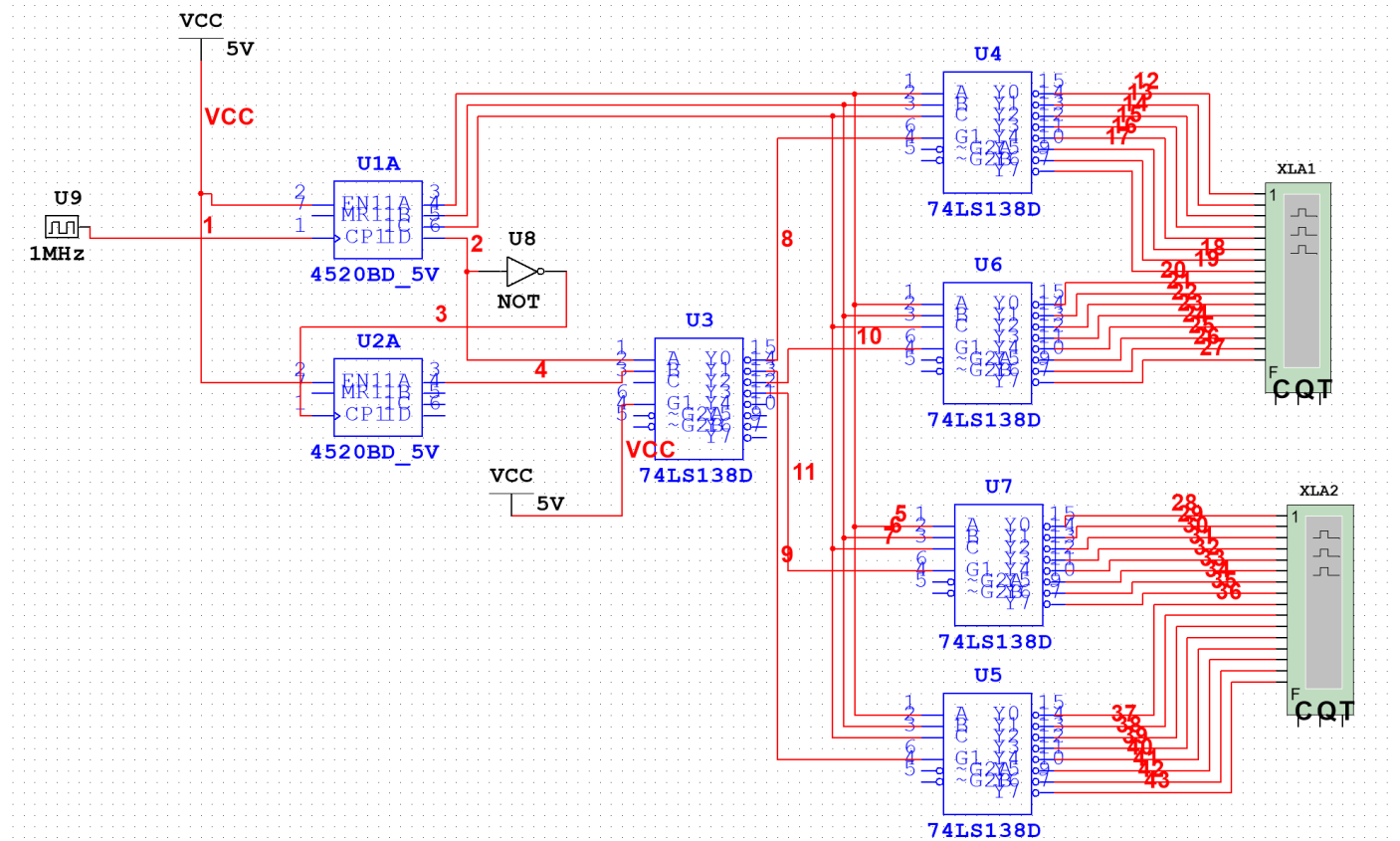
а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q_0 , Q_1 , Q_2 с выходов счетчика, а на входы разрешения E_1 , E_2 , E_3 – сигналы лог. 1, 0, 0 соответственно;

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q_0 , Q_1 , Q_2 , Q_3 , Q_4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.



Logic Analyzer-XLA1





КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

В дешифраторе с n входами и N выходами $n \leq 2^n$. Дешифратор, имеющий 2^n выходов, называется полным, при меньшем числе выходов - неполным

3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора DC n - N определяется таблицей истинности

Таблица истинности дешифратора DC n - N

Таблица 1

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	×	×	×	...	×	×	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.
.
.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

$$F_0 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot \overline{A_1} \cdot \overline{A_0},$$

$$F_1 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot \overline{A_1} \cdot A_0,$$

$$F_2 = EN \cdot \overline{A_{n-1}} \cdot \overline{A_{n-2}} \cdot \dots \cdot \overline{A_i} \cdot A_1 \cdot \overline{A_0},$$

.....

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \overline{A_0},$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot A_0,$$

где $A_i (i = 0, n - 1)$ - входные сигналы (переменные) дешифратора,
 $F_j (j = \overline{1, N - 1})$ - выходные сигналы (функции) дешифратора,
EN- сигнал разрешения (стробирования) работы дешифратора.

4. Поясните основные способы построения дешифраторов.

По способу построения дешифраторы разделяют на

- линейные
- каскадные
 - пирамидальные
 - ступенчатые

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые **гонки (соствязания)**, приводящие к появлению ложных сигналов на выходах схемы.

Основным средством, позволяющим исключить гонки, является **стробирование** (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Принцип наращивания числа адресных входов дешифратора. Пусть для построения сложного дешифратора DC n - N используются простые дешифраторы DC n_1 - N_1 , причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно $K = n/n_1$. Если K – целое число, то во всех каскадах используются полные дешифраторы DC n_1 - N_1 . Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n_1 - N_1 .

2. Количество простых дешифраторов ДС n_1-N_1 в выходном каскаде равно N/N_1 , в предвыходном - N/N_1^2 , в предпредвыходном - N/N_1^3 и т.д.; во входном каскаде - N/N_1^K . Если N/N_1^K – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.