2주차 예비보고서

전공: 컴퓨터공학과 학년: 3학년 학번: 20191612 이름: 윤기웅

**1.**

HDL(Hardware Description Language)란 하드웨어를 표현하는 언어이다. 디지털 기기의 성능과 기능을 프로그래밍 언어에 접목하여 디지털 회로를 동작하게 한다. 여러가지 HDL중에서 특히 Verilog, VHDL이 제일 유명하다. HDL을 사용하지 아니하면 도면에 소자를 직접 배치를 하면서 설계를 해야하는데 만약 복잡하거나 더 큰 회로를 만들려면 어렵기 때문에 HDL의 언어를 이용해서 검사, 설계, 모델링을 하면 좋다.

VHDL(VHSIC Hardware Description Language)는 회로 설계 언어의 하나로 회로를 정밀하게 기술이 가능하다. 1980년대 고속의 칩을 만들기 위해 미 국방성에서 사용하기 시작한 언어이다. 미 국방성이 매년마다 많은 전자장치를 구매하는데 기술의 변화가 빠르기 때문에 관리가 어려워서 오래 사용이 가능한 VHDL을 채택했다고 한다. IEEE가 1987년에 "IEEE Standard\_1076\_1987"을 만들고 표준 VHDL이 생겨난다. VHDL은 넓은 범위의 디자인을 제공하고 VHDL을 이용하여 Behavioral 기술, RTL(Register Transfer Level) 기술 및 Gate Level을 구현 가능하다. 또한 미국의 EDA(Electronic Design Automation)업계의 지지를 받아서 이를 사용하는 회사들 간의 호환성이 좋다. Top-Down 형식의 디자인으로 인해 설계 시간이 비교적 짧고 에러 검정을 자세히 할 수 있고 설계 비용이 절약된다. 하지만 언어가 복잡하여 배우기 어렵고 회로 합성을 하면 생성된 회로가 난해하고 복잡하다는 단점이 있다.

**2.**

베릴로그는 미국에서 1981년 프라부 고엘이 Gateway Design Automation이란 회사를 만들고 1983년에 그 언어를 만들었다. 1985년에 변경된 버전의 베릴로그 언어인 Verilog-XL를 선보인다. 1989년에 Cadence 회사가 Gateway Design Automation 사를 인수하였고, 이듬해인 1990년, Cadence에서 Verilog HDL을 공개한다. 이에 따라 Open Verilog International이 만들어져 사용자가 증가한다. 1995년에는 Verilog 언어가 1364-1995로 공개되었으며, 2001년에 개정되어 그 이후로 IEEE-2001을 사용하고 있다. 현재 Verilog 언어는 Accellera 단체가 관리중에 있다.

**3.**

c언어와 유사하다는 점이 눈에 띈다. c언어와 문법이 매우 비슷하고 절차형 혹은 순차형 실행을 한다는 것이 동일하다. if/else문, case문, for loop문이 사용되고 논리연산자(&,|,^), 산술연산자(+,-,\*,/), 비교연산자(<,>,==)를 이용 가능하다. 또한, 대소문자를 구분하고 구조적, 데이터플로우, 그리고 동작적인 모델링을 수행한다. 문자열을 사용할 때는 단일 라인의 문자열만 사용이 가능하고 여러 라인의 문자열은 사용하지 못 한다. 특수 문자 앞에 확장 문자를 쓰면 특수 문자를 문자열에 넣을 수 있다. 구조적 모델링을 하기 때문에 논리 게이트를 사용한 연결이 가능하고 이전에 미리 만들어진 네트리스트도 이용 가능하다. 데이터플로우 모델링으로 인해 데이터 이동 표현이 가능하고 동작적 모델링으로 인간의 사고에 근접한 표현을 가능하게 한다. 주석을 코드 설명을 위해서 사용이 가능하고 c언어와 유사하게 //혹은 /\*\*/을 갖고 만들면 된다.

Verilog는 모듈이라는 설계 단위를 갖고 있고 하나의 모듈이 다른 것을 포함하여 계층적 구성을 만들 수도 있습니다. Verilog의 기본 구성은 머리부, 선언부, 몸체부 등 3개로 구성이 되는데 머리부에는 모듈의 이름이 정의되고 선언부에서는 모듈에서 사용이 될 변수들을 선언한다. 이후 몸체부에서 회로긔 기능을 표현하는 코드를 넣으면 된다.