

## TD n°1 : correction

### Exercice I analyse d'un système séquentiel synchrone transition based

#### 1. Variables internes (voir le schéma) :

Les variables internes sont des variables s'ajoutant aux variables d'entrée et aux variables de sortie. Dans un système synchrone, il y a autant de variables que de bascules.

#### 2. Equations d'entrée des éléments mémoire

On recherche ensuite l'ensemble des fonctions booléennes définissant les équations d'entrée (d'excitation) des éléments mémoires, soit ici, 2 x 2 fonctions :

$$\begin{aligned} J_1 &= \overline{X}Y_0 & J_0 &= X \\ K_1 &= XY_0 & K_0 &= \overline{X \oplus Y_1} \end{aligned}$$

#### 3. Equations des états suivants et équations des sorties

A partir de la connaissance des fonctions d'excitation et de l'équation caractéristique de l'élément mémoire (ici JK), on recherche l'équation des états qui seront affirmés au moment du top d'horloge. On ajoute l'équation de la sortie qui peut dépendre uniquement de l'état (machine de MOORE), mais également de la sortie (machine de MEALY).

$$Y_1^+ = \bar{x}Y_1Y_0 + Y_1\bar{x} + Y_1\bar{Y}_0$$

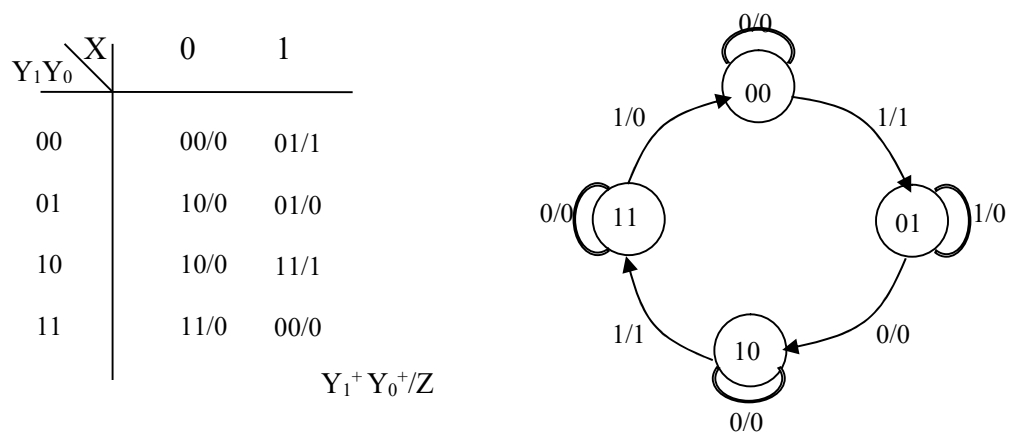
$$Y_0^+ = \bar{Y}_0x + \bar{Y}_1Y_0x + Y_1Y_0\bar{x}$$

$$Z = X \cdot \bar{Y}_0$$

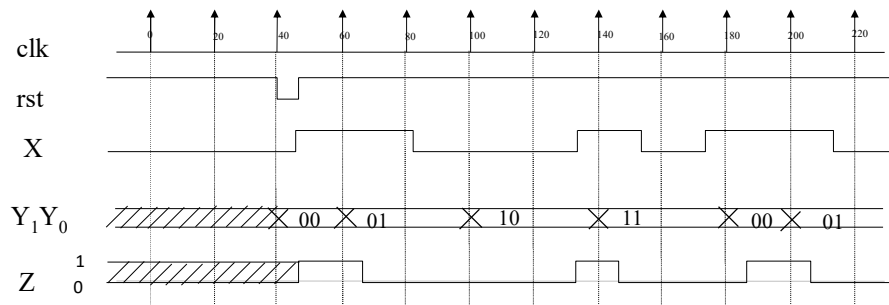
**Il est préférable de développer (forme standard) mais simplifier est inutile et peut engendrer des erreurs**

#### 4. Table/diagramme des états codés (transitions)

Une description équivalente à la description algébrique permet de décrire le comportement du circuit sous forme tabulaire ou sous forme graphique, en décrivant la réponse numérique du circuit pour chaque combinaison d'entrée et chaque combinaison d'état possible. La réponse peut être déterminée à partir du bloc diagramme, du chronogramme ou à partir des équations.



On peut noter que la sortie apparaît au niveau des états suivants (table) et des transitions (diagramme), car il s'agit d'une sortie de MEALY.



On peut noter que la largeur de l'impulsion de Z n'est pas régulière car la sortie est de MEALY.

## Exercice II : Analyse d'un système asynchrone pulsé

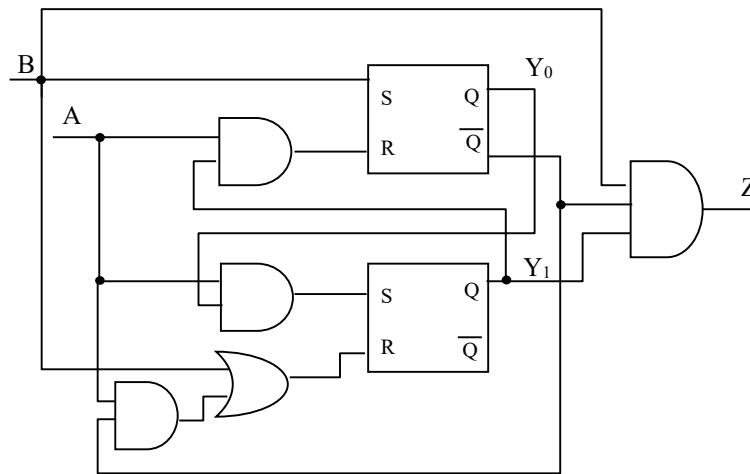


Figure 1: Structure du circuit asynchrone en mode pulsé

1. Variables internes (voir schéma)
2. Equations des éléments mémoires

$$\begin{aligned} S_0 &= B & R_0 &= A.Y_1 \\ S_1 &= A.Y_0 & R_1 &= A.\overline{Y_0} + B \end{aligned}$$

3. Equations des états suivants

$$\begin{aligned} Y_0^+ &= S_0 + \overline{R_0}Y_0 = B + \overline{A.Y_1}Y_0 \\ Y_1^+ &= S_1 + \overline{R_1}Y_1 = A.Y_0 + \overline{A.\overline{Y_0} + B}Y_1 = A.Y_0 + \overline{B}.Y_1.Y_0 + \overline{A}B.Y_1 \end{aligned}$$

4. Equation de la sortie

$$Z = B.Y_0.Y_1$$

- 4.a Table des transitions (avec codage des états )

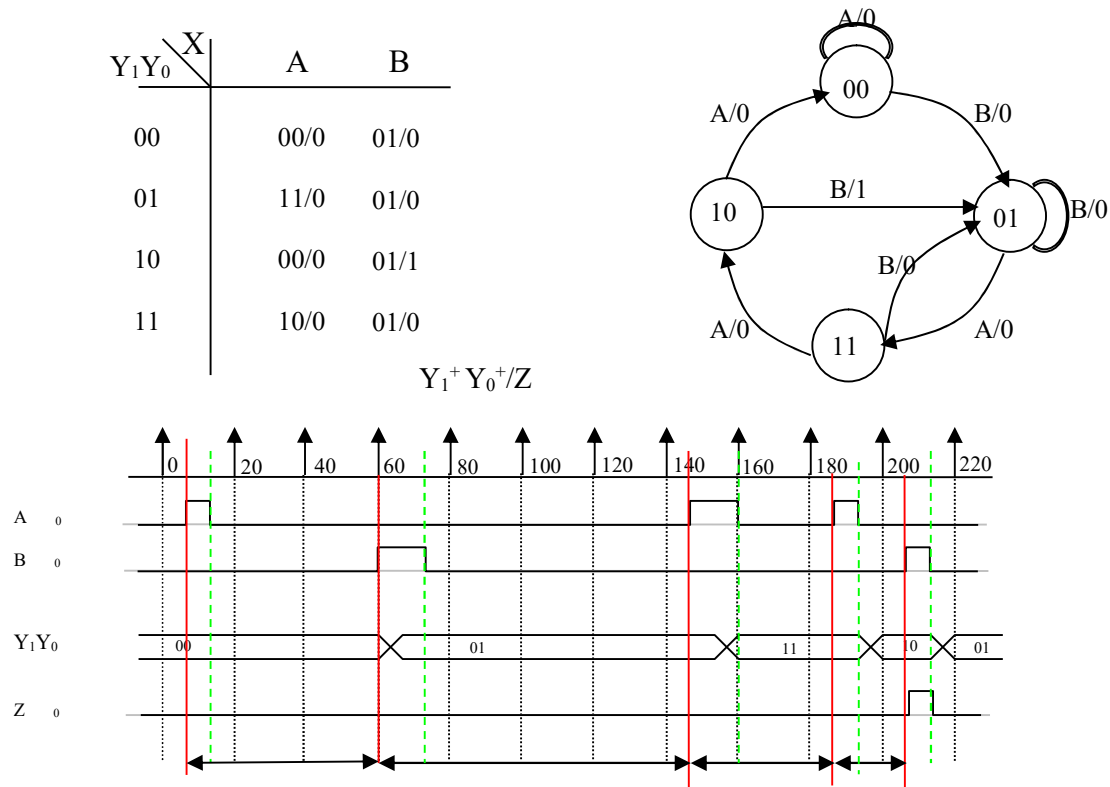
$Y_1Y_0 \backslash AB$	00	01	10	11
00	00/0	01/0	00/0	01/0
01	01/0	01/0	11/0	11/0
10	10/0	01/1	00/0	01/1
11	11/0	01/0	10/0	11/0

$Y_1^+ Y_0^+ / Z$

On voit aisément que le système n'est pas toujours stable sur un changement de combinaison d'entrées. Par exemple, si on applique 10 sur  $Y_1Y_0=01$ , on passe sur 11 et on peut gagner 10 et revenir sur 00.

#### 4.b Table/Diagramme des transitions simplifiée

Le cahier des charges dit que les impulsions ne se recouvrent pas (système pulsé).  $A=B=1$  est donc impossible à observer simultanément. D'autre part, l'analyse de la table montre que les transitions de 01 à 00 et 10 à 00 maintiennent l'état courant car on a un seul changement d'état qui doit se produire par impulsion. On considère alors les impulsions sur une entrée comme le passage de A à 1 et son retour à zéro, le système évoluant sur transition de 0 à 1 mais restant stable sur passage de 1 à 0. Il est donc stable entre 2 impulsions.



## I Synthèse d'un compteur DCB

**A et B.** Table des transitions (états codés) et table des excitations

$Y_3 Y_2 Y_1 Y_0$	$Y_3+ Y_2+ Y_1+ Y_0+$	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$	$J_0 K_0$
0 0 0 0	0 0 0 1	0 X	0 X	0 X	1 X
0 0 0 1	0 0 1 0	0 X	0 X	1 X	X 1
0 0 1 0	0 0 1 1	0 X	0 X	X 0	1 X
0 0 1 1	0 1 0 0	0 X	1 X	X 1	X 1
0 1 0 0	0 1 0 1	0 X	X 0	0 X	1 X
0 1 0 1	0 1 1 0	0 X	X 0	1 X	X 1
0 1 1 0	0 1 1 1	0 X	X 0	X 0	1 X
0 1 1 1	1 0 0 0	1 X	X 1	X 1	X 1
1 0 0 0	1 0 0 1	X 0	0 X	0 X	1 X
1 0 0 1	0 0 0 0	X 1	0 X	0 X	X 1
1 0 1 0	X X X X	X X	X X	X X	X X
1 0 1 1	X X X X	X X	X X	X X	X X
1 1 0 0	X X X X	X X	X X	X X	X X
1 1 0 1	X X X X	X X	X X	X X	X X
1 1 1 0	X X X X	X X	X X	X X	X X
1 1 1 1	X X X X	X X	X X	X X	X X

On peut noter qu'il est plus simple de remplir toutes les transitions identiques que combinaison par combinaison. On note aussi que le bit de poids faible est systématiquement complémenté.

### C. Simplification des équations

On détermine sans problème que  $J_0=K_0=1$  à partir de la table des transitions

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00				
01			1	
11	X	X	X	X
10	X	X	X	X

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	X	X
10		1	X	X

$$J_3 = Y_2 Y_1 Y_0$$

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00			1	
01	X	X	X	X
11	X	X	X	X
10			X	X

$$K_3 = Y_0$$

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00	X	X	X	X
01			1	
11	X	X	X	X
10	X	X	X	X

$$J_2 = Y_1 Y_0$$

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00		1	X	X
01		1	X	X
11	X	X	X	X
10			X	X

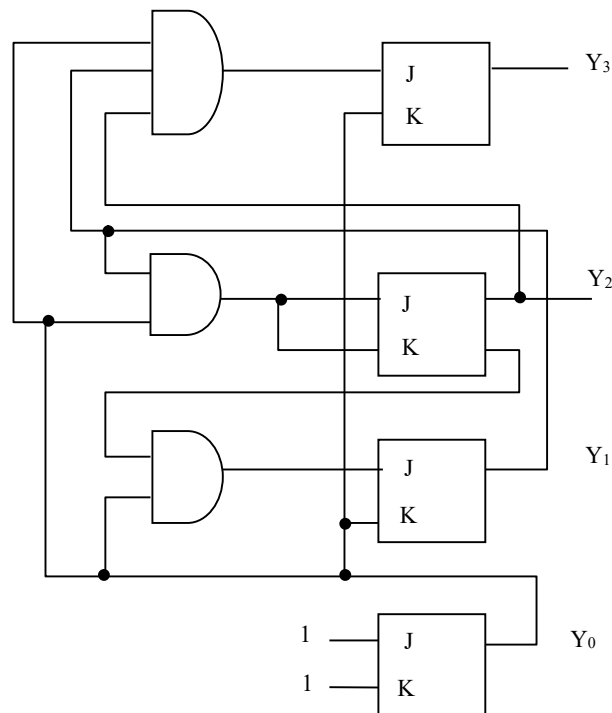
$$K_2 = Y_1 Y_0$$

$Y_3 Y_2 \backslash Y_1 Y_0$	00	01	11	10
00	X	X	1	
01	X	X	1	
11	X	X	X	X
10	X	X	X	X

$$J_1 = \overline{Y_3} Y_0$$

$$K_1 = Y_0$$

### D. Mapping des équations (portes ET-OU-NON)



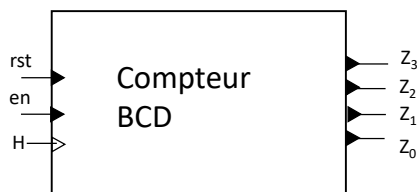
Reamrque: On peut optimiser en surface en utilisant 1 portes ET2 pour  $J_2$  et une porte ET2 pour  $J_3$  au lieu d'une port ET3. On économise 2 transistors.

### E. Evaluation des perfromances

$$F_{\max} = 1/2.8 + 3.5 + 0.1 = 1/6.4 * 10^9 = 156 \text{ Mhz}$$

Si on utilise la solution optimisée en surface, on obtient 119 Mhz

### F. compteur BCD aec enable



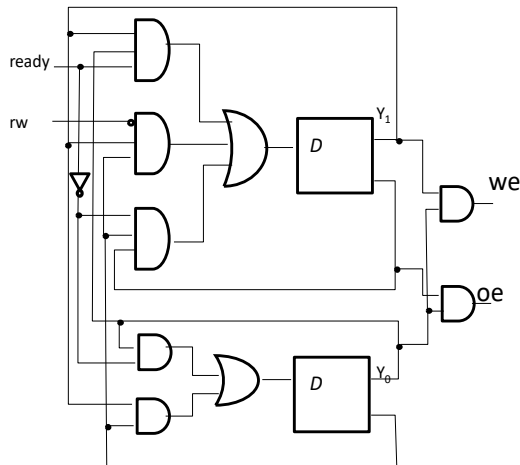
Y	en		$Z_3 Z_2 Z_1 Z_0$	
	=0	=1		
E0	E1	E0	0000	
E1	E2	E1	0001	
E2	E3	E2	0010	
E3	E4	E3	0011	
E4	E5	E4	0100	
E5	E6	E5	0101	
E6	E7	E6	0110	
E7	E8	E7	0111	
E8	E9	E8	1000	
E9	E0	E9	1001	
E10-E15	---	---	----	$Y^+$

# Elec3 - Electronique numérique

## FSM TD n°3 correction

1. Machine de Moore car les sorties ne dépendent que des états.

2. Evaluation des performances



$$T_{min} = (2.8 + 2.8 + 1.0) + 3.5 + 0.1 = 10.2 \text{ ns}$$

$$F_{max} = 1 / 10.2 = 98. \text{ Mhz}$$

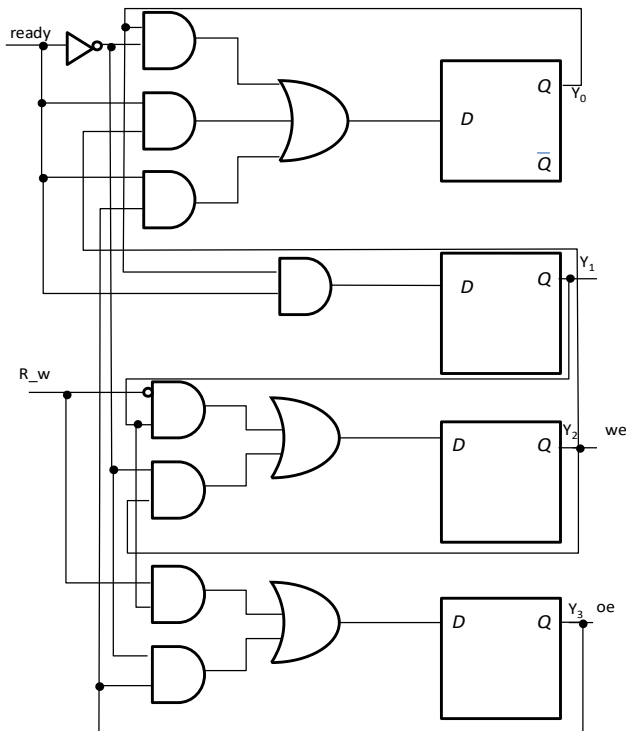
$$T_{clktooutput} = 3.5 + 2.4 = 5.9 \text{ ns}$$

4 ET/OU 3 : 32 T  
2 FF : 40 T  
5 ET/OU 2: 30 T  
2 INV : 4T

Total: 106 T

3. Codage une bascule par état

Nombre de FF= nombre d'états.



$$T_{min} = (2.4 + 2.8 + 1.0) + 3.5 + 0.1 = 9.8 \text{ ns}$$

$$F_{max} = 1 / 9.8 = 102. \text{ Mhz}$$

$$T_{clktooutput} = 3.5 \text{ ns}$$

8 ET2 : 48 T  
4 FF : 80 T  
2 OU2: 12 T  
1 OU 3: 8 T  
2 INV : 4T

Total: 152 T



#### 4. Codage de Moore

ready r w Y	00	01	10	11	oe we
IDLE	idle idle dec dec				0 0
DEC	ecr lec ecr lec				0 0
ECR	ecr ecr idle idle				0 1
LEC	lec lec idle idle				1 0

Figure 1 Table des états du circuit

Le nombre de FF doit être égale au nombre de sorties si les combinaisons de sortie sont toutes distinctes. Un bit d'état supplémentaire est nécessaire ici pour différencier les 2 premiers états.

ready r w Y <sub>2</sub> Y <sub>1</sub> Y <sub>0</sub>	00	01	10	11	oe we
000	000 000 001 001				0 0
001	010 100 010 100				0 0
010	010 010 000 000				0 1
100	100 100 000 000				1 0
autres	XXX XXX XXX XXX				X X

Y<sub>1</sub>+Y<sub>0</sub>+

Par ce codage, on obtient automatiquement les equations des sorties:  
Oe=Y<sub>2</sub> et We=Y<sub>1</sub>.

Pour les équations d'entrée des FF:

Ready rw

Y<sub>2</sub>=0

Y <sub>1</sub> Y <sub>0</sub>	00	01	11	10
00	0	0	0	0
01	0	1	1	0
11	X	X	X	X
10	0	0	0	0

Ready rw

Y<sub>2</sub>=1

Y <sub>1</sub> Y <sub>0</sub>	00	01	11	10
00	1	1	0	0
01	X	X	X	X
11	X	X	X	X
10	X	X	X	X

Figure 2 : TK pour D<sub>2</sub>

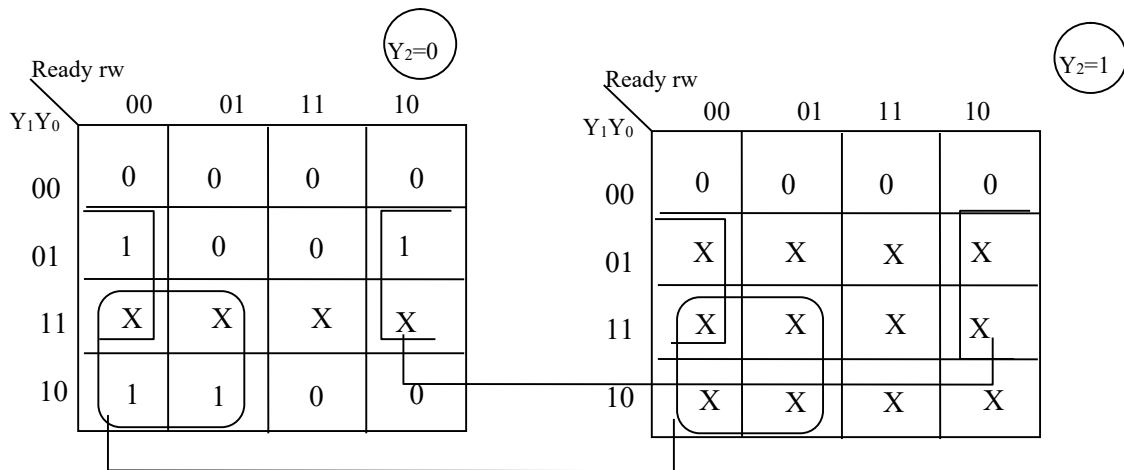
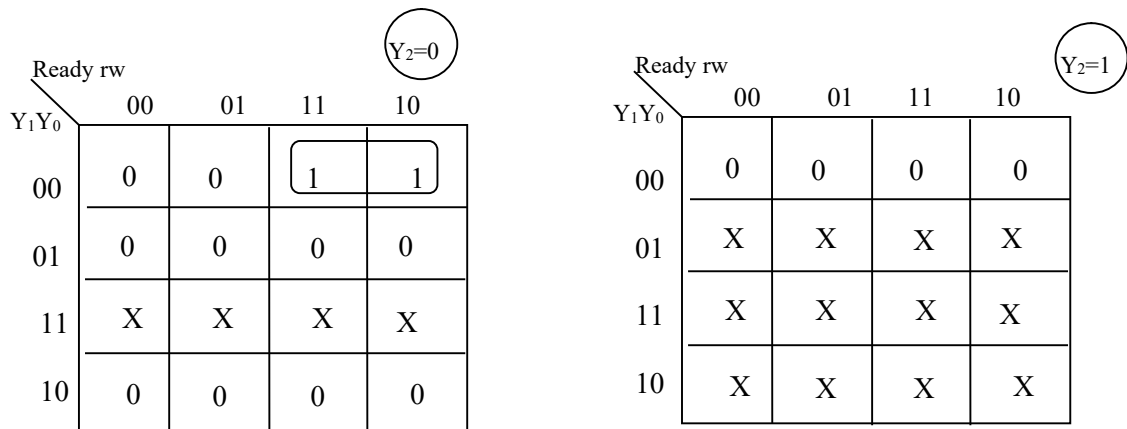


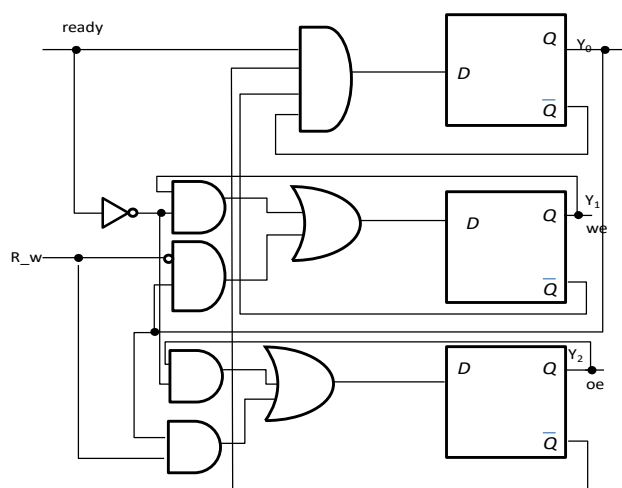
Figure 3 : TK pour  $D_1$



$$D_0 = \overline{Y_1} \overline{Y_0} \overline{Y_2} \text{ready}$$

$$D_1 = Y_1 \cdot \overline{\text{ready}} + Y_0 \overline{rw} \quad oe = Y_2$$

$$D_2 = Y_0 \cdot rw + Y_2 \overline{\text{ready}} \quad we = Y_1$$



#### surface

6 ET/OU2 : 36 T  
3 FF : 60 T  
1 ET4 : 10 T  
2 INV : 4 T  
Total: 110 T

#### Timing

clk → clk: 3.5+2\*2.4=8.3 ns  
Input → clk: 1+2\*2.4=5.8 ns  
clk → output: 3.5 ns  
 $T_{min} = \text{input} \rightarrow \text{clk} + \text{input delay} + T_{setup} = 9.4 \text{ ns}$   
 $F_{max} = 1/9.4 = 106 \text{ Mhz}$

E. Si la contrainte est de 100 Mhz, on choisit le codage de moore. Si la contrainte est de 80

Hhz, on choisit le codage binaire. Remarque : le codage one hot ne sera jamais choisit.

# Elec3 - Electronique numérique

## FSM TD n°4 correction

### Exercice I

X \ Y	0	1
A	B/0	C/0
B	F/0	E/0
C	E/0	D/0
D	E/0	E/1
E	E/0	E/0
F	E/1	E/0

Règle Ia : **(d-e), (e-f)**, (d-f) une des contraintes ne peut être satisfaite

Règle Ib : ne s'applique pas

Règle Ic: (b-d), (b-f), **(b-e)**, (c-d)(c-f)**(c-e)**  
alinéa (b-c)

Règle II: **(d-e), (e-f)** (b-c)

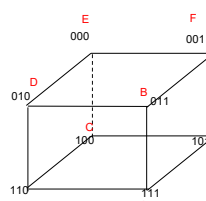
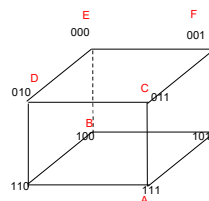
Règle III : (a,b) (a,c) (a,e) (b,c) **(b,e) (c,e)** ont 2 sorties communes  
(a,f) (a,d) (b d) ... ont une sortie commune

La règle II renforce le choix de (d-e) et (e-f).

La règle III renforce ensuite le choix de (b-e) et (c-e). On choisit arbitrairement un des 2 en essayant de maximiser les contraintes ce qui permet de satisfaire au passage soit :

(b-d) et (b-f) si on choisit (c-e)  
(c-d) et (c-f) si on choisit (b-e).

On positionne finalement A à coté de B (gauche) ou C (à droite) car cela permet ( règle III) de satisfaire (A-D) ou (A-F). Il reste deux combinaisons non affectées.



Contraintes d'adjacences retenues (figure de gauche):

Ia (DE) (EF)  
Ic (BE)(CD) (CF)  
III (AC)

La figure de droite donne une solution alternative

## Exercice II

$\begin{array}{c} X \\ \diagdown \\ Y \end{array}$	0	1
$Q_0$	$Q_2/0$	$Q_1/0$
$Q_1$	$Q_4/0$	$Q_3/0$
$Q_2$	$Q_3/0$	$Q_4/0$
$Q_3$	$Q_5/0$	$Q_6/0$
$Q_4$	$Q_6/0$	$Q_5/0$
$Q_5$	$Q_0/0$	$Q_0/1$
$Q_6$	$Q_0/1$	$Q_0/0$

### Règles heuristiques :

La règle Ia s'applique pour  $Q_5$  et  $Q_6$  adjacents ( $Q_5, Q_6$ ) car ils ont les memes états suivants  $Q_0, Q_0$

La règle Ib s'applique pour

$Q_1$  et  $Q_2$  si  $Q_3$  et  $Q_4$  états suivants dans des colonnes différentes peuvent être mis adjacents

$Q_3$  et  $Q_4$  si  $Q_5$  et  $Q_6$  états suivants dans des colonnes différentes peuvent être mis adjacents.

La règle Ic ne s'applique pas

La règle II on retrouve les contraintes des regles Ia et Ib qui n'ont pas de soucis de placement.

La règle III donne les contraintes suivantes

( $q_0, q_1$ ) ( $q_0, q_2$ ) ( $q_0, q_3$ ) ( $q_0, q_4$ )  
 ( $q_1, q_2$ )( $q_1, q_3$ )( $q_1, q_4$ )  
 ( $q_2, q_3$ )( $q_2, q_4$ )  
 ( $q_3, q_4$ )

Contraintes d'adjacence retenues : adjacents( $Q_5, Q_6$ ), adjacents( $Q_1, Q_2$ ), adjacents( $Q_3, Q_4$ )  
 + adjacent( $q_0, q_1$ ), ( $q_2, q_3$ ) ( $q_1, q_4$ )

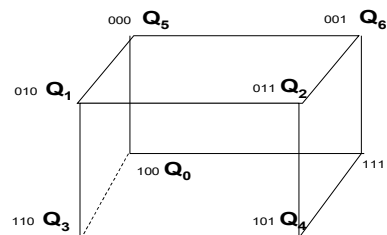
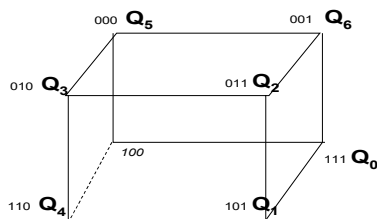


Figure 1 : 2 solutions équivalentes

Il reste une combinaison non affectée.

## TD n°5 : correction

Y\X	0	1	2	3
1	6/0	2/0	1/0	1/0
2	6/0	3/0	1/0	1/0
3	6/0	9/0	4/1	1/0
4	5/1	6/0	7/1	8/0
5	5/1	9/0	7/1	1/0
6	6/0	6/0	1/0	1/0
7	5/1	10/0	7/1	1/0
8	6/0	2/0	1/0	8/0
9	9/0	9/0	1/0	1/0
10	6/0	11/0	1/0	1/0
11	6/0	9/0	4/1	1/0

### 1<sup>è</sup> partition

	A(0,0,0,0,)						B(0,0,1,0)		C(1,0,1,0)		
	1	2	6	8	9	10	3	11	4	5	7
X=0	A	A	A	A	A	A	A	A	C	C	C
X=1	A	B	A	A	A	B	A	A	A	A	A
X=2	A	A	A	A	A	A	C	C	C	C	C
X=3	A	A	A	A	A	A	A	A	A	A	A

### 2<sup>è</sup> partition

	A				B		C			D	
	1	6	8	9	3	11	4	5	7	2	10
X=0	A	A	A	A	OK		C	C	C	OK	
X=1	D	A	D	A			A	A	D		
X=2	A	A	A	A			C	C	C		
X=3	A	A	A	A			A	A	A		

### 3<sup>è</sup> partition

	A		B		C		D		E		F
	1	8	3	11	4	5	2	10	6	9	7
X=0	E	E	OK		C	C	OK		E	E	C
X=1	D	D			E	E			E	E	D
X=2	A	A			F	F			A	A	F
X=3	A	A			A	A			A	A	A

**FINALE**

	<b>0</b>	<b>1</b>	<b>2</b>	<b>3</b>
<b>A</b>	E/0	D/0	A/0	A/0
<b>B</b>	E/0	E/0	C/1	A/0
<b>C</b>	C/1	E/0	F/1	A/0
<b>D</b>	E/0	B/0	A/0	A/0
<b>E</b>	E/0	E/0	A/0	A/0
<b>F</b>	C/1	D/0	F/1	A/0