

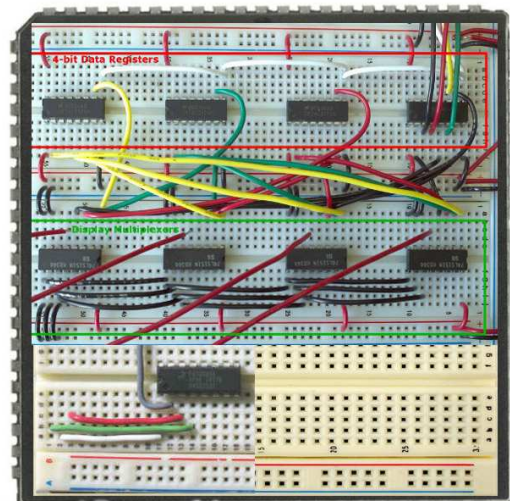
C1 - Introduction

Yann DOUZE
VHDL

VHDL = LOGIC DESIGN

- ***Just Like Building a Circuit on Your Breadboard!!***
- ***Also known as a "Hardware Description Language"***

```
5  LIBRARY ieee;
6  USE ieee.std_logic_1164.all;
7
8  ENTITY LabExCG4 IS
9  PORT(
10     u, v, w, x, y : IN BIT;
11     s : IN STD_LOGIC_VECTOR(2 DOWNTO 0);
12     m : OUT BIT);
13 END LabExCG4;
14
15 ARCHITECTURE Behavior OF LabExCG4 IS
16 BEGIN
17 PROCESS(s)
18 BEGIN
19     CASE s is
20         WHEN "000" => m <= u;
21         WHEN "001" => m <= v;
22         WHEN "010" => m <= w;
23         WHEN "011" => m <= x;
24         WHEN "100" => m <= y;
25         WHEN OTHERS => m <= y;
26     END CASE;
27 END PROCESS;
28 END Behavior;
```



(NOT Actual equivalent Circuit - For Concept Demo only)



Qu'est ce que le VHDL?

- VHDL : VHSIC Hardware Description Language
- VHSIC : Very High Speed Integrated Circuit
- VHDL : langage de description matérielle, décrit la structure et le comportement d'un circuit numérique.
- Langage **standard** de description de circuits ou de systèmes numériques en vue de:
 - **Modélisation** (simulation) des circuits ou systèmes
 - **Synthèse** (génération automatique) de circuit numérique.
 - Descriptions de programmes de **test** (banc de test)
 - Description de type hiérarchique (**netlist**)



Historique

- 1981 - Lancé par le USA DoD (Department of Defense) pour résoudre la crise du cycle de vie du matériel.
- 1983-85 - Développement de la base du langage par Intermetrics, IBM et TI.
- 1986 - Toutes les droits transférées à l'IEEE (Institute of Electrical and Electronics Engineers)
- 1987 - Publication des normes IEEE Standard 1076-1987
- 1994 - Norme révisée VHDL-1076-1993 (Tout le nécessaire, utilisé par 90% des designer)
- 2002 - VHDL Norme IEEE 1076-2002
- 2009 – VHDL 2008 Norme IEEE 1076-2008





Autres langages proches

- Verilog est plus ancien. La syntaxe est proche de celle du langage C. Très utilisé aux USA et en Asie
- VHDL-AMS Langage de modélisation mixte numérique-analogique IEEE.1076.1-1999. Il est entièrement compatible avec le VHDL. Utilisé uniquement pour la modélisation.
- System C
- System Verilog



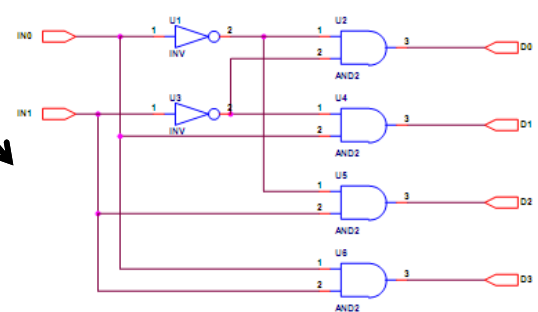
Modélisation ou synthèse ?

- Modélisation
 - Tout le langage. Logique + Temporel
 - Un modèle peut être comportemental, structurel ou de type data-flow.
- Synthèse
 - Le VHDL de synthèse est un **sous-ensemble** du VHDL généraliste
 - La synthèse demande une bonne connaissance du circuit et de la technologie.

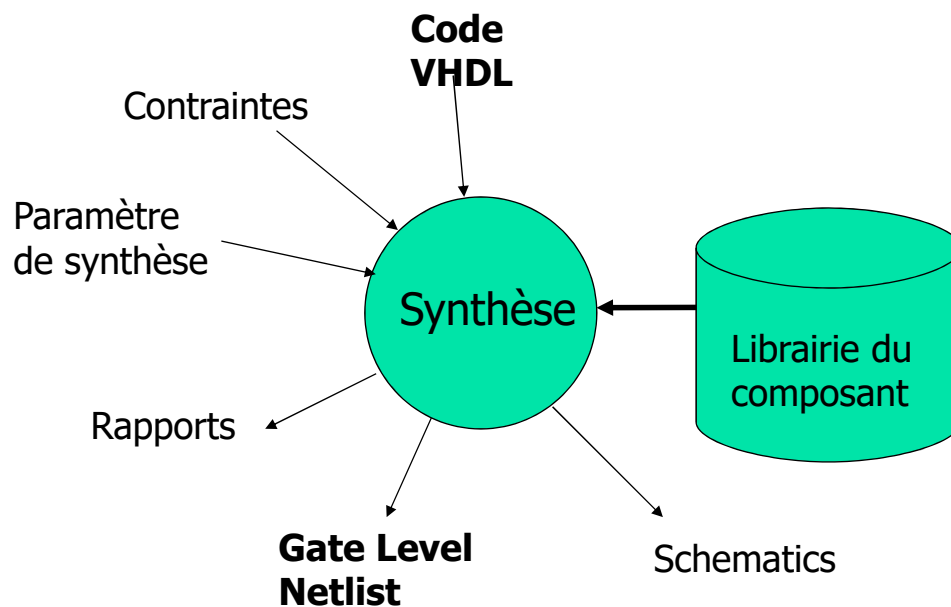
La synthèse (1)

```
entity DECOD1_4 is
    port(IN0, IN1: in std_logic;
          D0, D1, D2, D3: out std_logic);
end DECOD1_4;
```

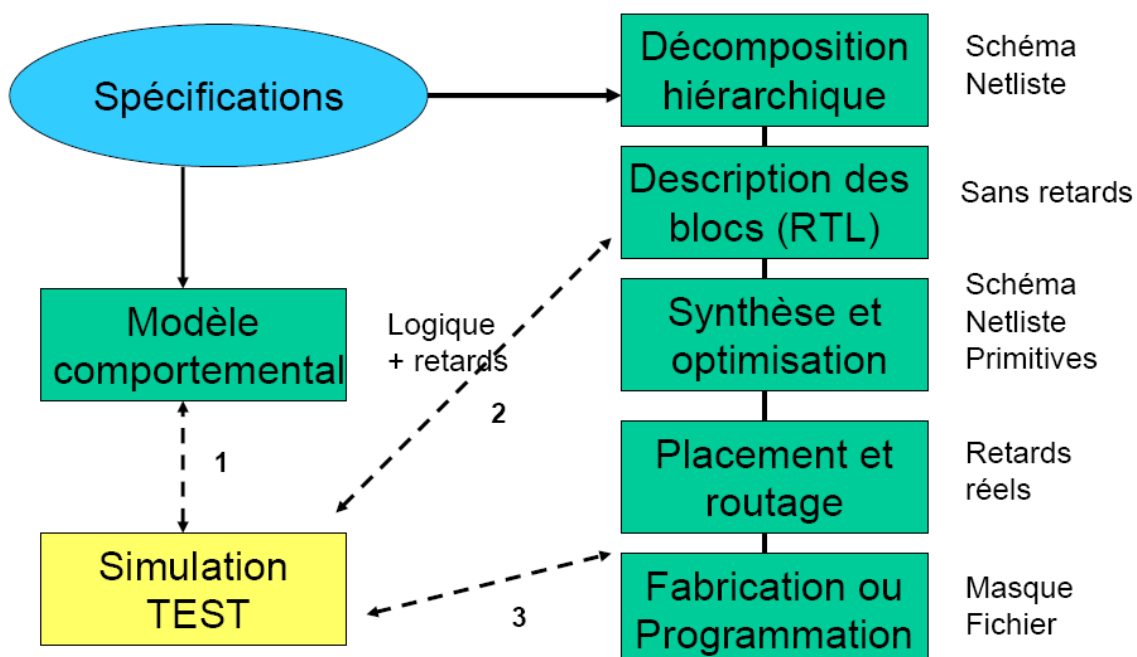
Synthèse



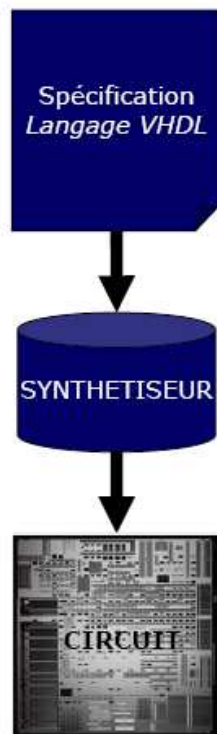
La synthèse (2)



-

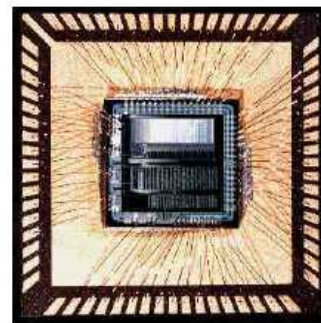
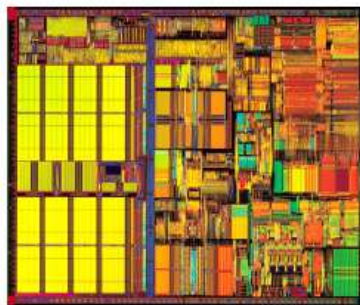


Les cibles matérielles spécialisés

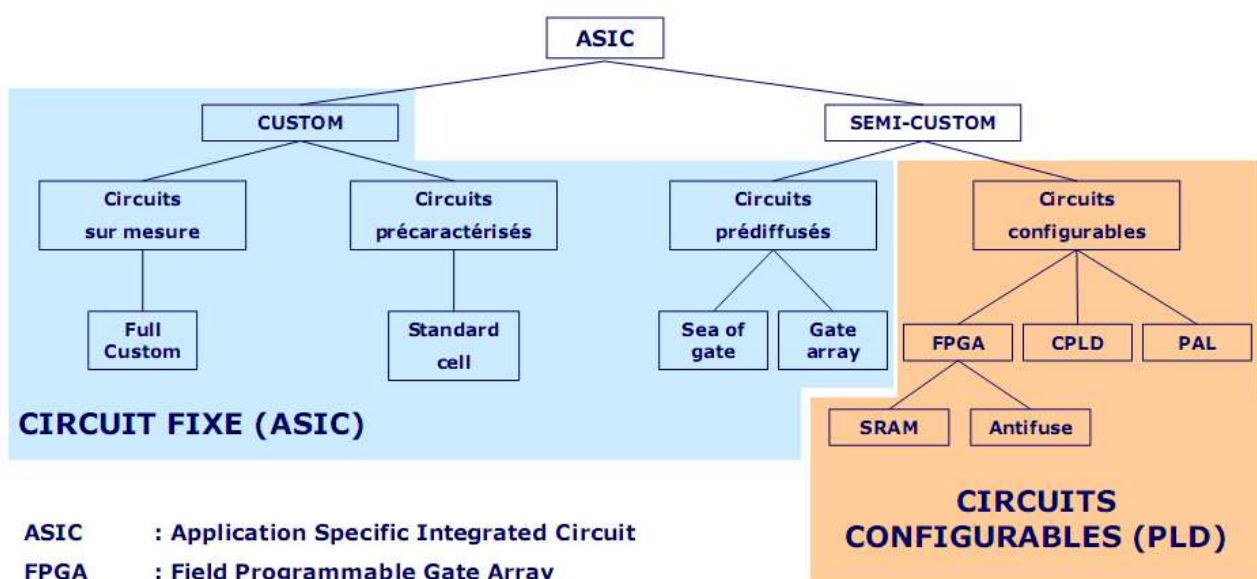


■ ASIC : Application Specific Integrated Circuit

- Numérique, analogique ou mixte (télécommunication)
- Spécialisé pour une application
- Réalisation complexe (de la spécification haut niveau à la synthèse physique)
- Extrêmement performant : dédié+ réalisation parallèle + technologie de pointe
- Circuit = cahier des charges

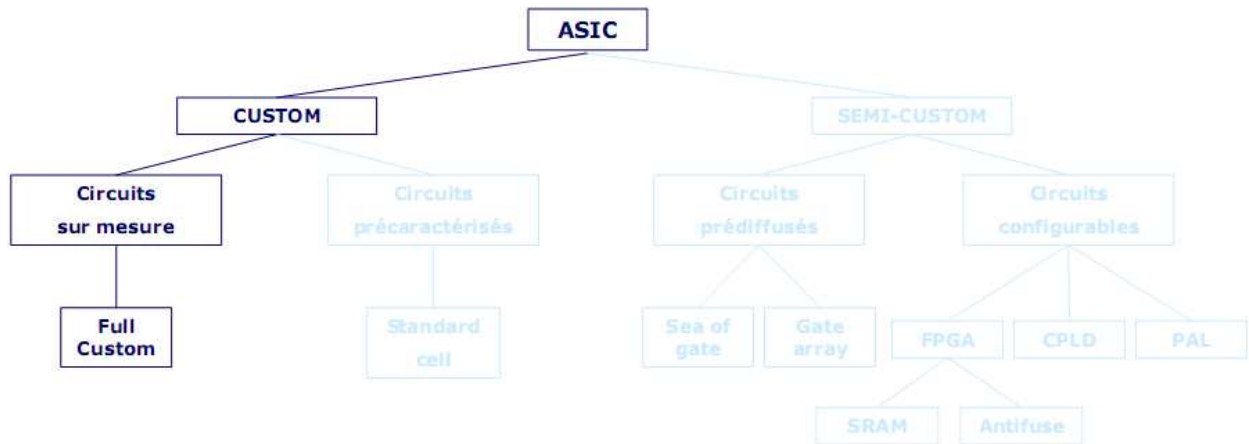


Les différentes cibles matérielles



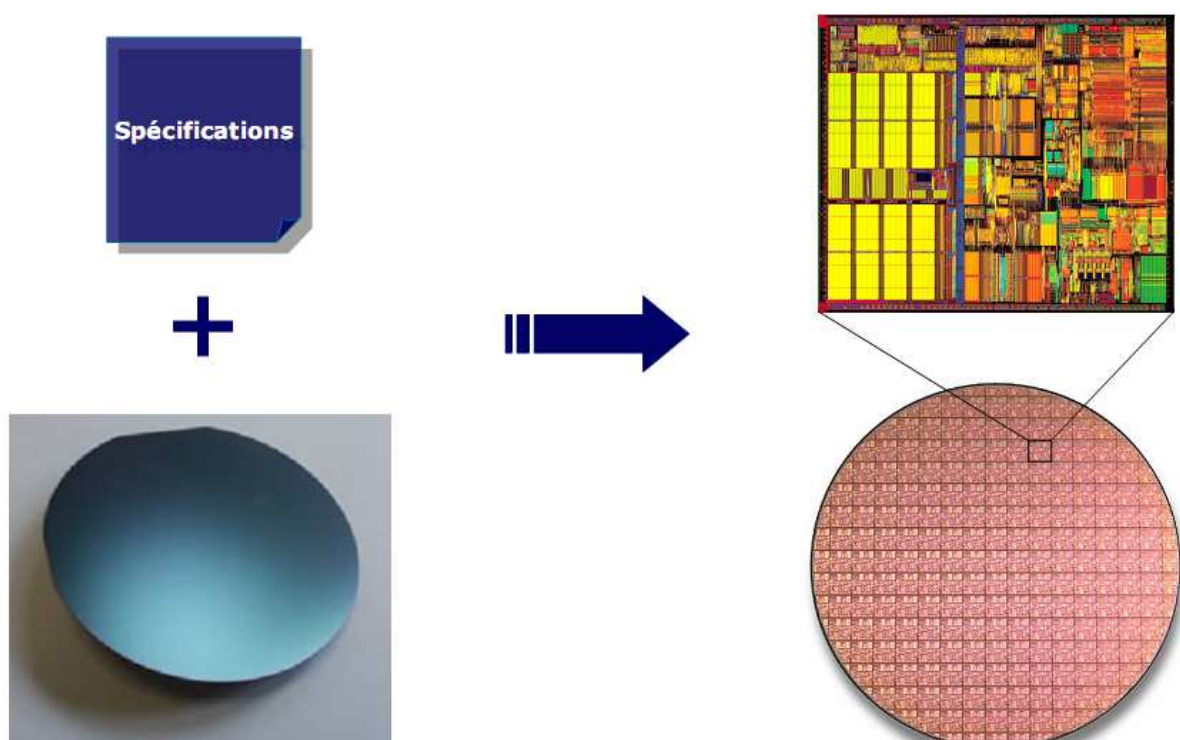
- ASIC : Application Specific Integrated Circuit
- FPGA : Field Programmable Gate Array
- CPLD : Complex Programmable Logic Device
- PAL : Programmable Array Logic
- GAL : Generic Array Logic = PAL
- SRAM : Static Random Access Memory

ASIC Full Custom

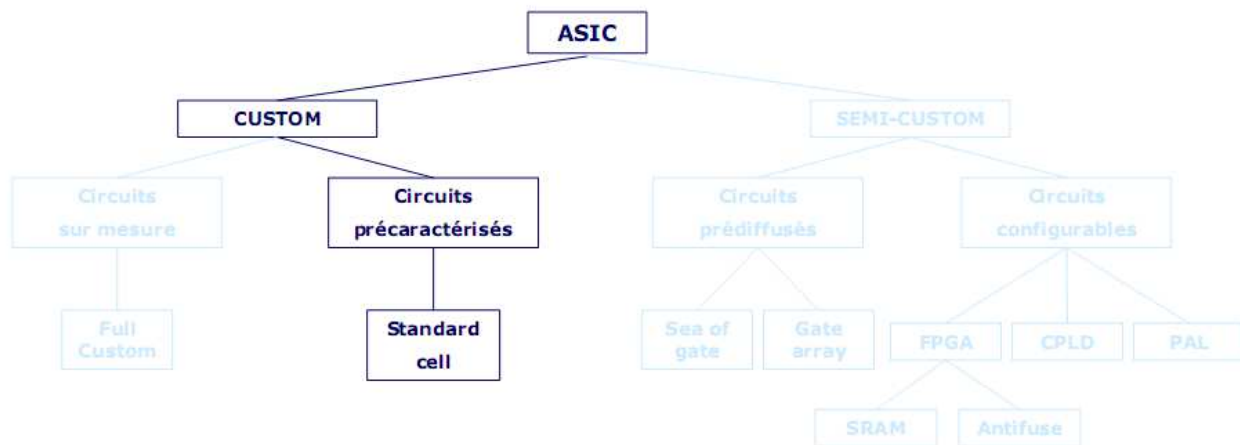


ASIC : Application Specific Integrated Circuit

ASIC Full Custom

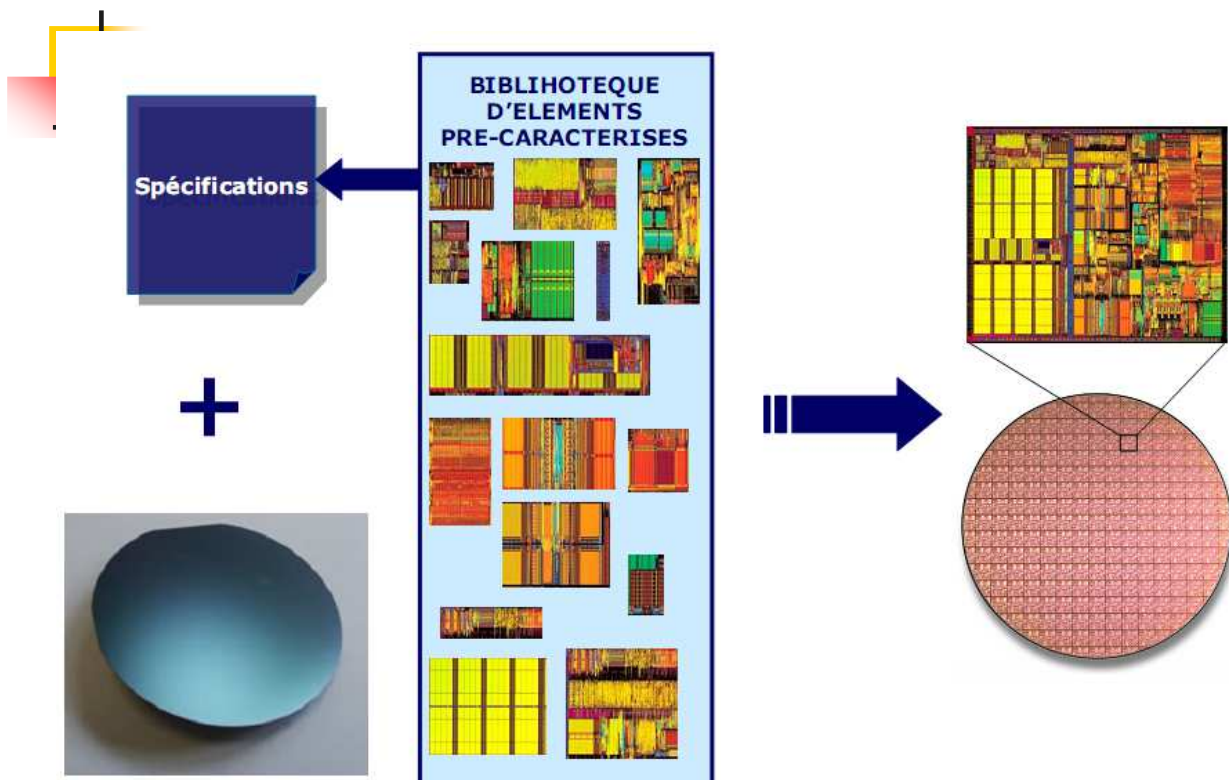


ASIC Standard Cells

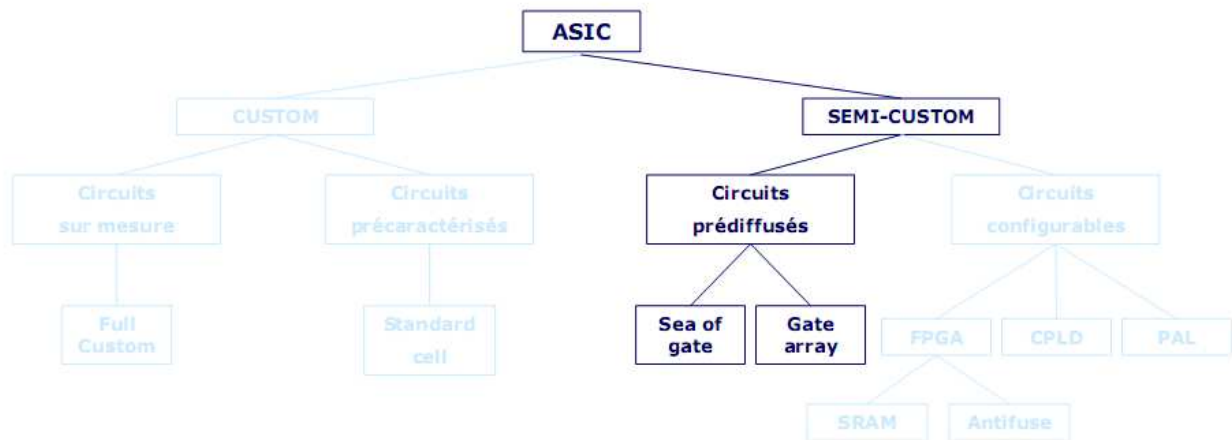


ASIC : Application Specific Integrated Circuit

ASIC Standard Cells

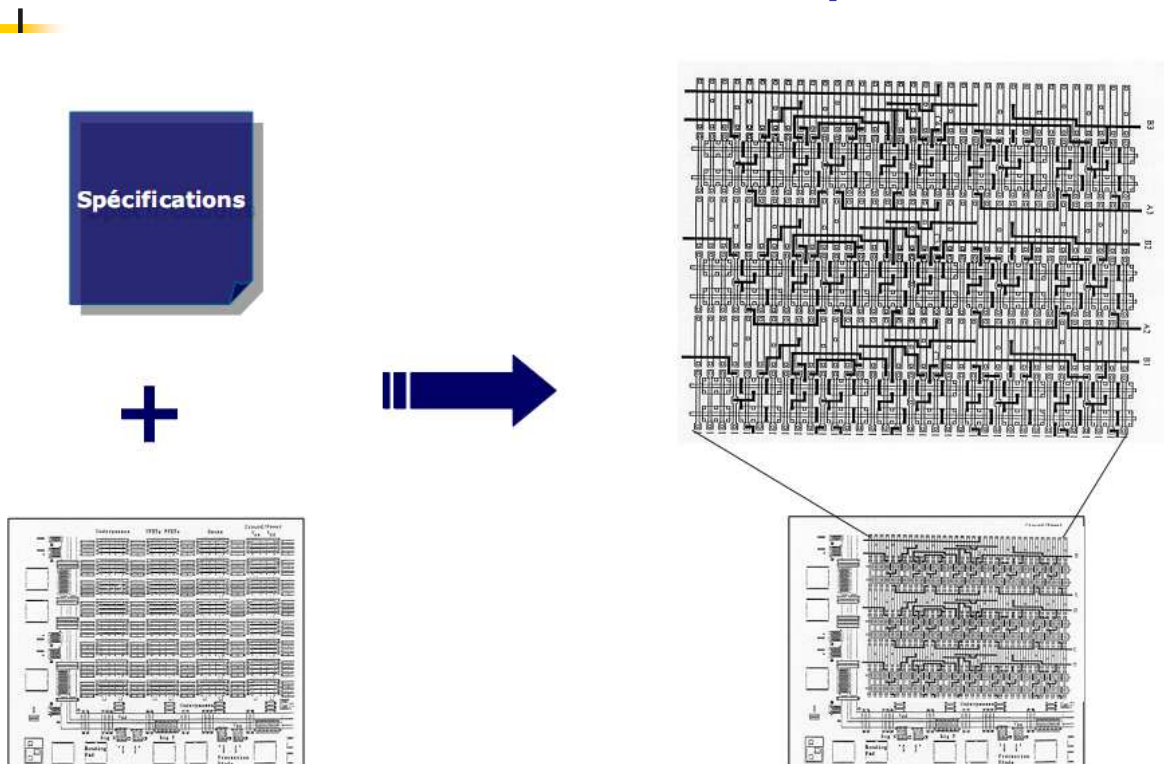


ASIC Gate Array

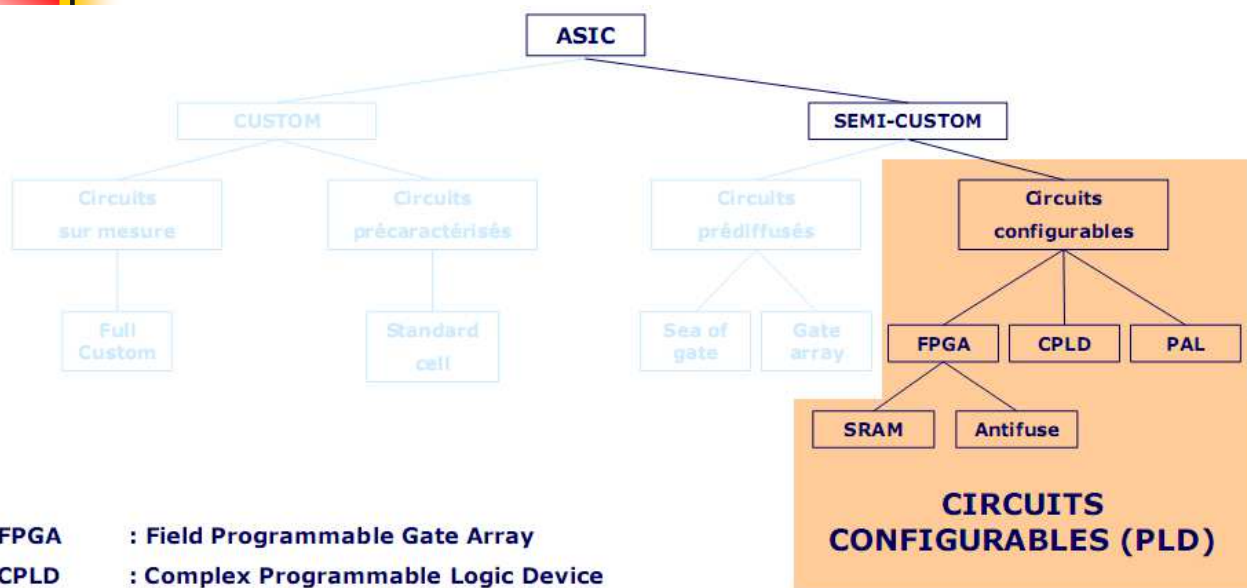


ASIC : Application Specific Integrated Circuit

ASIC Gate Array

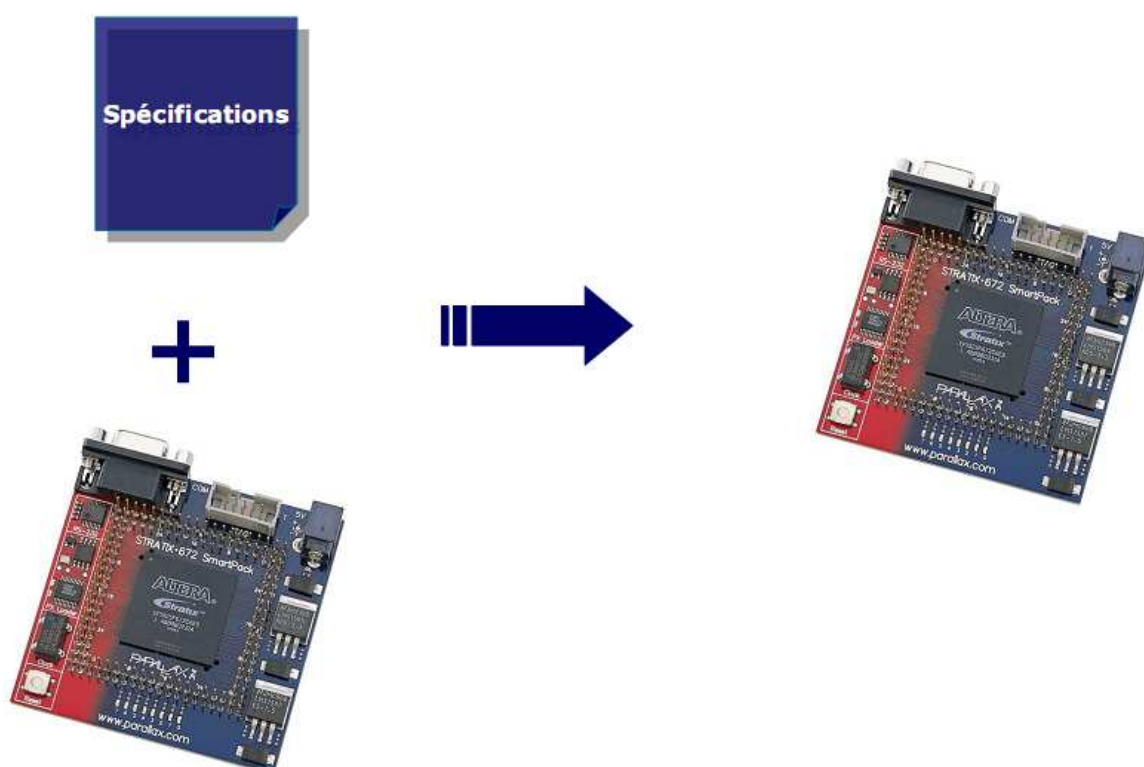


Circuit Configurable



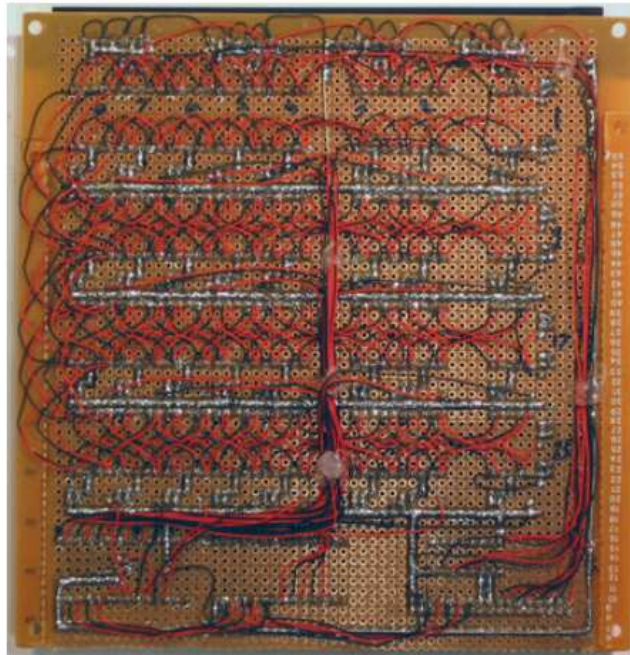
FPGA : Field Programmable Gate Array
CPLD : Complex Programmable Logic Device
PAL : Programmable Array Logic
GAL : Generic Array Logic = PAL
SRAM : Static Random Access Memory

Circuit Configurable

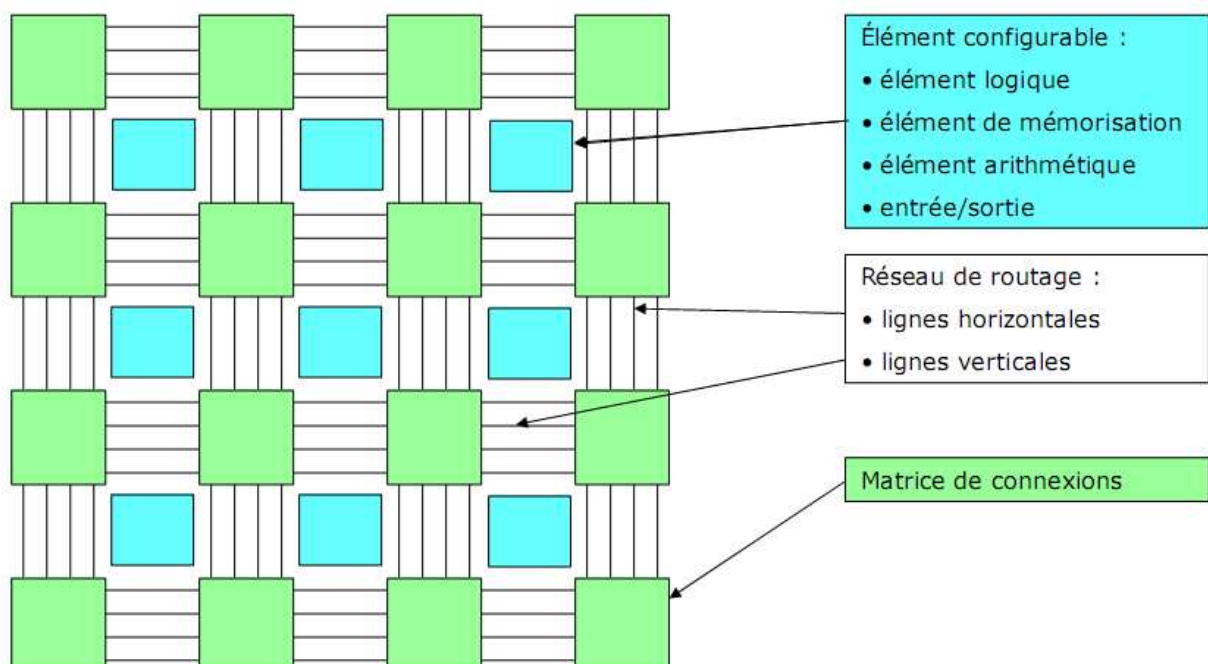




FPGA : le concept !

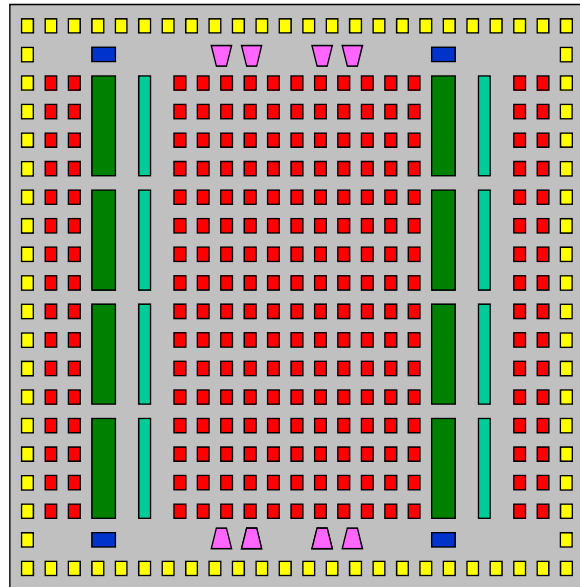


FPGA



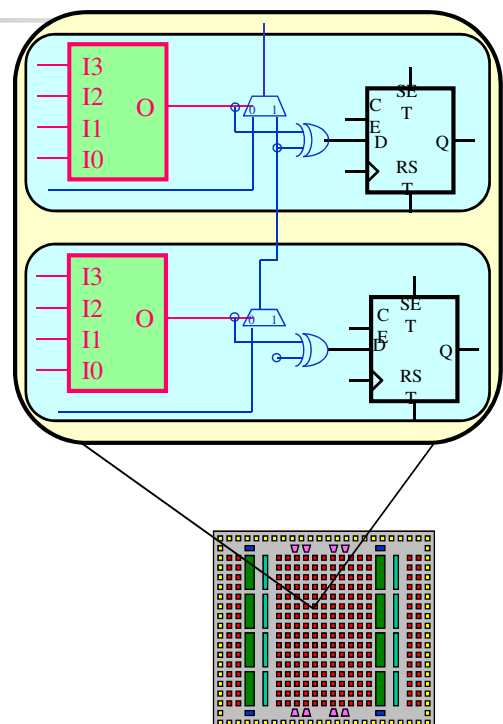
FPGA Architecture

- Logic Fabric
 - Gates and flip-flops
- Embedded Blocks
 - Memory
 - DSP/Multipliers
 - Clock management (PLL)
 - High speed serial I/O
 - Soft/hard processors
- Programmable I/Os
- In-system programmable

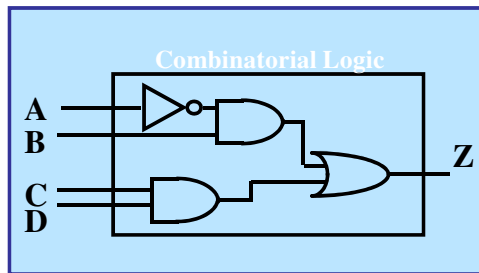


Logic Fabric

- Logic Cell (Xilinx) / Logic Element (Altera)
 - Lookup table (LUT)
 - Flip-Flop
 - Carry logic
 - Muxes (not shown)
- Slice
 - Two Logic Cells/Element



Look-Up Table (LUTs)

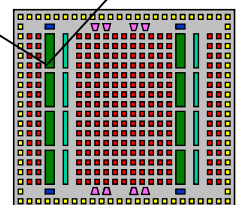
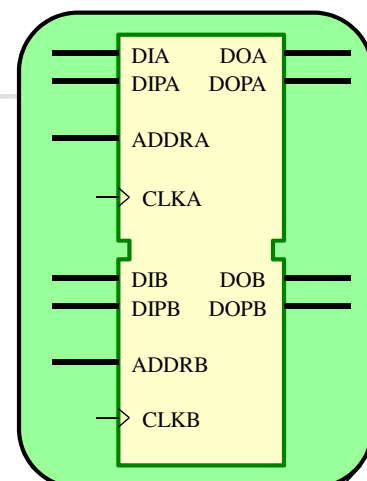


A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Blocs Memory

■ Block RAM

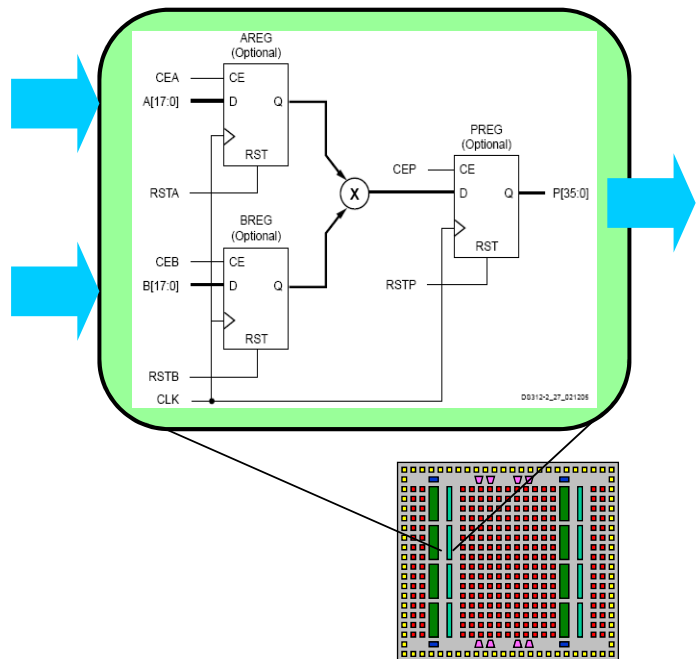
- RAM or ROM
- True dual port
 - Separate read and write ports
- Independent port size
 - Data width translation
- Excellent for FIFOs



Multipliers

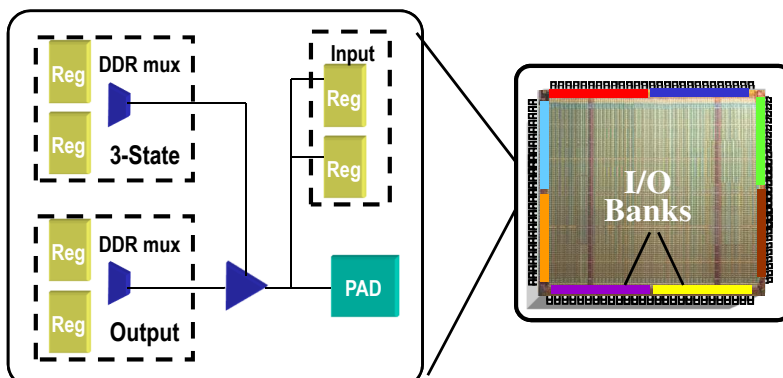
Multipliers

- Signed or unsigned
- Optional pipeline stage
- Cascadable



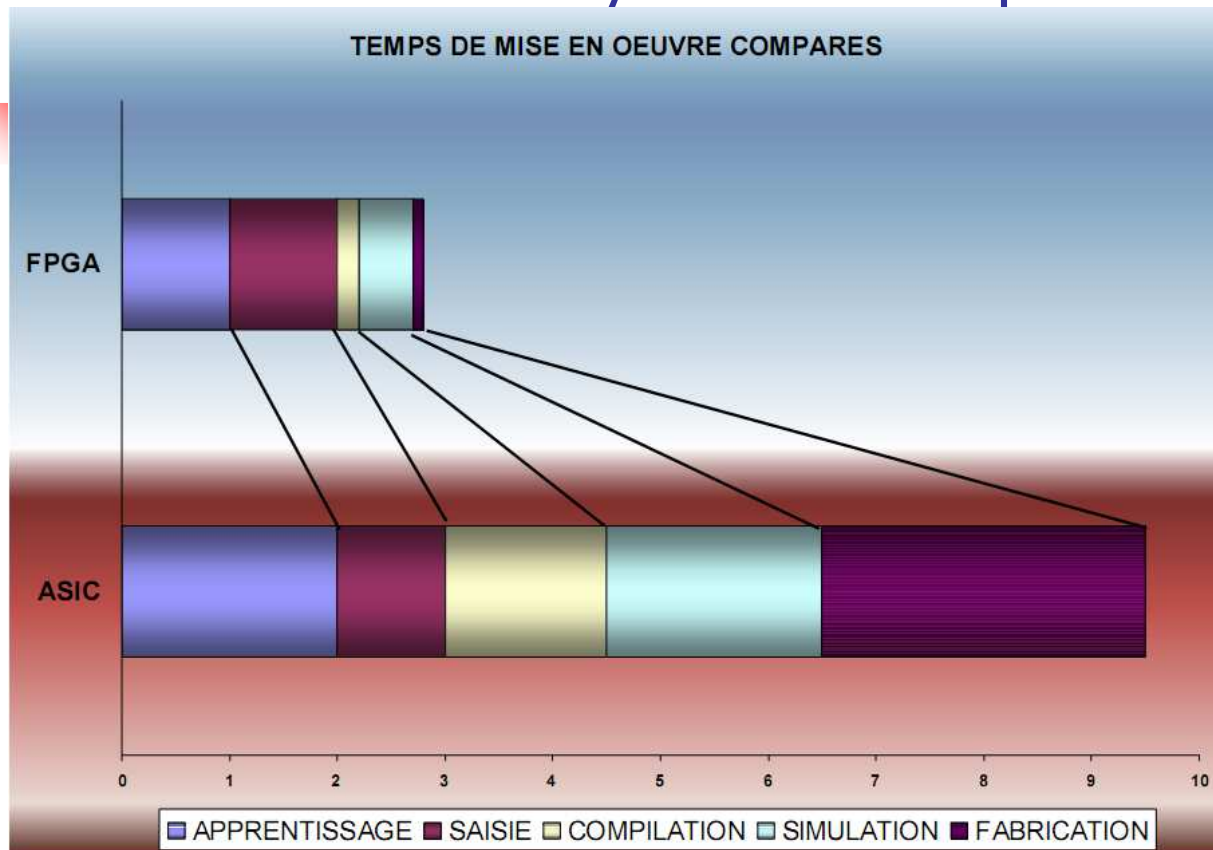
Programmable I/Os

- Single ended
- Differential / LVDS
- Programmable I/O standards
 - Multiple I/O banks



	Standard	Output V _{CCO}	Input V _{REF}
Single ended	LVTTTL	3.3V	--
	LVC MOS33	3.3V	--
	LVC MOS25	2.5V	--
	LVC MOS18	1.8V	--
	LVC MOS15	1.5V	--
	LVC MOS12	1.2V	--
	PCI 32/64 bit 33MHz	3.3V	--
	SSTL2 Class I	2.5V	1.25V
	SSTL2 Class II	2.5V	1.25V
	SSTL18 Class I	1.8V	0.9V
	HSTL Class I	1.5V	0.75V
	HSTL Class III	1.5V	0.9V
	HSTL18 Class I	1.8V	0.9V
	HSTL18 Class II	1.8V	0.9V
Differential	HSTL18 Class III	1.8V	1.1V
	GTL	--	0.8V
	GTL+	--	1.0V
	LVDS2.5	2.5V	--
	Bus LVDS2.5	2.5V	--
	Ultra LVDS2.5	2.5V	--
	LVDS_ext2.5	2.5V	--
	RSDS	2.5V	--
	LDT2.5	2.5V	--

Durée dans le cycle de conception



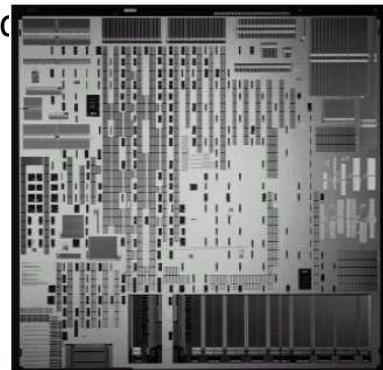
Les ASIC

■ AVANTAGES

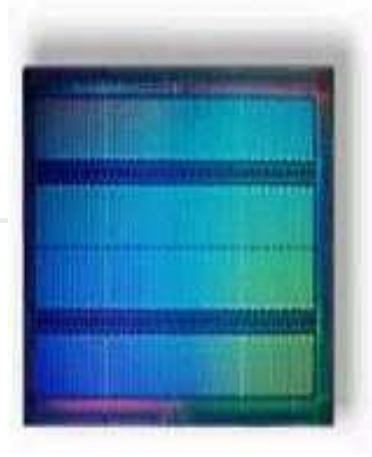
- hautes intégrations
- hautes performances (vitesse, low-power)
- coûts faibles pour de gros volumes de production
- personnalisation
- Sécurité industrielle

■ INCONVENIENTS

- prix du 1er exemplaire
- pas d'erreur possible
- non-flexible
- time-to-market élevé
- fabrication réservée aux spécialistes (fondeur)



Les FPGA



■ AVANTAGES

- Possibilité de prototypage
- time-to-market faible
- adaptabilité aux futurs évolutions grâce à la reconfiguration
- flexibilité

■ INCONVENIENTS

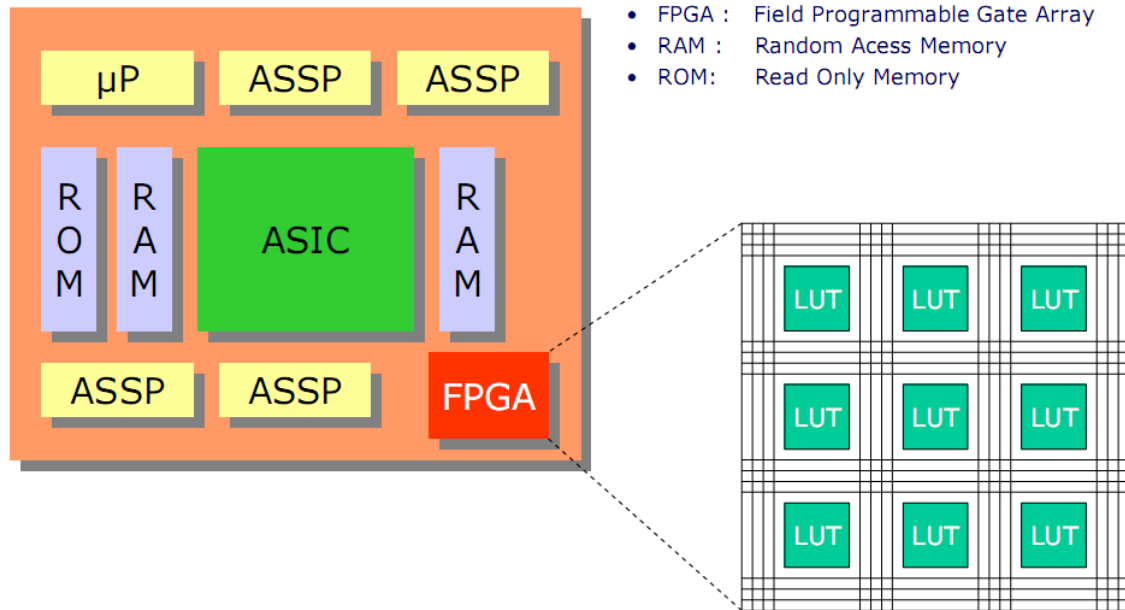
- intégration limité par les ressources de routage
- performances
- prix à l'unité élevé pour de grosses productions

Evolution des méthodes de conception

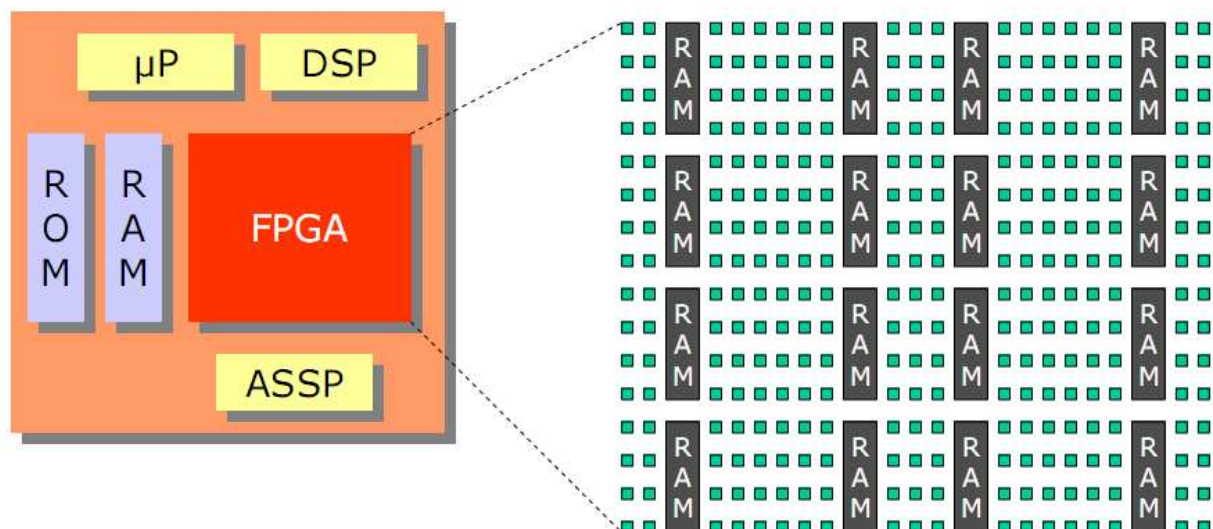
- Toujours plus d'intégration (SoC)
- Les FPGA sont de plus en plus performant et de moins en moins cher donc de plus en plus utilisé.
- Les FPGA viennent lentement remplacer les circuits ASIC.
- Illustration ...

1990 : FPGA = Glue Logique

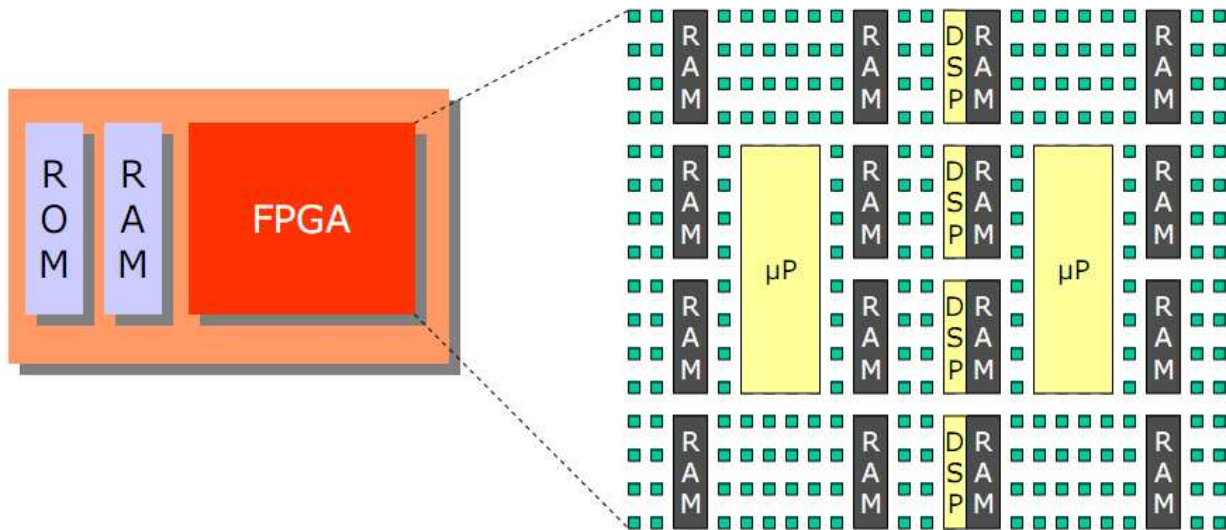
- ASIC : Application Specific Integrated Circuit
- ASSP : Application Specific Standard Product
- FPGA : Field Programmable Gate Array
- RAM : Random Access Memory
- ROM : Read Only Memory



2000 : FPGA = une alternative au ASIC (augmentation de la capacité)



Depuis 2005 : FPGA + Cœurs de processeurs



Conclusion sur les cibles matérielles

■ Avantages

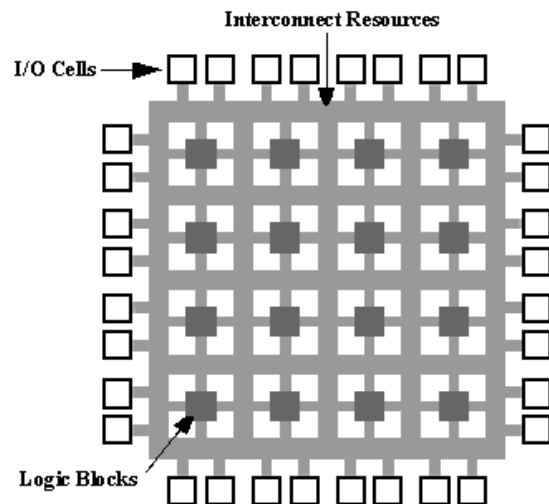
- Grandes performances : consommation de puissance et fréquence de fonctionnement
- Parallélisme, pipeline ...
- Possibilité de traitement temps réel
- Spécialisation du circuits à l'application
- Possibilité d'avoir des composants flexibles : FPGA
- Choix large de techno, boîtier, gamme ...

■ Inconvénients

- Conception plus ou moins complexe et longue
- Les coûts de conception peuvent être élevés (ASIC et FPGA de taille importante)
- Nécessite des méthodes de conception rigoureuse.
- Demande une plus grande expertise

Principaux Fabricants de FPGA

- **Xilinx**
- **Altera**
- Lattice Semiconductor
- Actel (microsemi)
- Cypress
- Atmel
- QuickLogic



Différence entre un μ C et un FPGA

- Un μ C:
 - Exécute les instructions d'un programme de manière séquentielle.
- Un FPGA :
 - Description matérielle d'un système.
 - Un FPGA peut comporter un ou plusieurs μ C ou μ P, on parle alors de SoC ou SoPC.



Qu'est ce qu'une IP ?

- IP (Intellectual Propriety)
 - composant virtuel
 - Fonction décrit par un langage HDL
- Vendeur d'IPs :
 - ARM
 - www.design-reuse.com
- IPs open source :
 - www.opencores.org



VHDL WWW

- VHDL sur Internet
 - <http://vhdl33.free.fr/>
 - https://www.doulos.com/knowhow/vhdl_designers_guide/
 - <http://www.opencores.org/>
 - Composants RTL open source (IPs)
 - <http://www.freemodelfoundry.com/>
 - Composants behaviour (modélisation) pour la simulation.