

電圧制限回路の設計と動作概要

藤田 誉大

あらまし 既設計回路における問題点に対処する回路を提案する．ダイオードを用いた電圧制限回路を実装することにより，VCO(電圧制御発振器)の非線形性に起因する問題を排除する．新規設計回路について LTspice によりシミュレーションを行い，その動作を確認する．(123)

キーワード FSK,SWIPT, 電圧制限回路

1. はじめに

夏季休暇においては，春学期に設計した FSK-SWIPT システムの動作確認を行ったものの，所望の動作は実現できなかった．前回の報告でその原因と改良指針について述べたが，今週はそれに基づいて新たな回路の設計を行ったため，設計回路の概要について述べる．

2. 改良回路の概要

前回の報告で述べた既設計回路の問題点は，1. 半固定抵抗の選定が不適当であったため，PLL の出力周波数範囲を制限できない 2. VCO の制御電圧を制限していなかったことにより，PLL のロック不良が生じる という点であった．うち前者については，部品の再選定以外の改良は行っておらず特筆すべきことはないため，以下後者について述べる．

図 1 に，改良部を含む PLL の周辺回路図を示す．同図において，赤点線内が新たに付加した回路である．半固定抵抗 R_5, R_6 により得られる電源電圧 V_{DD} の分圧を $V_x, V_y (V_x < V_y)$ とし，ダイオード D_1, D_2 がそれぞれ理想的な特性であると仮定すると，LPF の出力電圧 V_{LPF} は $V_x < V_{LPF} < V_y$ の範囲に制限される．これは， $V_{LPF} < V_x$ でダイオード D_1 が， $V_{LPF} > V_y$ でダイオード D_2 がそれぞれ導通するためである．実際には，制限される電圧の範囲はダイオードの順方向電圧降下 V_F などに影響されるため，半固定抵抗 R_5, R_6 を可変することにより実験的に調整する．その他，LPF の時定数を可変できるよう抵抗 R_1, R_2 を半固定としたほか，将来的に LPF をラグ・リードフィルタに換装することを想定し，抵抗 R_3 とキャパシタを C_2 を付加できるようにするなど，細かい改良を施している．ラグ・リードフィルタは，それぞれ 2 つずつの抵抗器とキャパシタで構成されるフィルタで，高域で位相が戻る特性を持ち大きな位相余裕

を確保できることから，PLL のループフィルタとして広く用いられているものである [1]．なお参考として，改良部を含む全体の回路図を図 2 に示す．

図 3, 図 4 に，電圧制限回路のシミュレーション回路とその結果をそれぞれ示す．図 4 上側が入力波形で，1 秒間で 0–5 [V] に変化するランプ波である．下側は出力波形で，おおよそ 1–4 [V] の範囲に電圧が制限されていることが分かる．

3. おわりに

今週は，前回の報告で述べた既設計回路における問題点に対処する回路の設計を行った．すでに基板レイアウトまで完了しているため，早期の発注・実装を目指したい．また，基板が到着するまでの時間を利用して，オペアンプコンテストに向けた設計や，デモ用の大型コイルについての検討を行いたいと考えている．

参考文献

- [1] 遠坂俊昭, PLL 回路の設計と応用, CQ 出版, 2014.

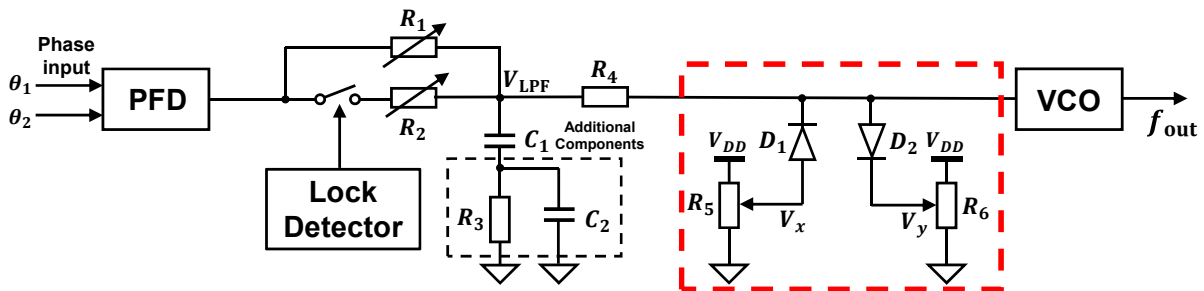


図 1 改良回路

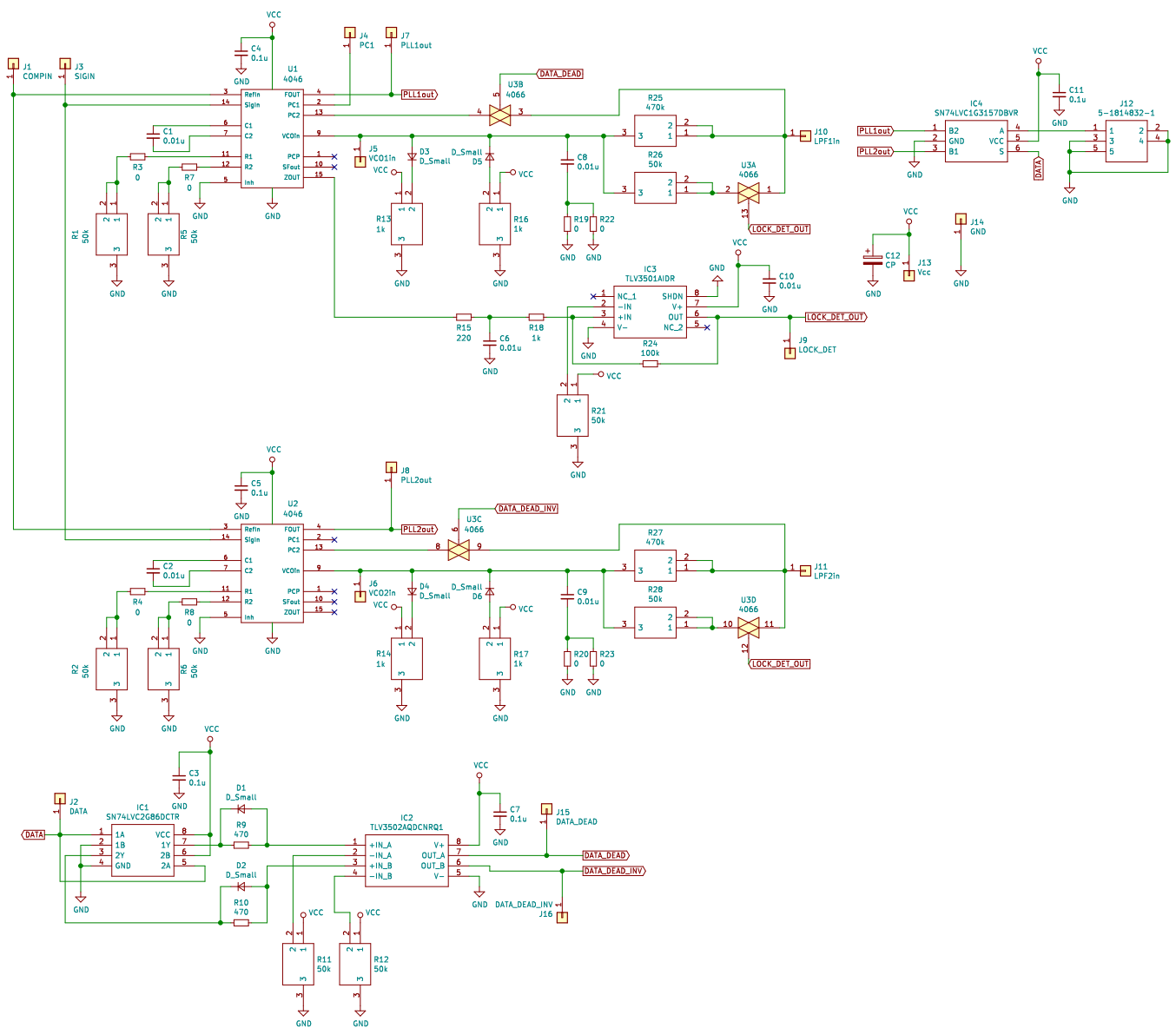


図 2 改良回路の全体図

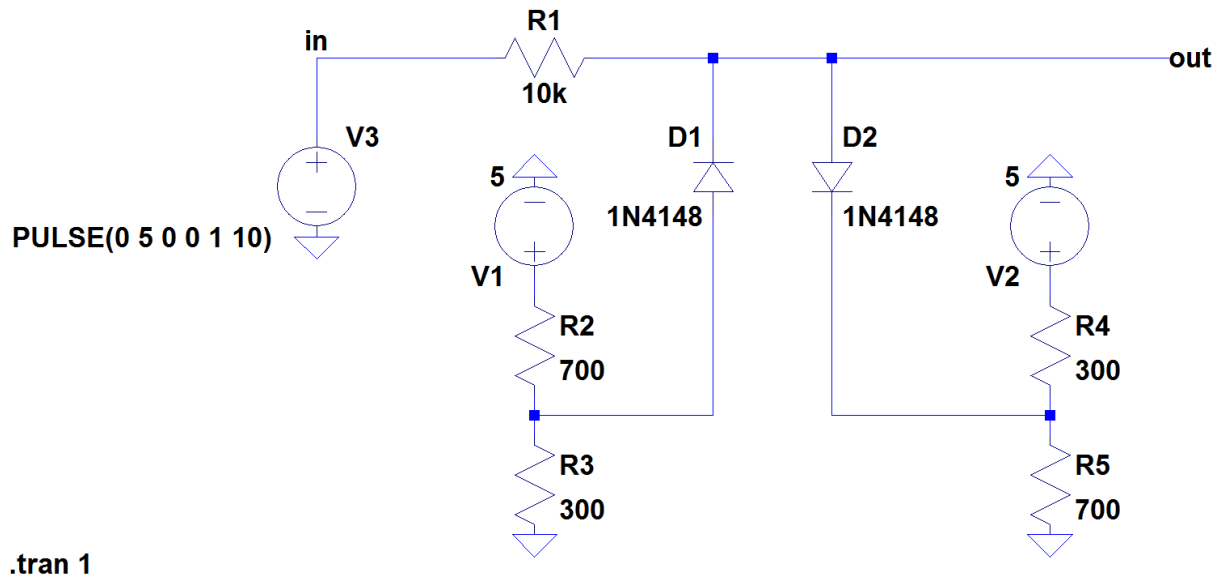


図 3 シミュレーション回路

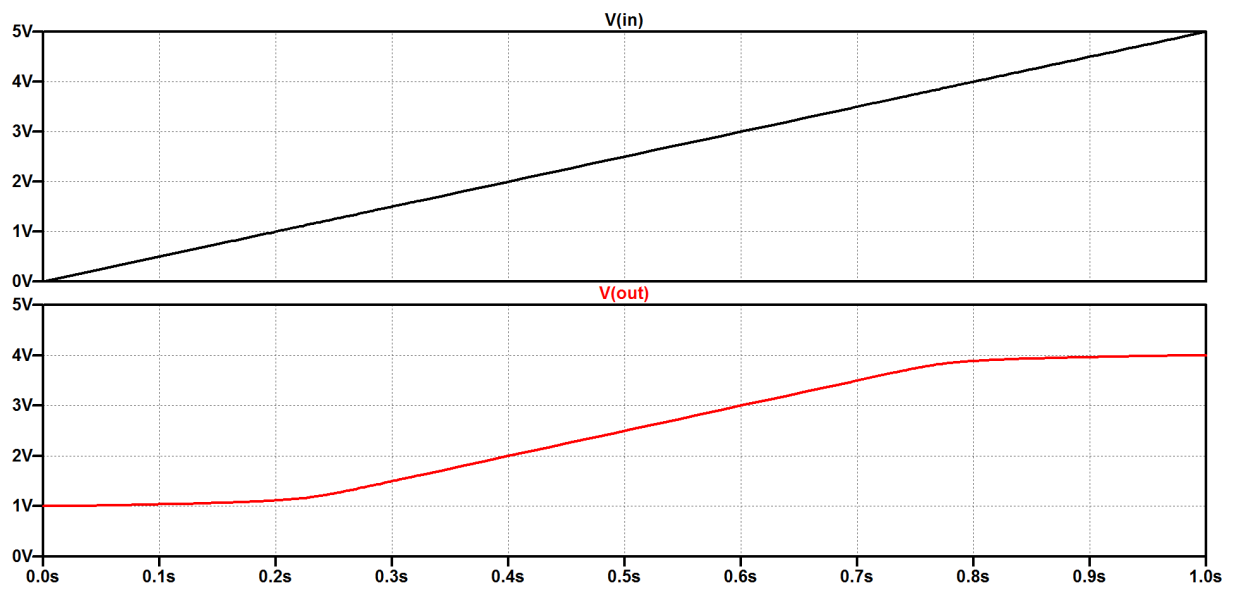


図 4 シミュレーション回路