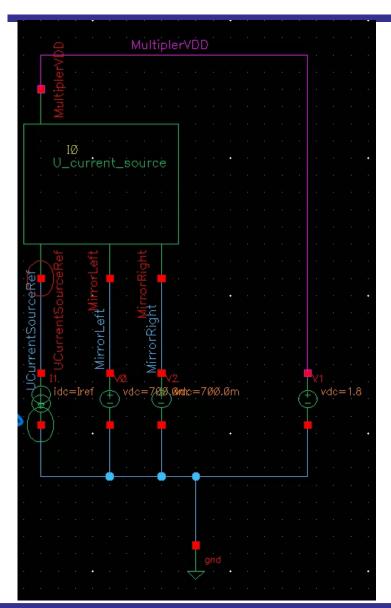


集積回路設計ミーティング

2024年2月20日 B4 小島光

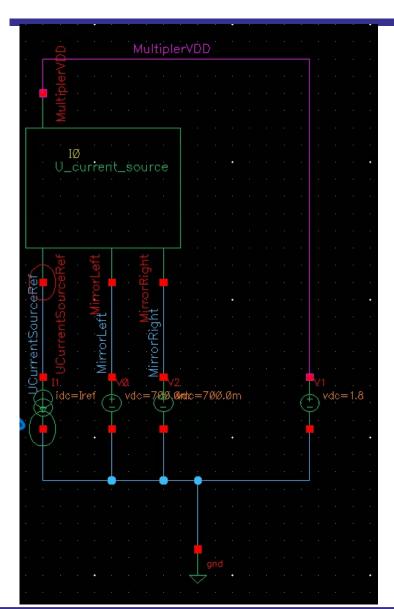


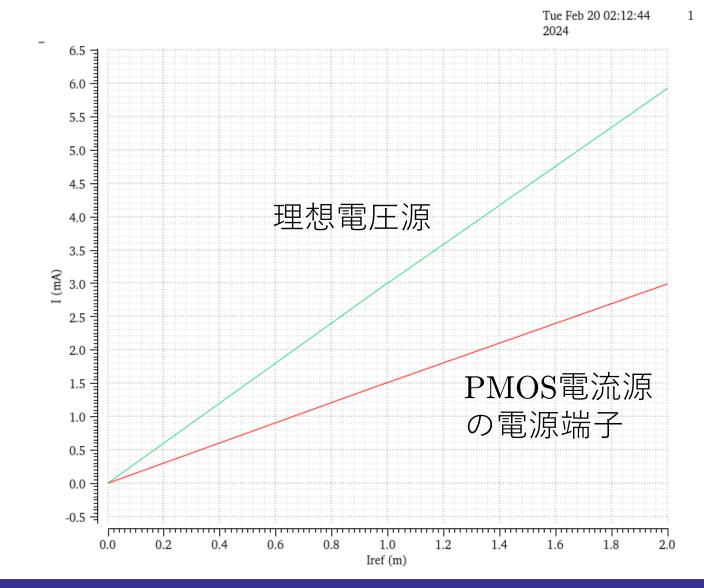


電流源のポストレイアウトシミュレーションを 実施したところ、理想電源の端子は設計通りの 電流が、

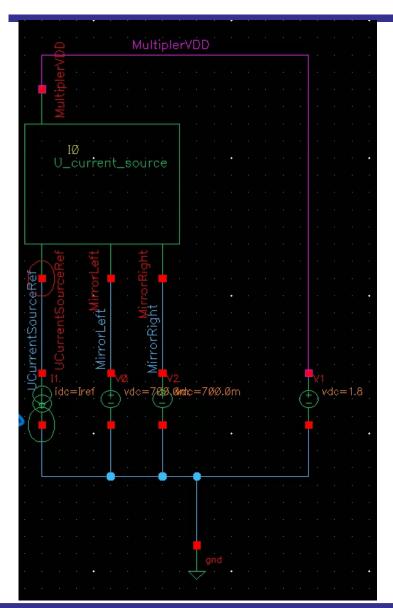
PMOS電流源の各端子には設計値のほぼ半分が 流れていた。

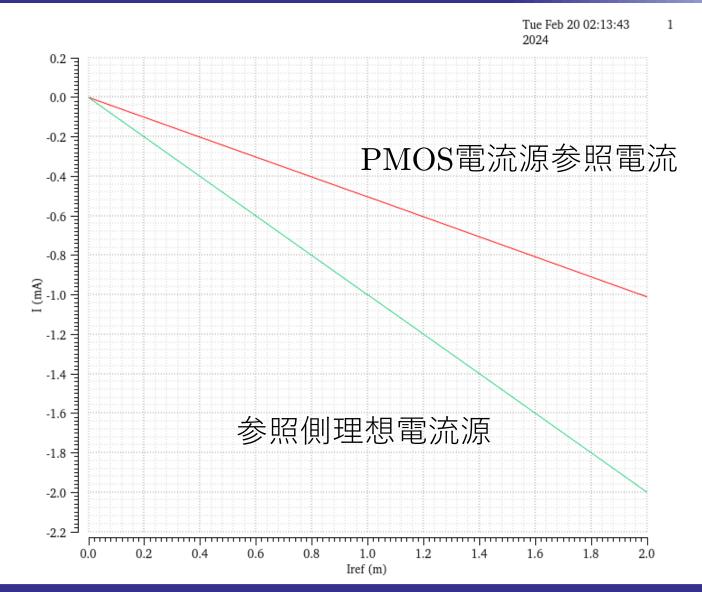




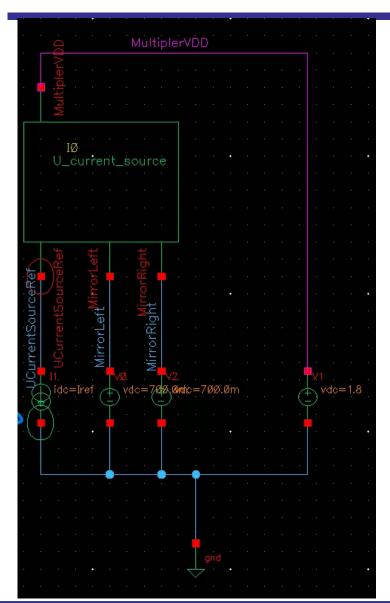


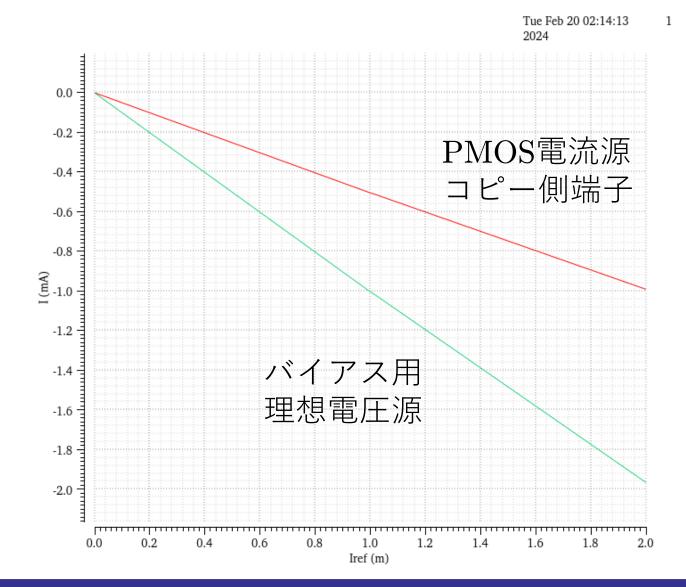




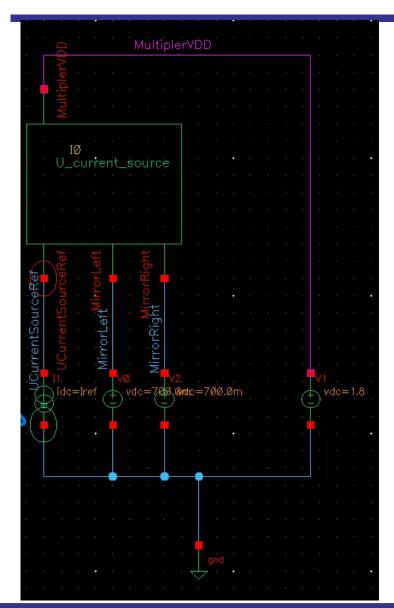












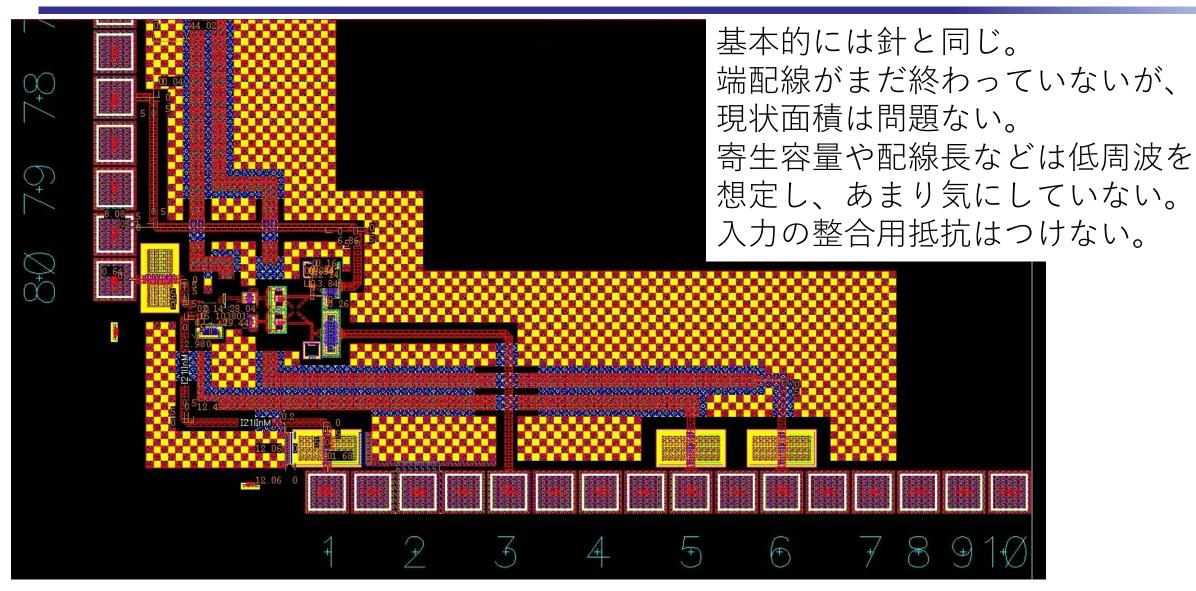
PMOS電流源の電源と各端子との間に寄生素子がついても、常に半分の電流を流すとは考えられない。

考えられるのは各端子間に倍の量のMOSがついているという状態。しかしLVSエラーはなし。

ROHMでの寄生抽出は参考程度にしかならないと考えらる。

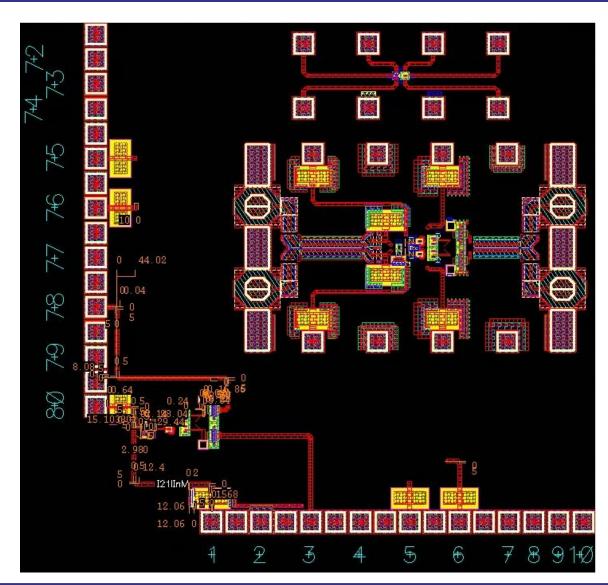
pcbのレイアウト





レイアウト全体





針測定用のレイアウトをpcbの レイアウトに乗せてみた。

pcbの電源メッシュが見えてい ないが、十分左下1/4に収まる。