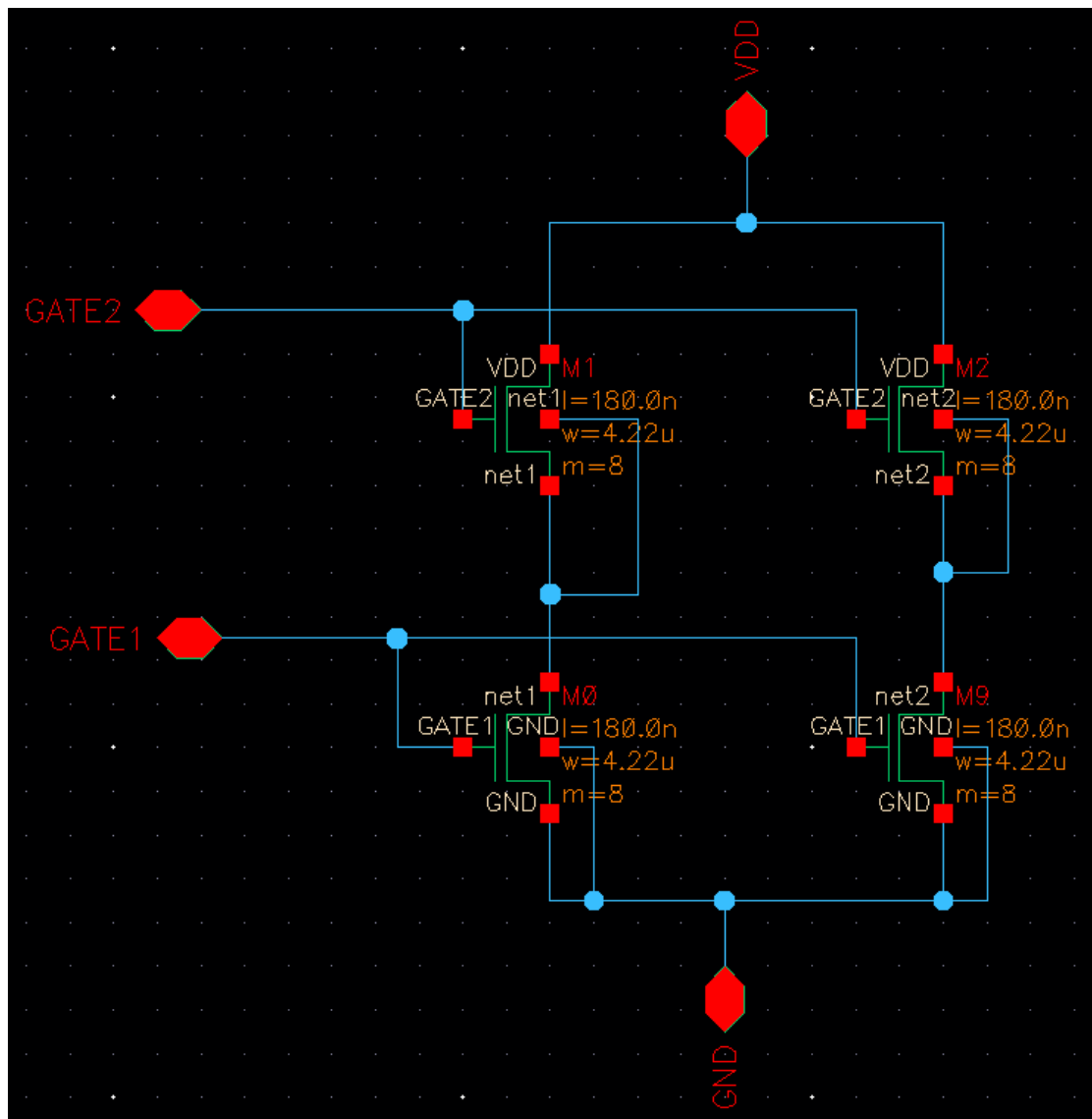


集積回路設計ミーティング

2024年1月22 B4 小島光

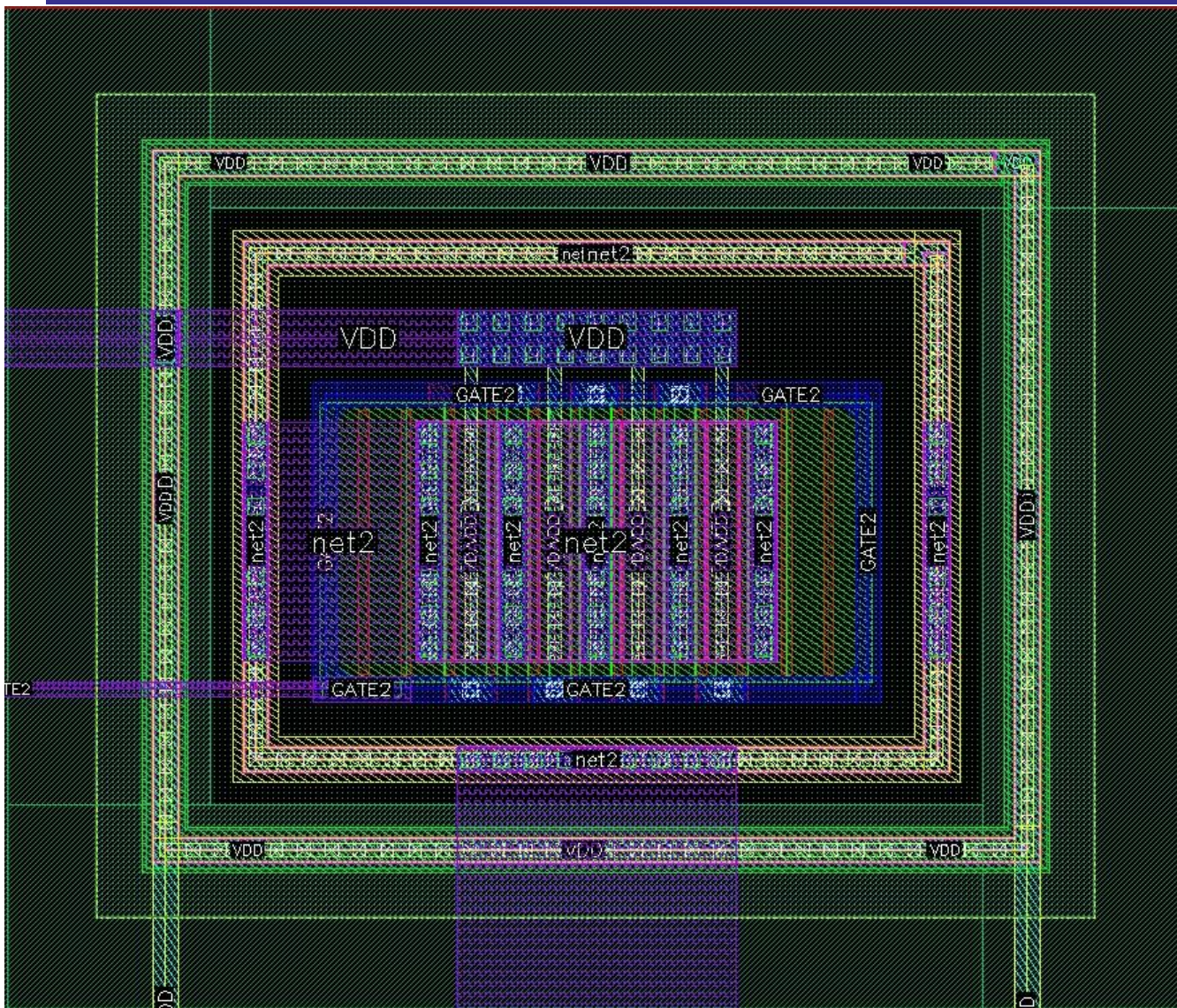
LVSとDEEP NWell



今回検証したのは
「Deep Nwellを使用しないNMOSのバルクがソースと短絡されている時にLVSエラーが出るのか」。

左の列は通常のNMOSで、右の列は比較用にDeep Nwellでレイアウトを行った。
(schematic上での区別はなし)

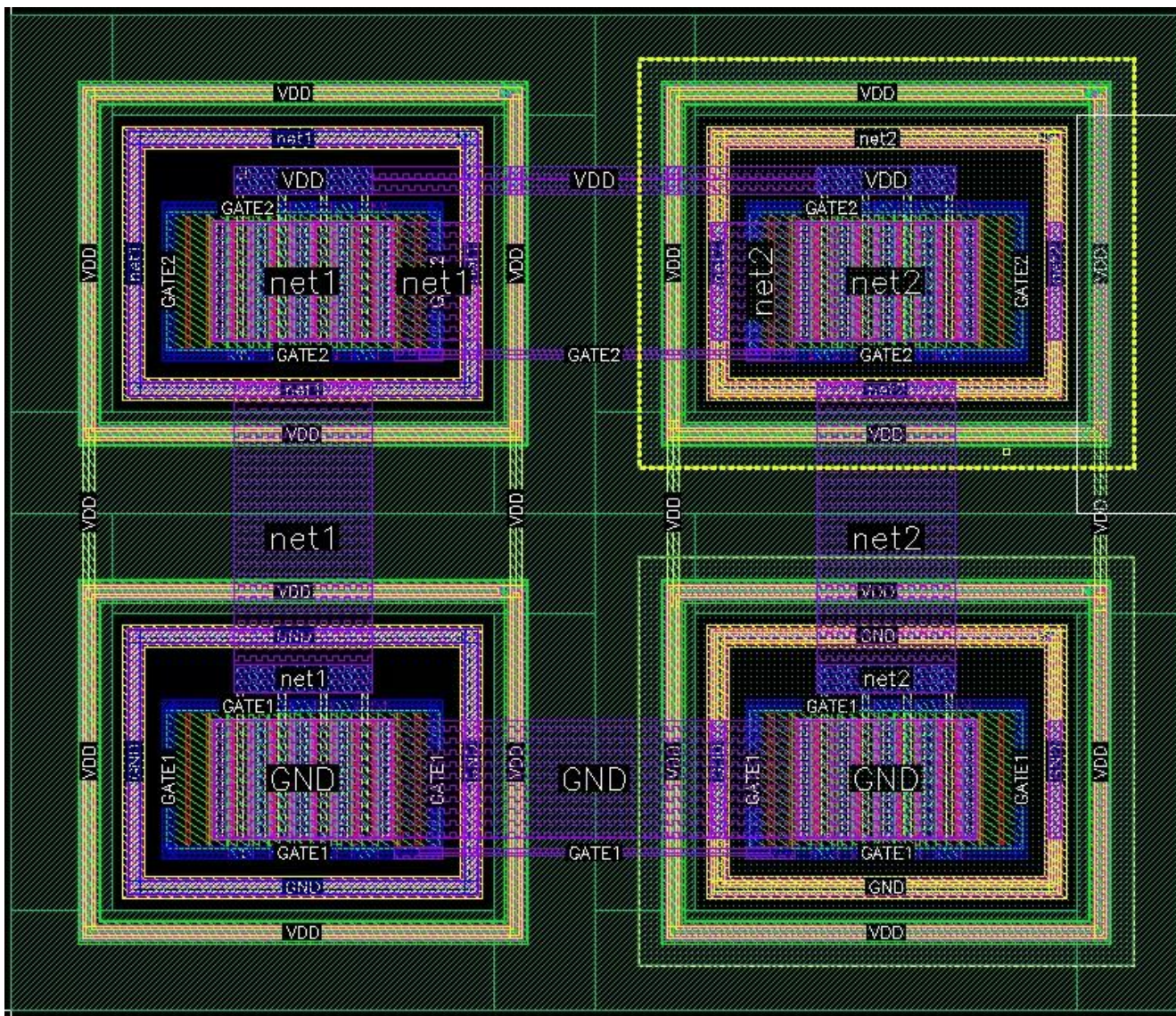
LVSとDEEP NWell



まず、Deep NwellのMOSを4つ並べDRC,LVSエラーフリーにした。

左画像は右上のMOS。
今回はLVSの検証のため配線はつながっていればなんでもいい。

LVSとDEEP NWell

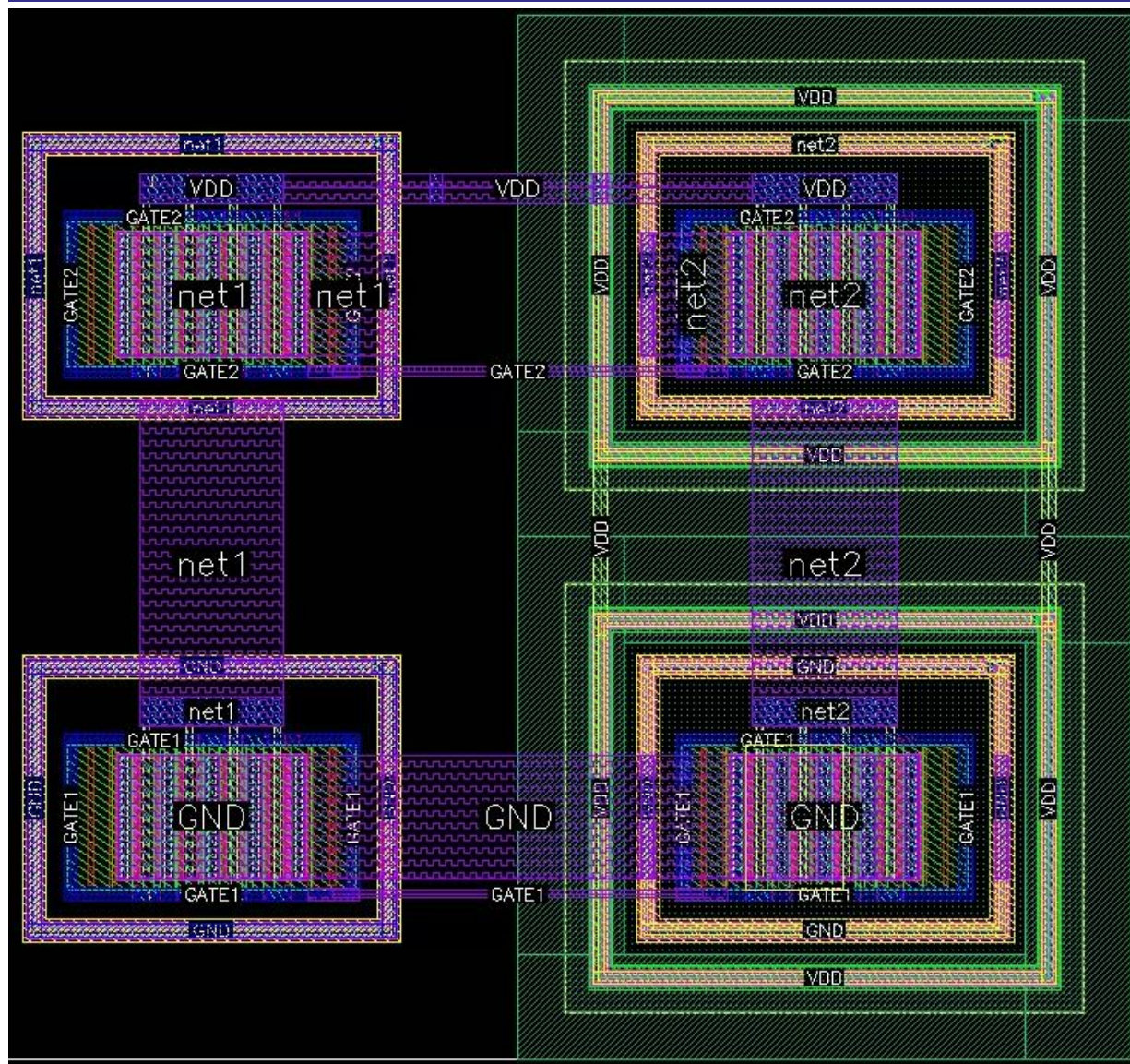


レイアウト全体。

左の列のNMOSのDeep Nwell用
レイヤーを消した状態。

この状態ではLVSエラーは出な
かった。

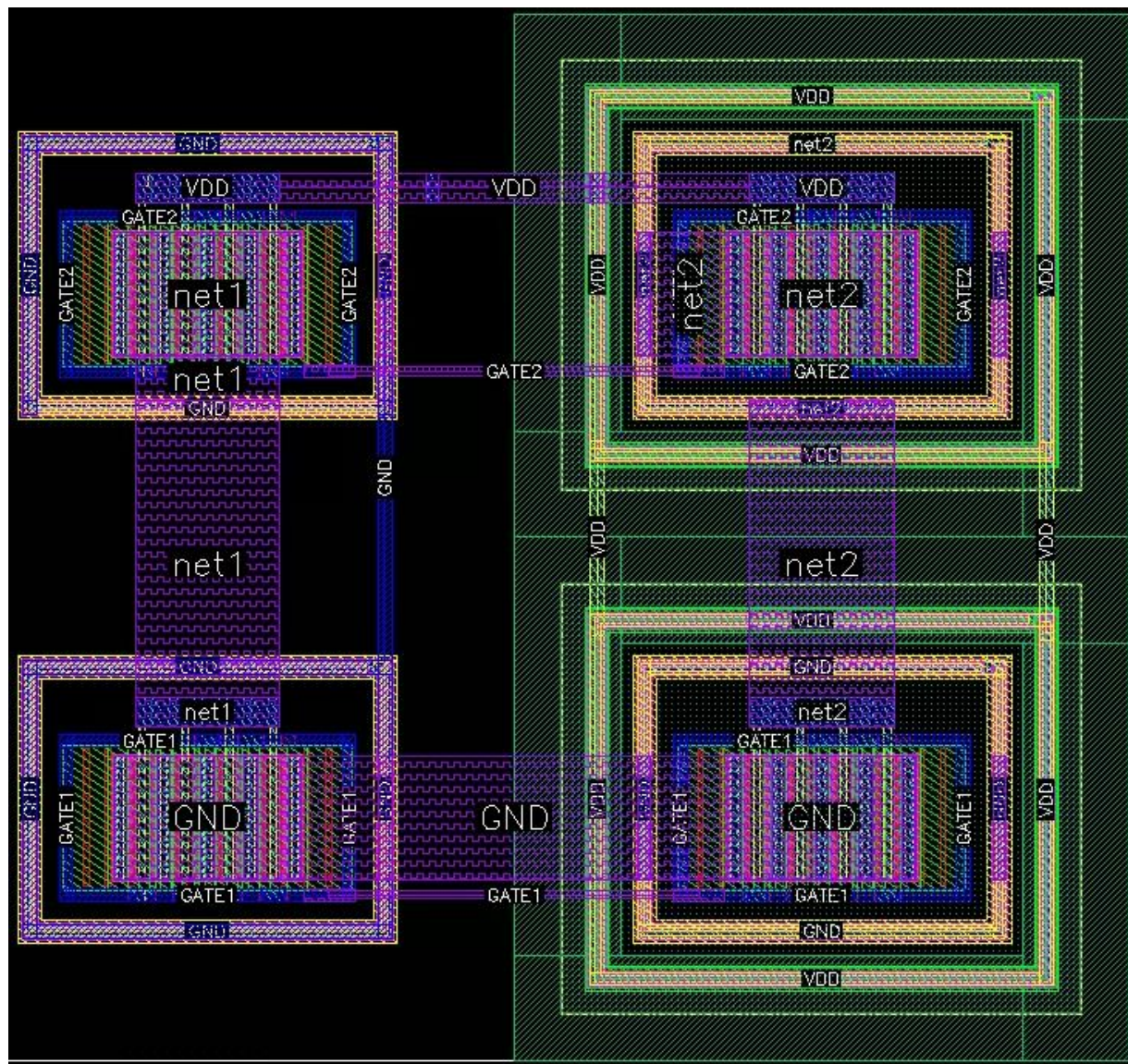
LVSとDEEP NWell



左列の外側についていたNwell
とその電位をVddに釣り上げて
いたガードリングを削除。

DRCエラーはなく、
LVSエラーが発生。

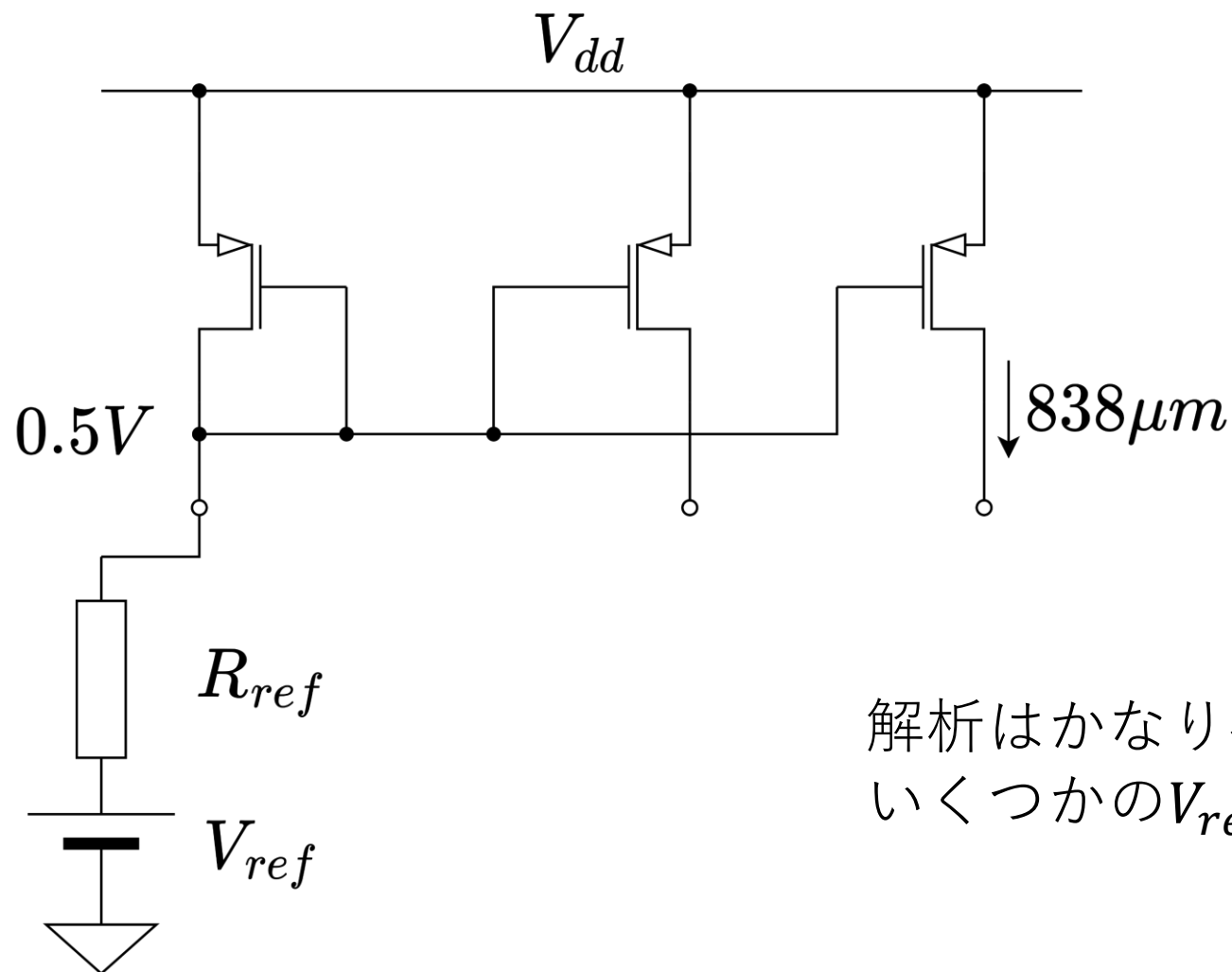
LVSとDEEP NWell



Schematicを書き換え、左上のNMOSのP-guardringの電位をGNDに落とすとLVSエラーは消える。(同じレイアウトでP-guardringのみでもエラーが出ないことを確かめた。)

⇒ 2重ガードリングならばDeep Nwellを作らなくてもエラーは出ない。
つまり気を付けるしかない。。。

TEGの R_{ref} の精度と電流の上限



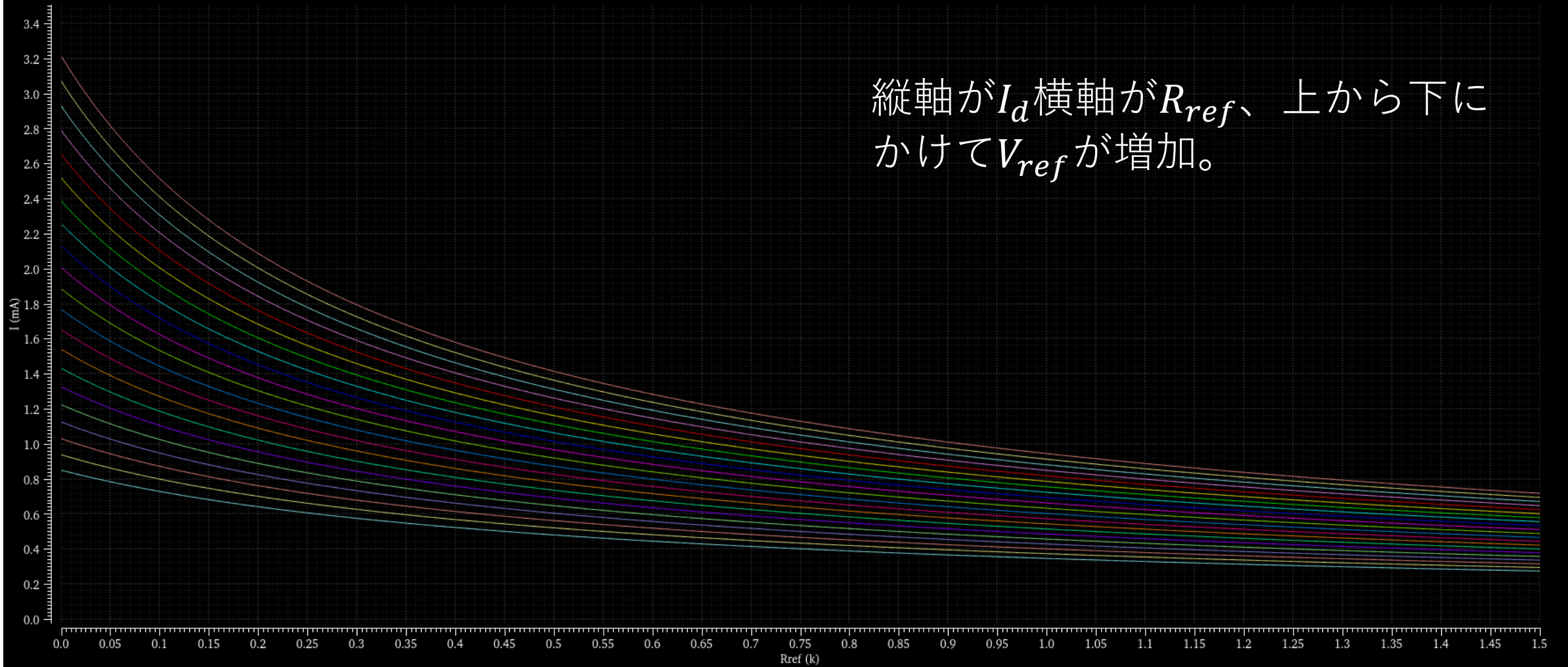
解析はかなり複雑なのでシミュレーションでいくつかの V_{ref} ごとに R_{ref} を掃引した。

TEGの R_{ref} の精度と電流の上限

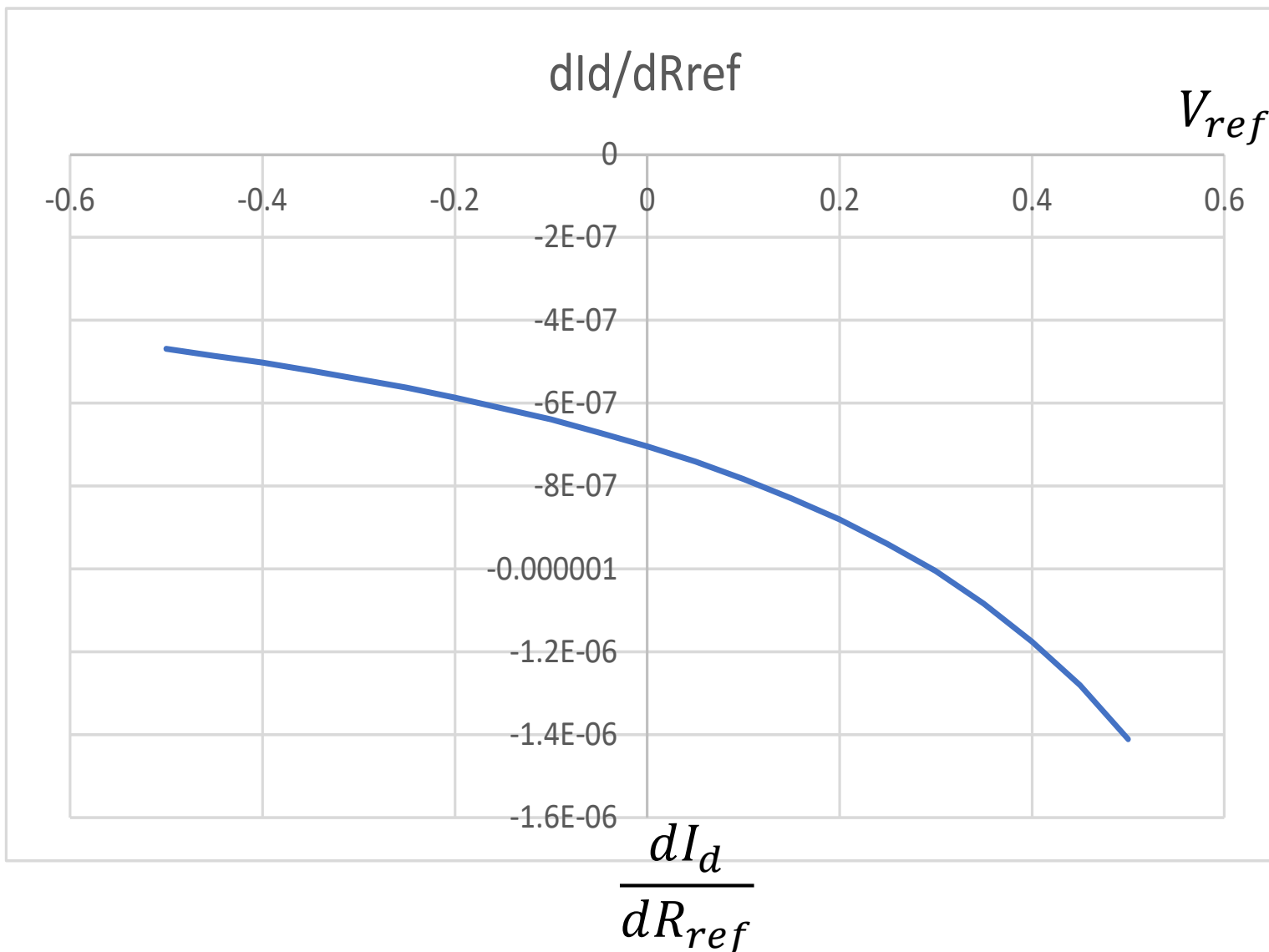
Sun Jan 21 14:13:36
2024

2

縦軸が I_d 横軸が R_{ref} 、上から下にかけて V_{ref} が増加。



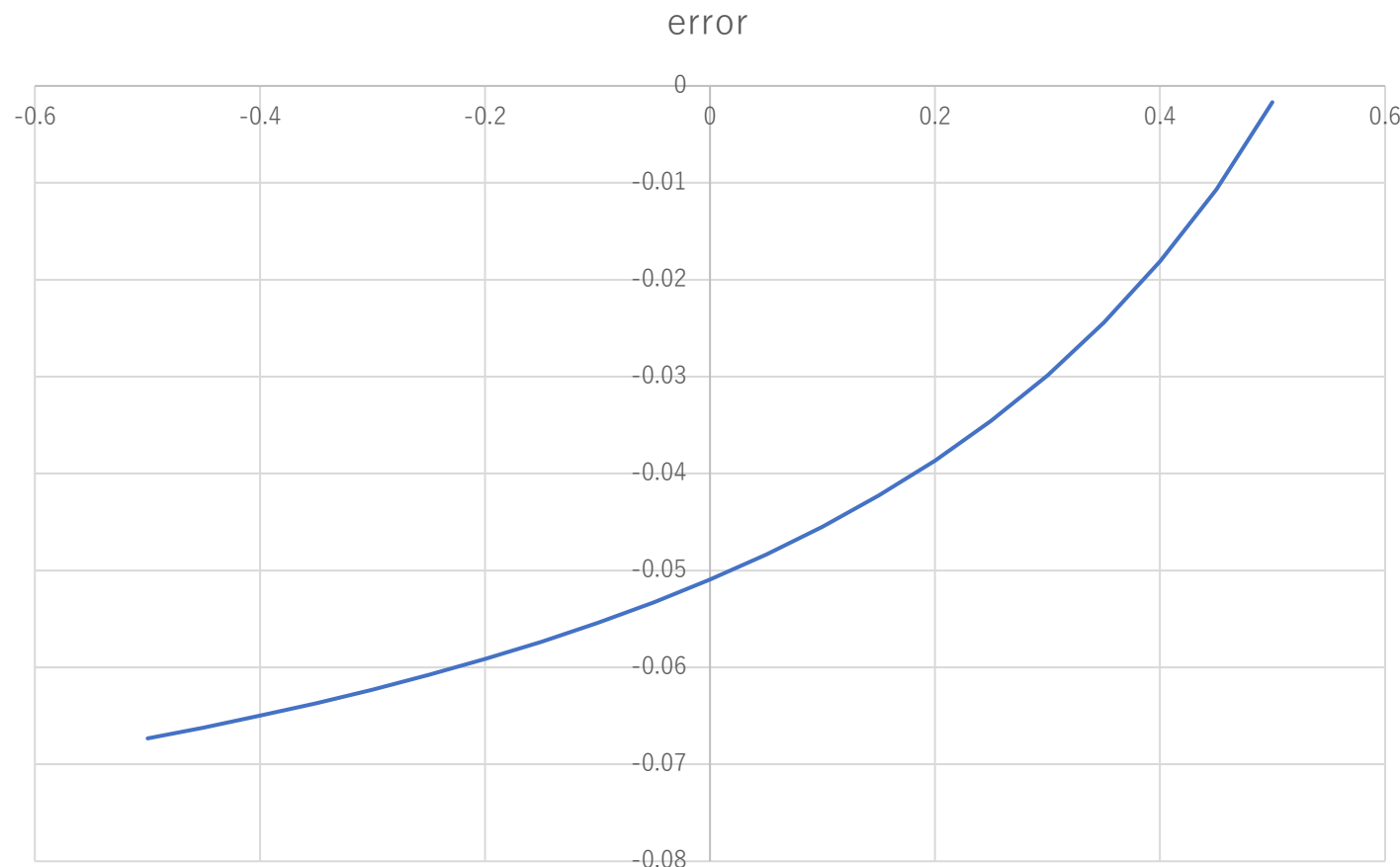
TEGの R_{ref} の精度と電流の上限



先ほどの $I_d - R_{ref}$ のグラフから、 V_{ref} 毎に所望の電流になる抵抗値を探し、抵抗値での傾き左図 $\left(\frac{dI_d}{dR_{ref}} - V_{ref} \right)$ をプロットした。

$V_{ref} = 0$ V の時、 1Ω あたり $7 \mu A$ つまり、1% 程度の電流が変動。

TEGの R_{ref} の精度と電流の上限



抵抗値が10%ずれたときに電流がどれだけ変動するのかが左の図。

電流は抵抗値に対する感度が高い方が誤差に対する電流の変動が小さい。

TEGの R_{ref} の精度と電流の上限



左図は $I_d - V_{ref}$ 特性。

$$V_{ref} = 0.5 \text{ V} \text{ の時 } \frac{dI_d}{dV_{ref}} \approx -1.72 \text{ mS}$$

したがって電源電圧が1%ずれると電流は約 $8 \mu\text{A}$ 変動することになる。

したがって今回はなるべく小さい抵抗を使って電圧源で制御する方が細かく調節できると考える。

- Deep Nwellでなくてもバルク端子を基盤以外につないでLVSエラーは出ない。気を付ける。
- モニターにはなるべく小さい抵抗と電圧源で電流を制御する。