

S/N比の向上を目的とする 出力振幅の拡大

2023年 12月 11日

明治大学 波動信号処理回路研究室 B4 小島 光

E-mail : ee201217@meiji.ac.jp

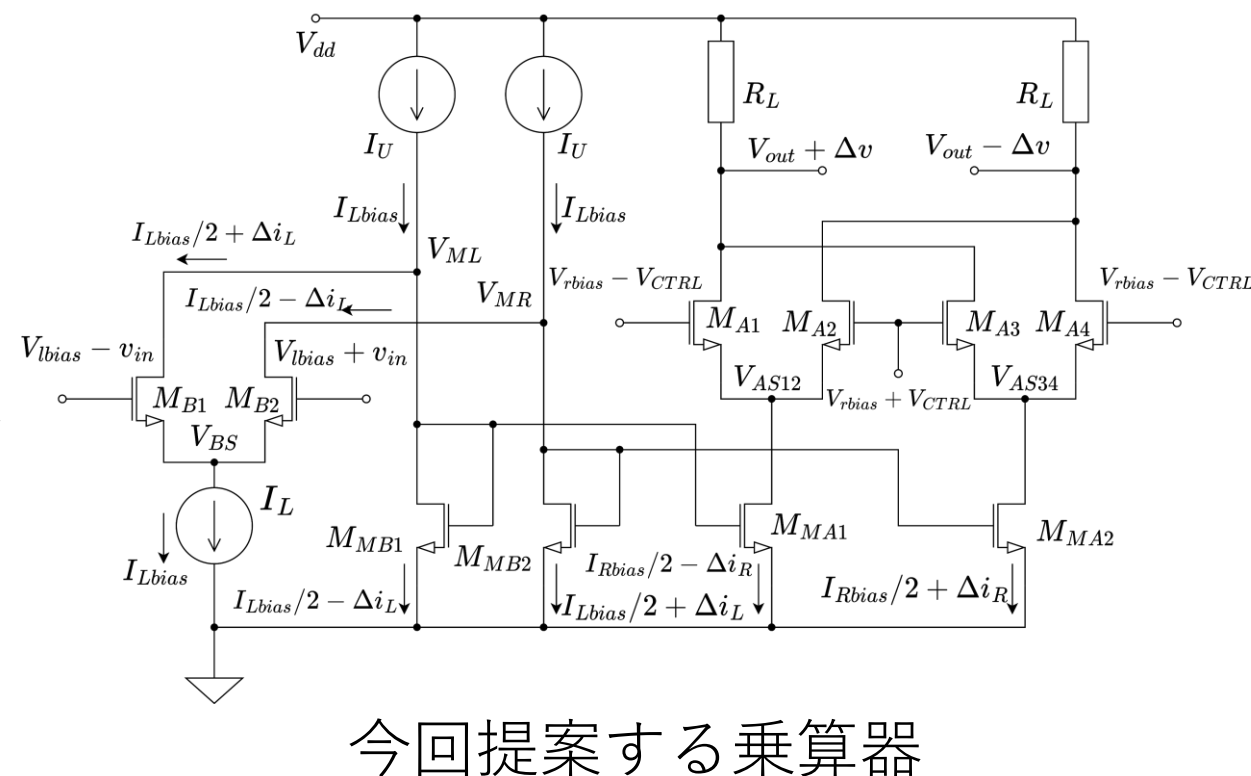
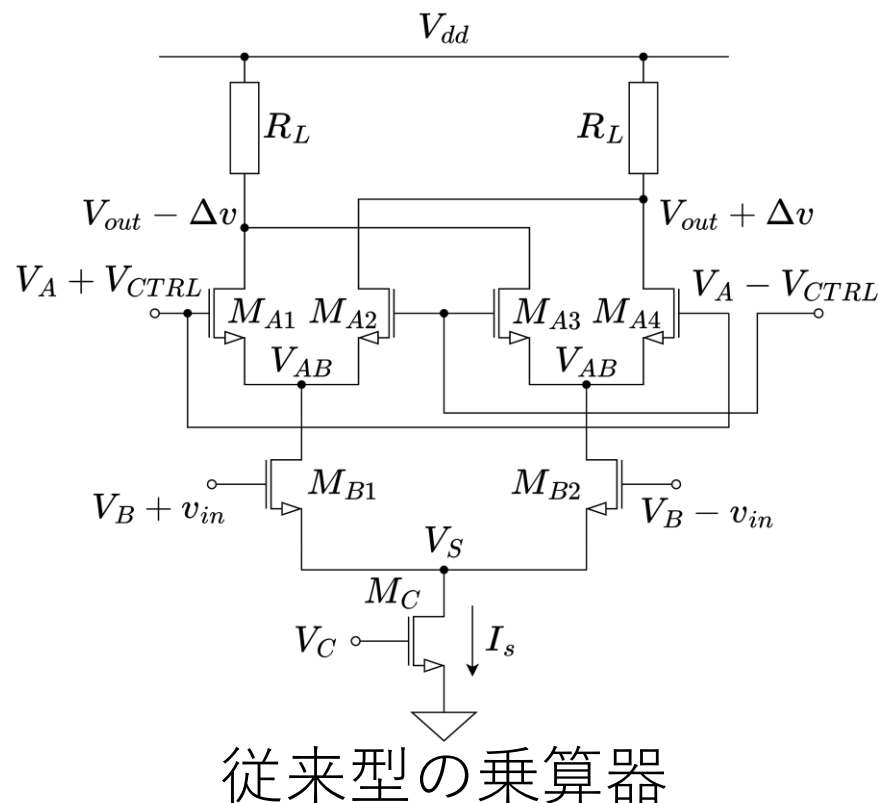
- 背景・目的
- 提案回路
- シミュレーション
- チップレベルでのシミュレーション
- まとめ

七つの出力の積和演算では信号振幅が制限される。



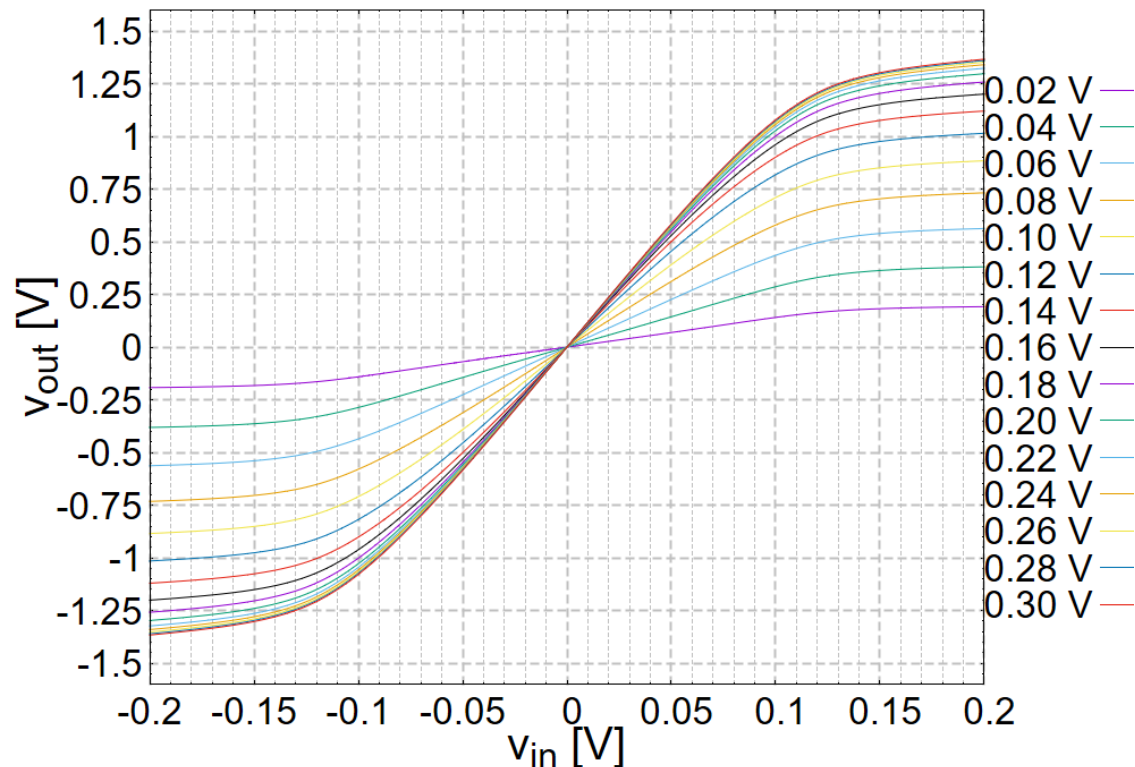
各乗算器の出力範囲を広げることでS/N比の向上を目指す。

提案回路

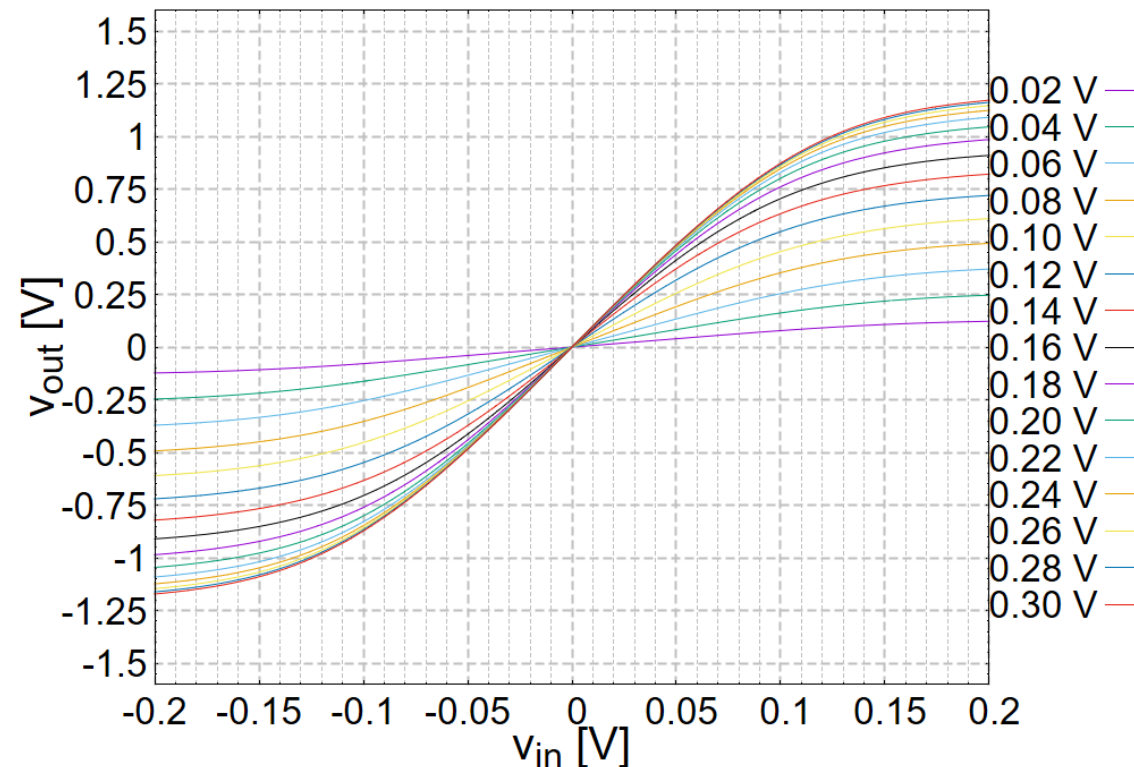


縦に積み上げる構造から信号を横に伝える構造へ。

シミュレーション・DC解析



提案回路

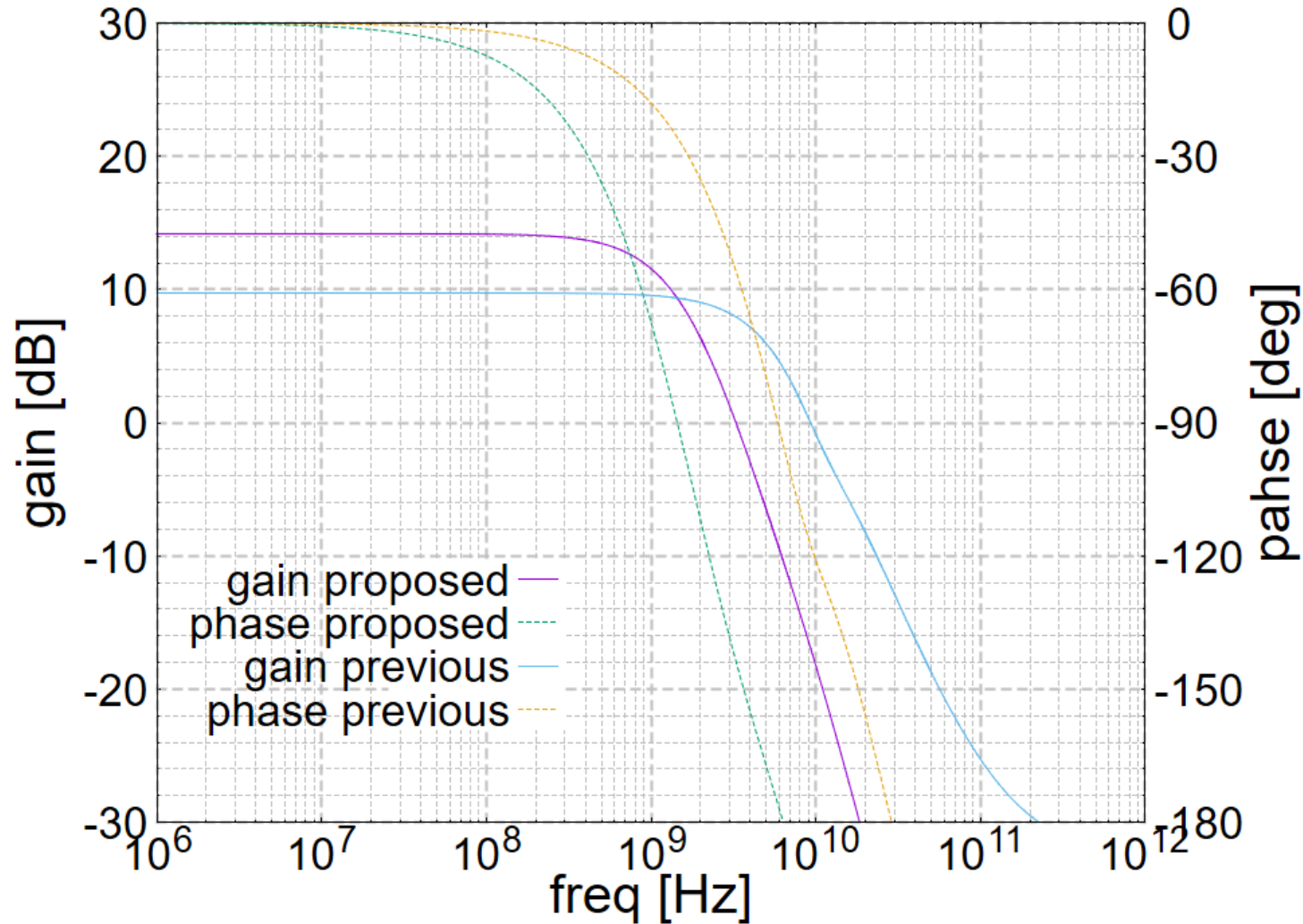


関根研 安藤さんの乗算器

± 0.1 Vの範囲で線形に変化。

安藤さんの乗算器と比較して $v_{in} = 0.1$ V, $V_{CTRL} = 0.2$ Vの点で
 0.45 V \Rightarrow 0.58 Vに3割程度増加。

シミュレーション・AC解析



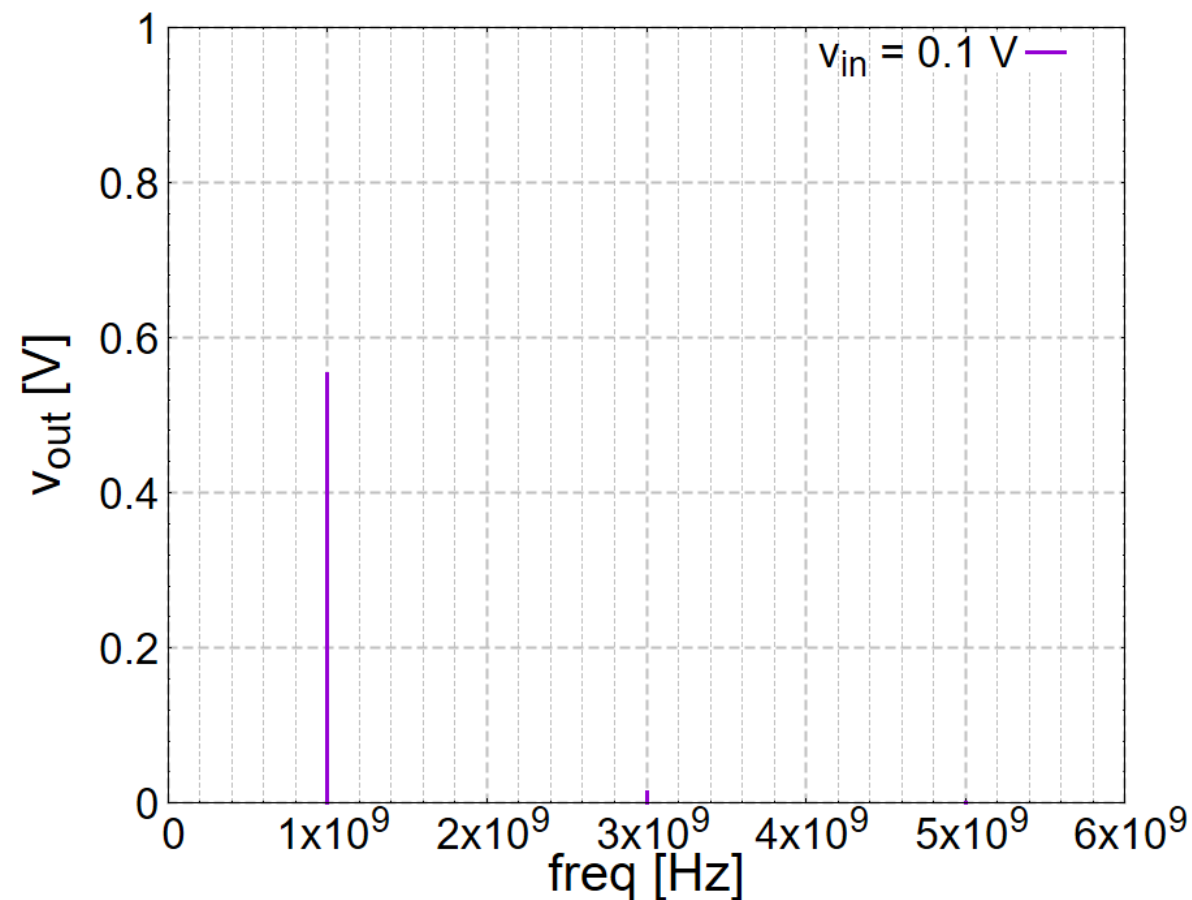
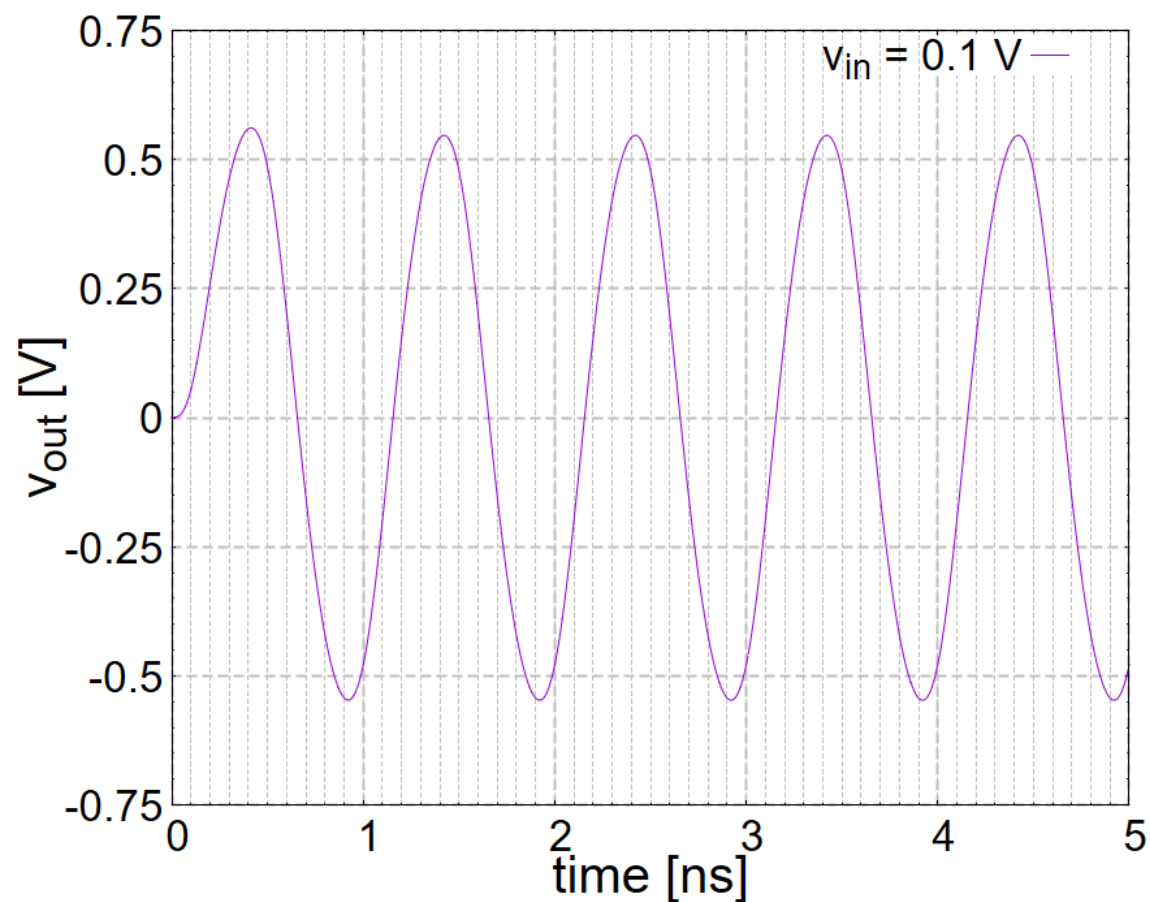
$V_{CTRL} = 0.1$ VでのAC解析結果。

提案回路の遮断周波数 : 1.1 GHz

従来型の遮断周波数 : 4.4 GHz

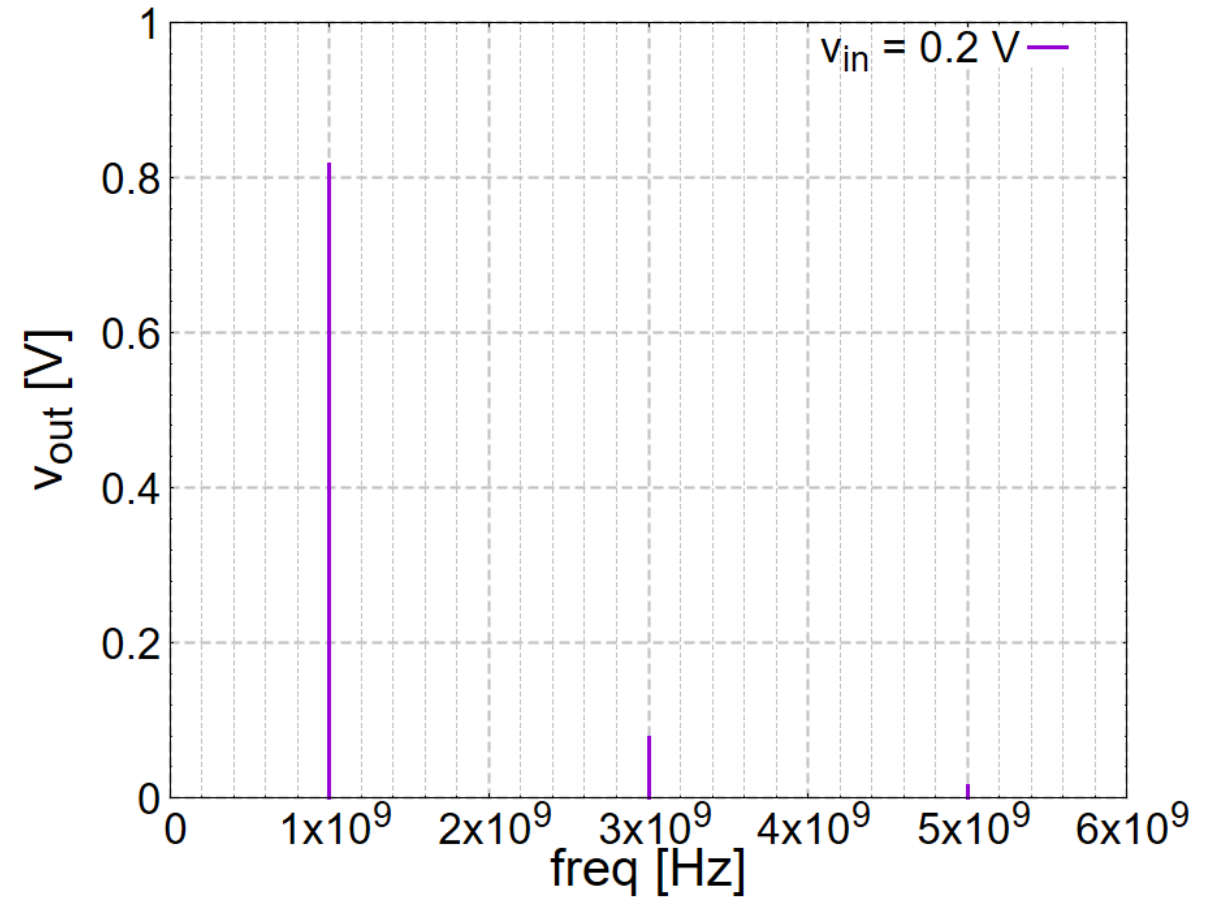
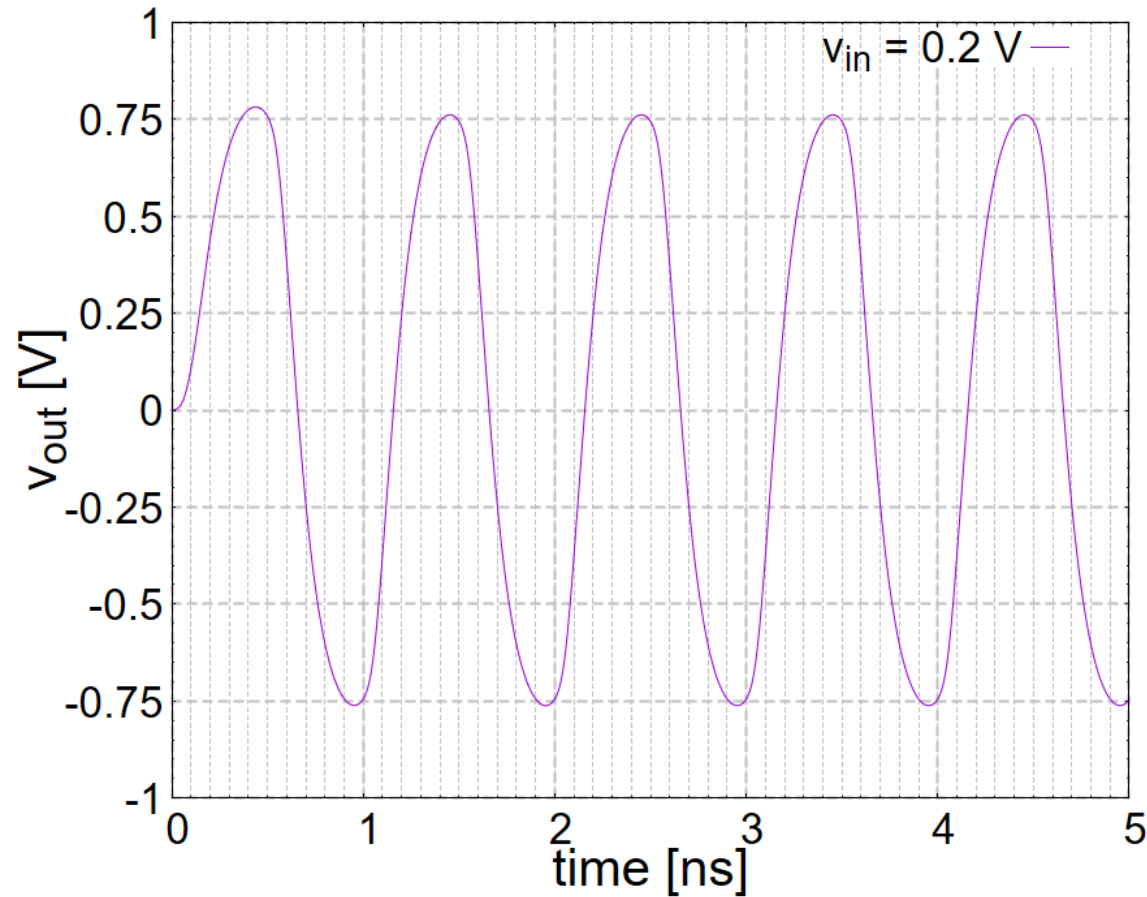
遮断周波数・位相特性ともに
従来型のものからは劣化。

シミュレーション・過渡解析



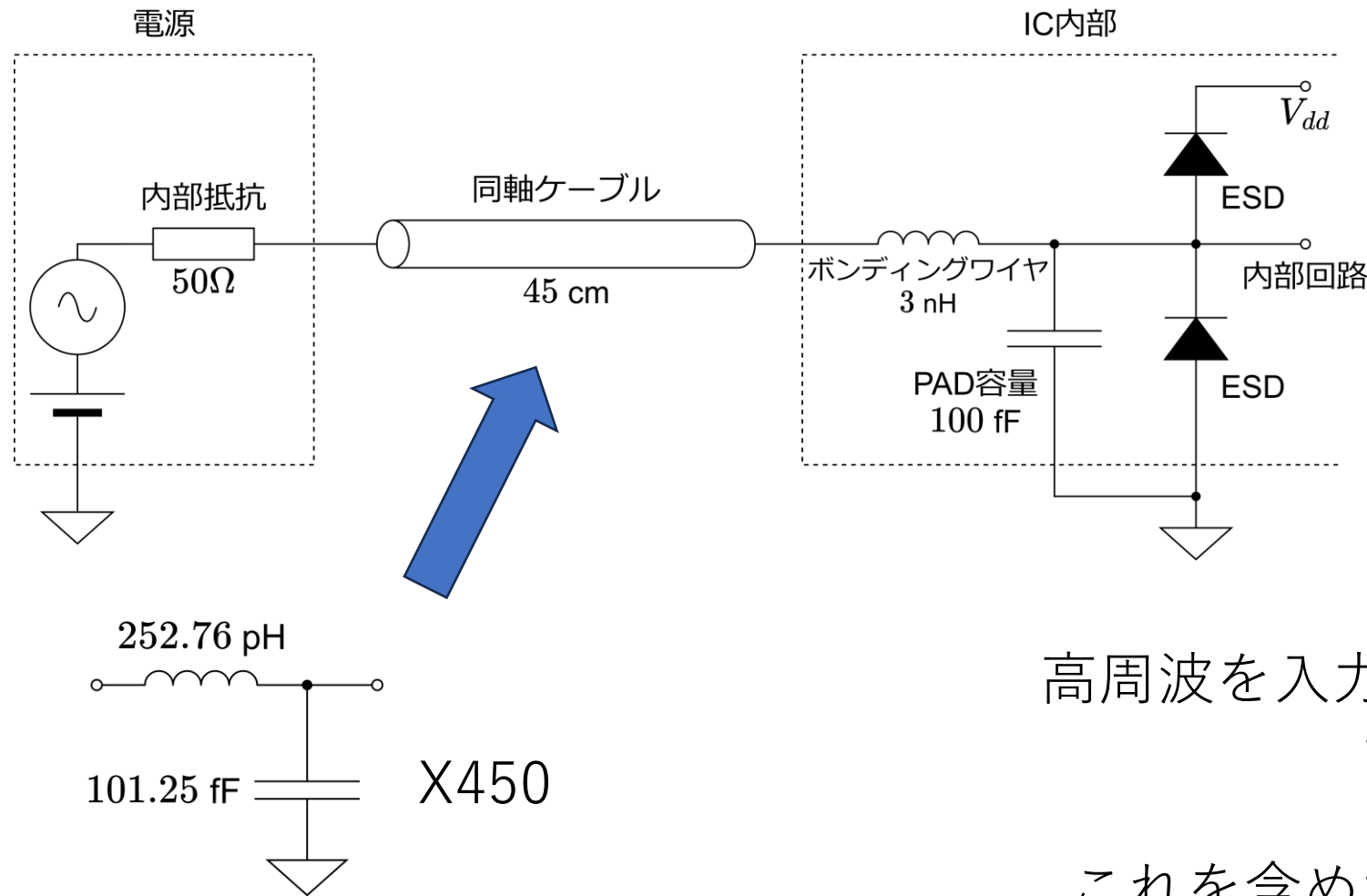
$v_{in} = V_{CTRL} = 0.1$ Vでの過渡解析とそのdft。

シミュレーション・過渡解析



$v_{in} = 0.2$ V, $V_{CTRL} = 0.1$ Vでの過渡解析とそのdft。
奇数時高調波が乗っている様子が分かる。

チップレベルでのシミュレーション

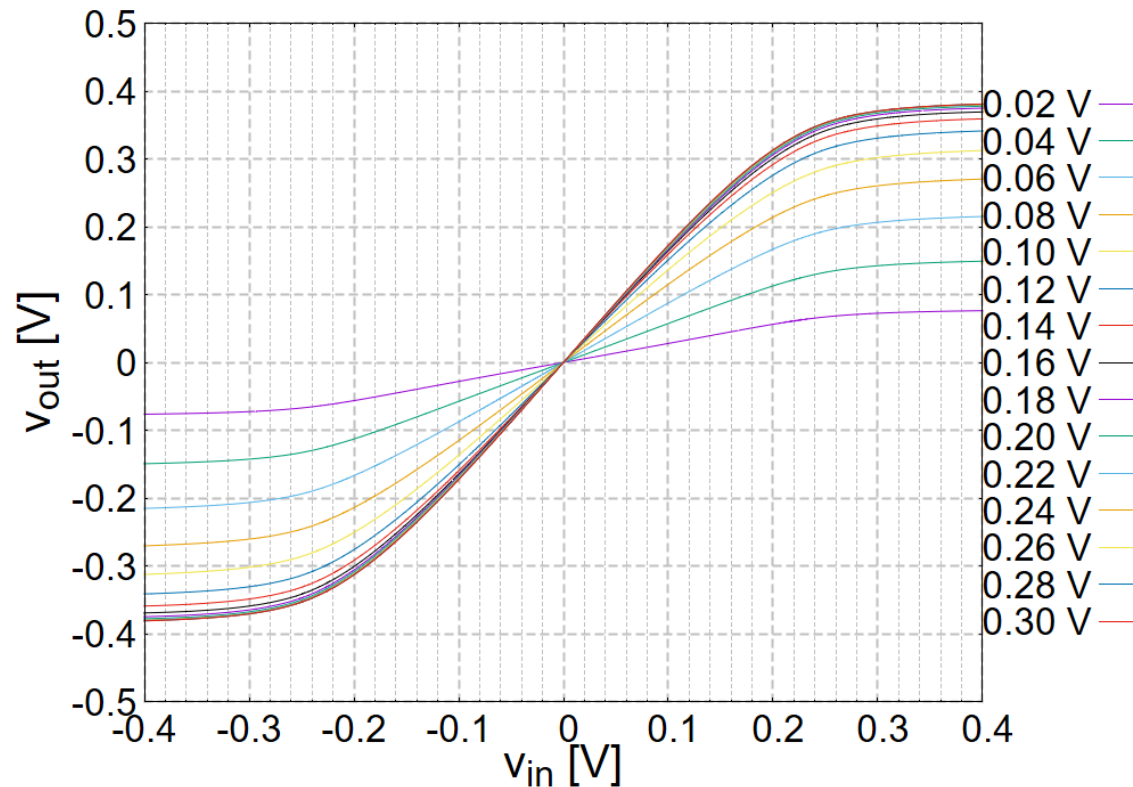


高周波を入力する場合図のような寄生素子が影響を及ぼす。

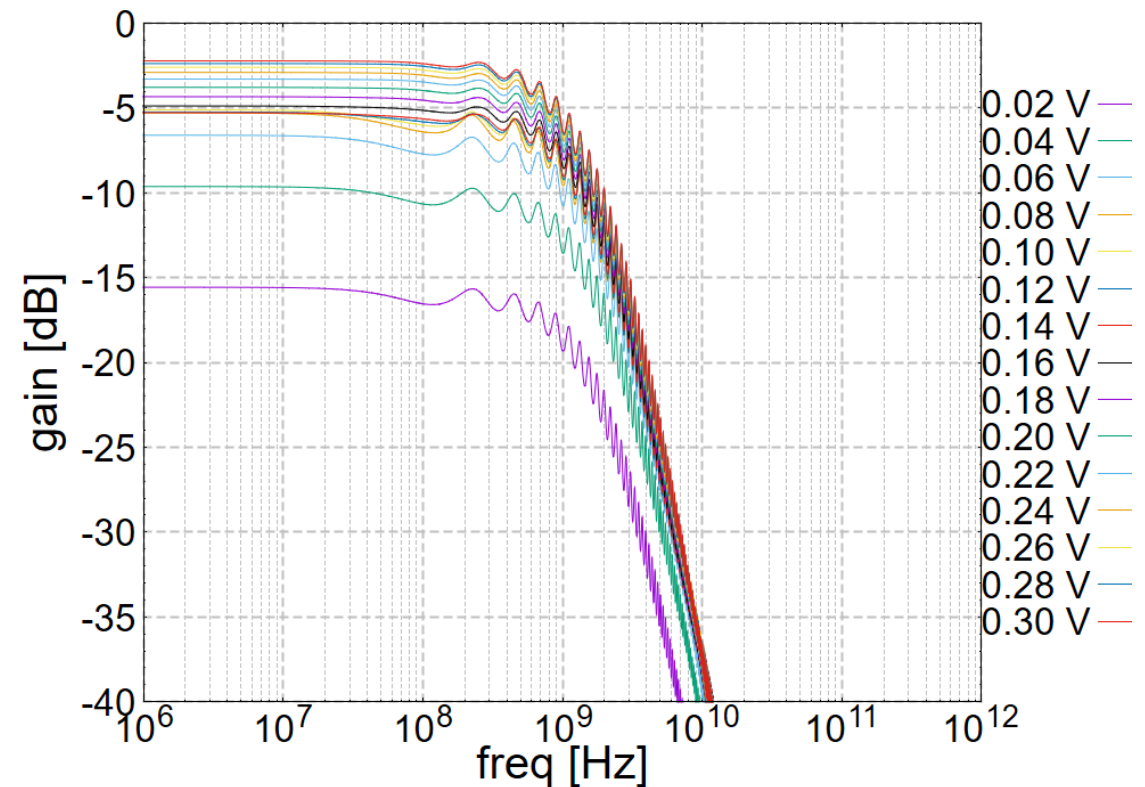


これを含めたシミュレーションを行う。

チップレベルでのシミュレーション



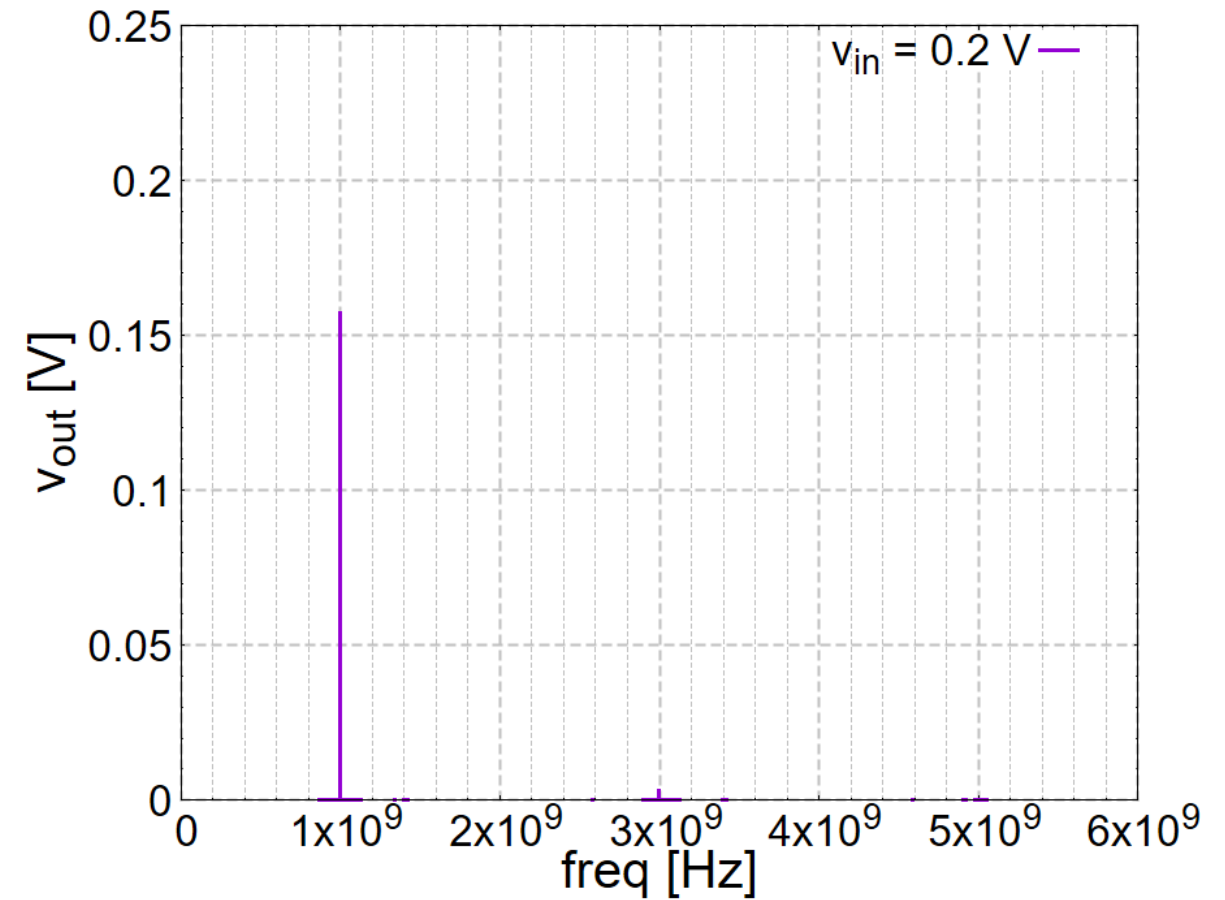
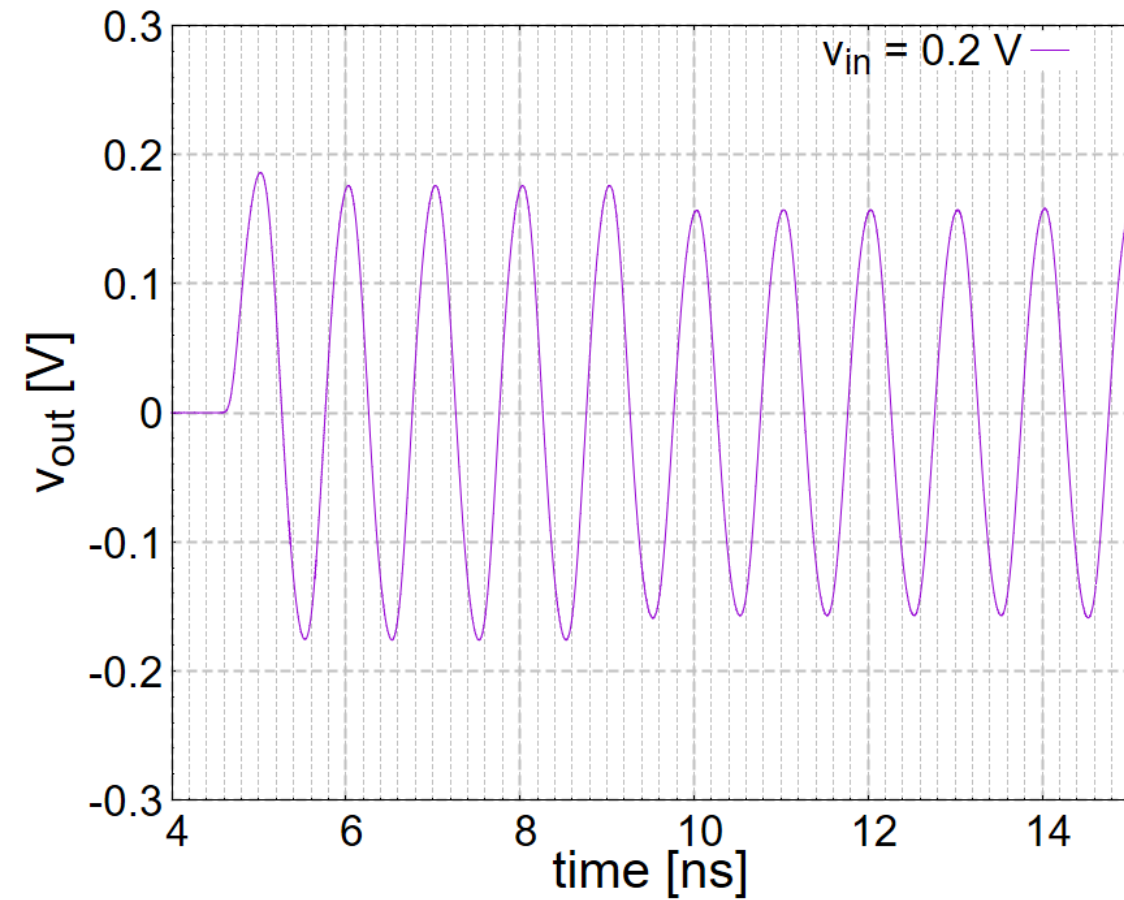
DC解析結果



AC解析結果

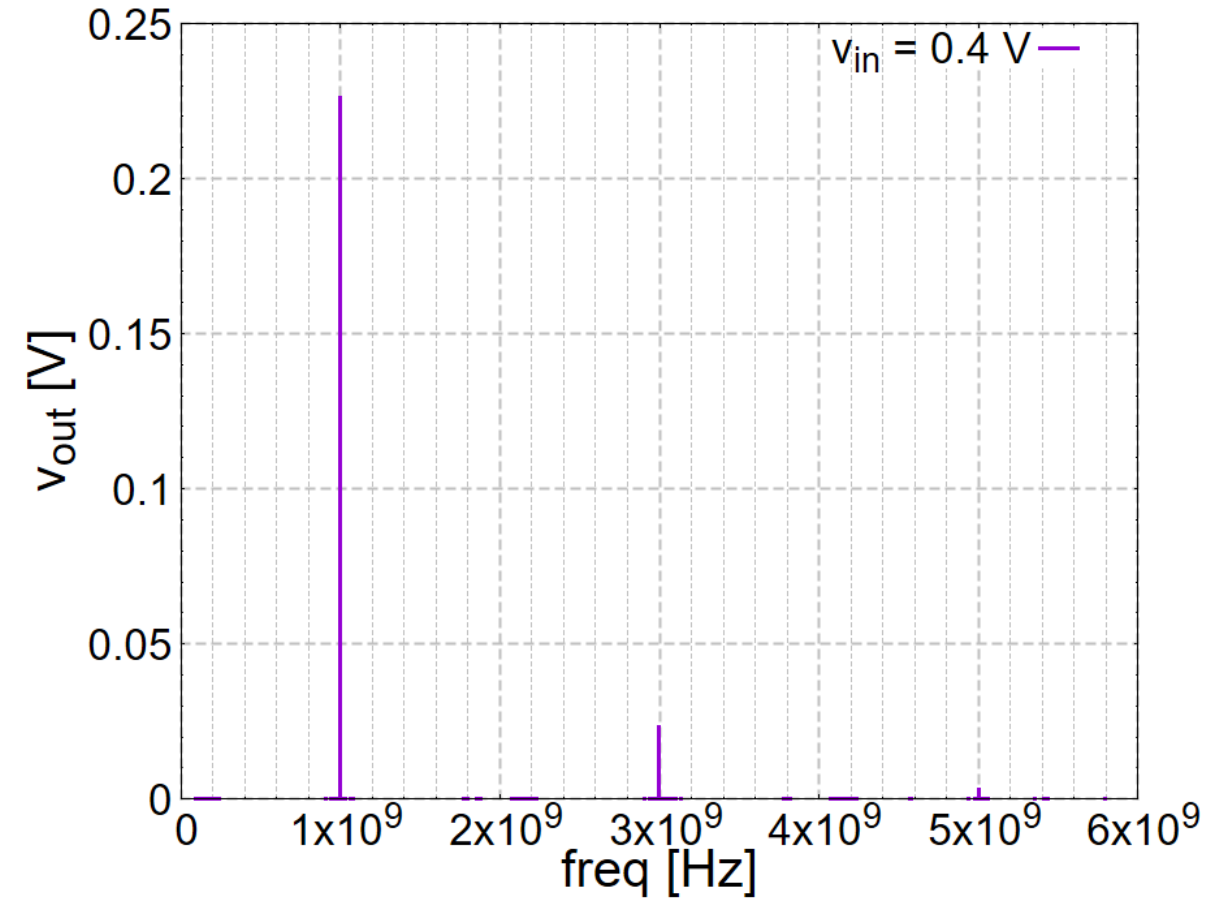
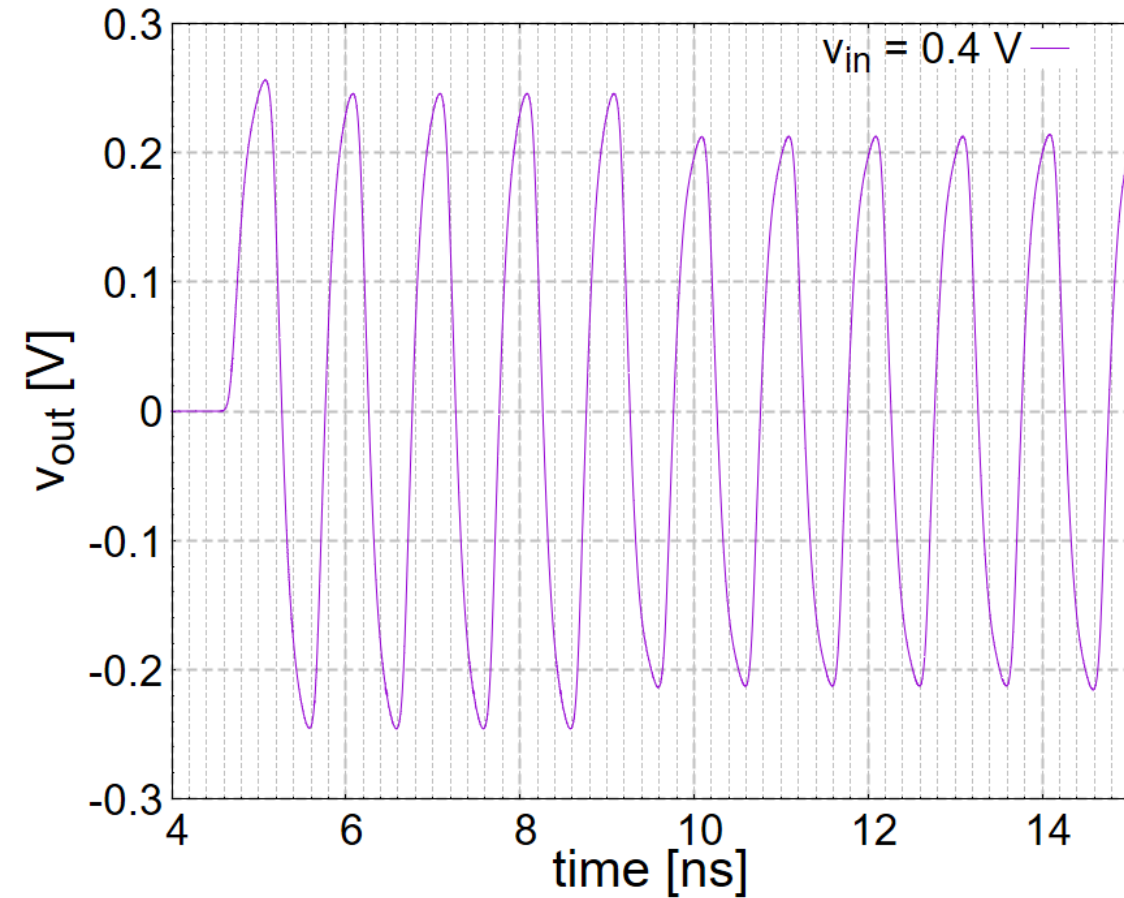
乗算はできていることが分かる。
測定の都合で1/4倍、-12 dB程度減衰している。
それほど性能は落ちていなそう。

チップレベルでのシミュレーション



$v_{in} = 0.2$ V, $V_{CTRL} = 0.1$ Vでの過渡解析とそのdft。
入力の半分の電圧が回路に入る。

チップレベルでのシミュレーション



$v_{in} = 0.4$ V, $V_{CTRL} = 0.1$ Vでの過渡解析とそのdft。
回路単体と同様歪が見える。

- シミュレーション上では出力振幅拡大を確認できた。
- 周波数特性は従来型に比べ少し落ちてしまう。
- 同軸ケーブルなどの影響を受けても動作すると考えられる。