

## 集積回路レイアウト設計 講習資料

2021.3.4

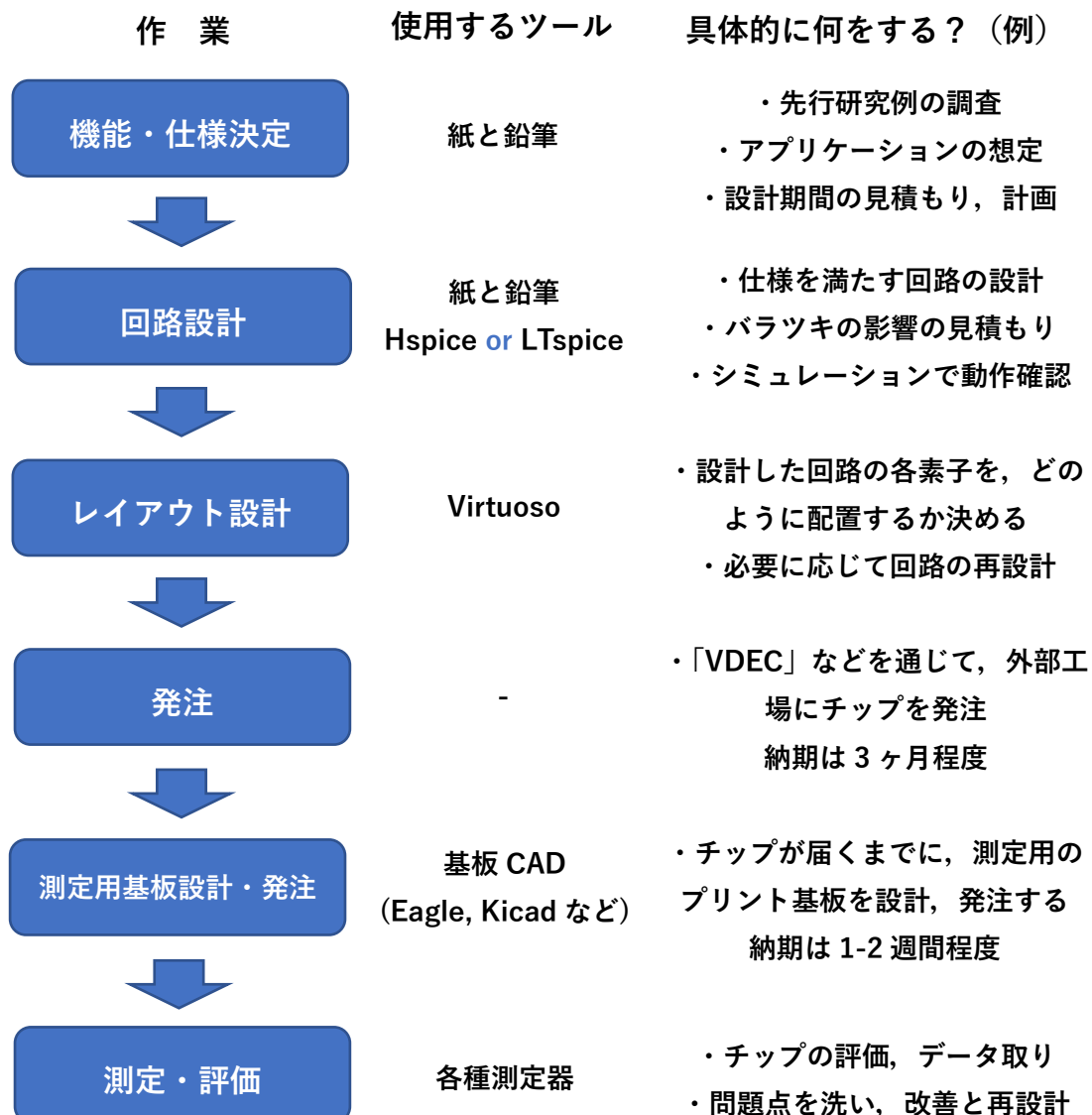
藤田作成

### 1. はじめに

この資料では、集積回路の設計に必要な基礎知識を概説する。**事前によく読み、不明な点は自主的に質問すること** ([ce201040@meiji.ac.jp](mailto:ce201040@meiji.ac.jp) まで)。また、当日もこの資料ならびに一緒に配布する参考資料を参照できるよう準備すること。

### 2. 集積回路設計の流れ

集積回路の設計～評価までの流れの一例を下図に示す。「レイアウト設計」が今回の講習で扱う内容であるが、それ以外にもいろいろな工程があることを認識されたい。



### 3. これまでの回路設計と違う点

これまでの学生実験やゼミ等で設計・製作をした回路は、すべて**個別部品**を使用していた。回路設計の際は、データシートを参照して様々な素子（トランジスタ等）の特性を比較しながら、必要に応じて複数の素子を使い分けるなどして、所望の特性を実現する設計をしていたことと思う。

いっぽう、集積回路の設計では、トランジスタの性能はプロセス（どの工場で作るか、くらいの認識でよい）によって決定される。すなわち、「こっちは A タイプのトランジスタを使って、あっちは B タイプにしよう」といったことは出来ない。その代わり、**トランジスタのサイズを任意に設計**することができる。MOS トランジスタの特性はそのサイズ（**チャネル長とチャネル幅**という）に依存するため、サイズを適切に設計することで所望の特性をもつトランジスタを実現することができる。ごく簡単にいうと、「ここのトランジスタは大きな電流が必要だから、サイズを大きめにしよう」といった具合である。逆にいうと、**回路設計の段階からトランジスタのサイズを意識**する必要がある。これが、個別部品を使用した回路設計と、集積回路設計との最大の違いである。

もう一つの大きな違いは、素子の配置や配線の方法である。これまでの学生実験等では、頭の中で配線を考えつつ手作業でハンダ付けをしていたことと思う<sup>1</sup>。いっぽう集積回路では、素子の配置や配線まですべて画面上で行う。この作業を**レイアウト**といい、今回の講習のメインテーマである。トランジスタや抵抗などの素子を、画面上でひとつひとつ配置し、配線していく骨の折れる作業である。同じ回路でも、レイアウトの良し悪しによりその性能が大きく変わることもあり、設計者の腕の見せどころである。

## 4. MOS トランジスタの構造

### 4-1. 立体構造

今回扱うのは、「0.18  $\mu\text{m}$  CMOS プロセス」である。アナログ回路で広く使われているプロセスで、今後の研究でもほとんどの場合これを使うことになる。「0.18  $\mu\text{m}$  CMOS」は、「チャネル長が最短 0.18  $\mu\text{m}$  で、Nch MOSFET と Pch MOSFET が使えますよ」という意味である。その他、抵抗とキャパシタもチップ上に実装できるが、今回は割愛する。レイアウトにあたっては、**チップ上に形成される MOSFET の構造を把握しておかなければならない**ので、以下に概説する。

図 1 は、チップ上に形成される MOSFET を横から見た図である。チップの最下層（基板）は、p 型半導体となっている。この p 型半導体の基板上に、n 型半導体の領域を 2 箇所形成したものが Nch MOSFET（同図左側）である。2 つの n 型半導体の領域は、それぞれソースまたはドレイン端子となる。「または」と書いたのは、MOSFET の構造は対称で

---

<sup>1</sup> 個別部品を用いた設計でも、高度になってくると基板設計 CAD を用いて画面上で配線するので、個別部品=手配線 というわけではない。

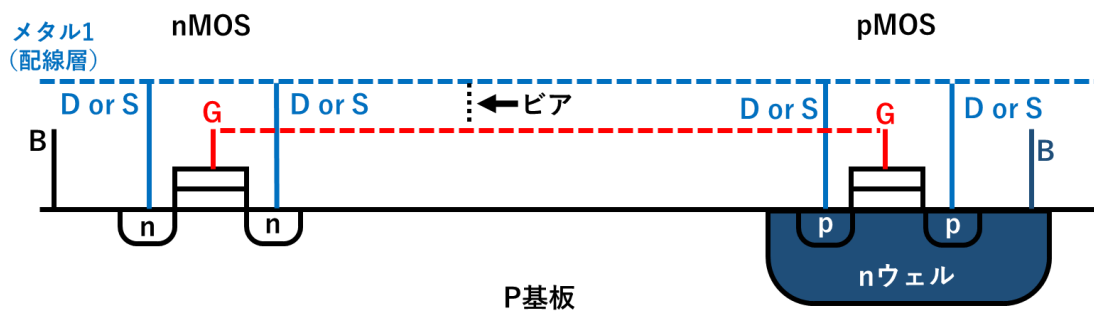


図1 CMOSチップの立体構造

あるから、どちらが「ソース」でどちらが「ドレイン」か構造上の区別はないからである<sup>2</sup>。したがって、どちらをソース（or ドレイン）として使うかは、設計者が任意に決めてよい。また、2箇所のソースまたはドレイン端子の間に、ゲート端子が作られる。

図1右側は、pチャネルのMOSFETを示している。pMOSは、nMOSとは逆で、n型半導体の上に2箇所のp型半導体の領域を形成する構造である。したがって、p型基板の上に直接作ることはできず、p基板の上にn型半導体の領域を作っておく必要がある。p基板の上に作るn型半導体の領域のことを**nウェル**という。

図1において「B」と書かれている端子は、「バックゲート」と呼ばれる端子であり<sup>3</sup>、p基板とnウェルにそれぞれ接続されている。MOSFETと基板、ウェルは電氣的に分離する必要があるから、基板（or ウェル）とMOSFETの端子間に存在するPN接合が必ず逆バイアスとなるように接続する。多くの場合、p基板のバックゲートは最低電位（GND）、nウェルのバックゲートは最高電位（電源電圧）に接続する<sup>4</sup>。

MOSFET どちらの配線は、「ゲートポリ（図1赤線）」または「メタル（青線）」によって行う。ゲート同士を繋げたい場合はゲートポリを、その他の配線にはメタルを使う。ゲートポリとメタルは異なる層（**レイヤ**という）にあるから、立体交差して配線することができる。逆に、ゲートポリとメタルを接続したい場合は、異なるレイヤどうしを接続するピンを打ち込む必要がある。このピンのことを**ビア**（Via）という。メタル1だけでは足りない場合、さらに上層にあるメタル層（下から順に、メタル2~5という名前になっている）を使い、立体的に配線していく。

#### 4-2. CAD 画面上の見え方

チップの立体的な構造が把握できたところで、実際のチップ設計CAD「Virtuoso」の画

<sup>2</sup> 回路設計では、nMOS の場合は電位が低い方をソース、高い方をドレインと呼んで便宜的に区別する。pMOS の場合は電位が低い方をドレイン、高い方をソースと呼ぶ。

<sup>3</sup> 「サブストレート」「バルク」「基板端子」などと書いている本もある。

<sup>4</sup> 応用的な回路では、バックゲートを故意に電源電圧または GND に接続しないこともあるが、とりあえずは「基板は GND、ウェルは電源につなぐ」という認識でよい。

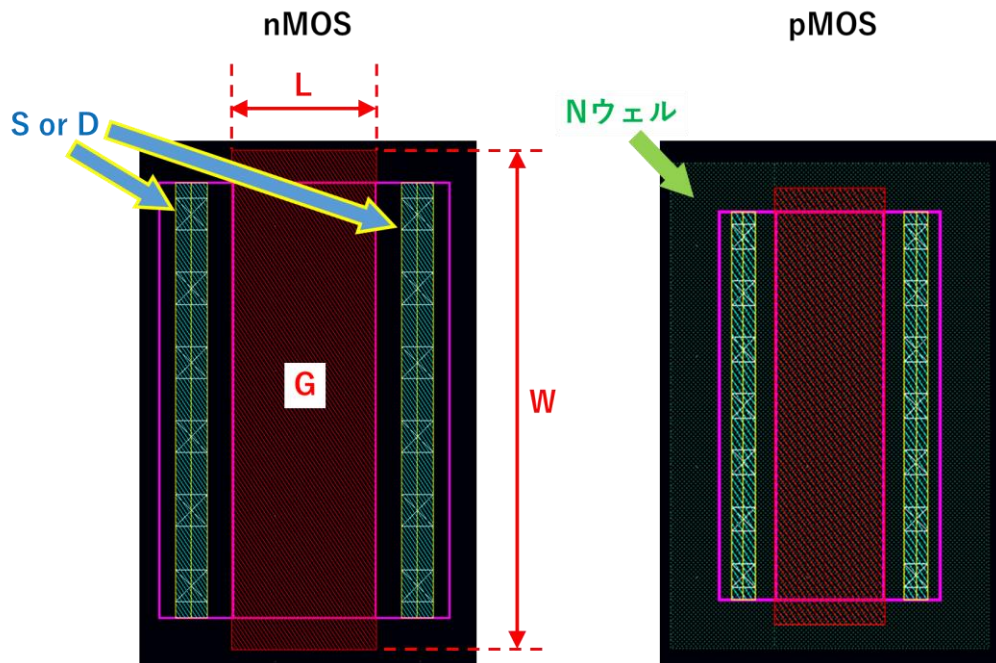


図 2 Virtuoso 上の MOSFET の表示

面を見てみよう．図 2 は，Virtuoso における MOSFET の表示画面であり，左が nMOS, 右が pMOS を示している．前節では，チップを横から見て立体構造を説明したが，Virtuoso の表示画面は，チップを上から見下ろした図<sup>5</sup>になっている．図 1 と見比べながら，3 次元的なイメージを掴んでほしい．MOSFET の中央にある赤色の長方形がゲート端子であり，横がチャンネル長  $L$ ，縦がチャンネル幅  $W$  である．前述のとおり，MOSFET の特性はこれらの長さに依存するから，実現したい特性により， $L$  や  $W$  は色々な長さになる．図 2 の例では，チャンネル長  $L$  は  $1\ \mu\text{m}$ ，チャンネル幅  $W$  は  $3.5\ \mu\text{m}$  である．nMOS と pMOS は一見違いがないように見えるが，pMOS の図を拡大表示すると，pMOS が深緑色の四角で囲まれているのが分かる．これは n ウェルの領域を示している．

Virtuoso 上では，図 2 の表示と回路図とを見比べつつ，配線作業を進めていく．図 3 に，配線作業で主に使うレイヤを示しておく．Virtuoso ではたくさんの種類のレイヤがありはじめは面食らうが，実際の配線作業では，ほとんどは図 3 に示した 3 種類を使えば事足りる．どの色がどのレイヤを示しているか<sup>6</sup>，頭の片隅で把握できているとスムーズである．

<sup>5</sup> 上から見下ろした図のことを Top view という．反対に底面から見た図を Bottom view という．IC のデータシートなどで良く見られる表記なので覚えておくとうい．

<sup>6</sup> レイヤの色は自分の好みに変更できる．ただし，無闇に変更すると，他の人に設計チェックをしてもらうときなど混乱を招くから，極力変えないほうがよい．

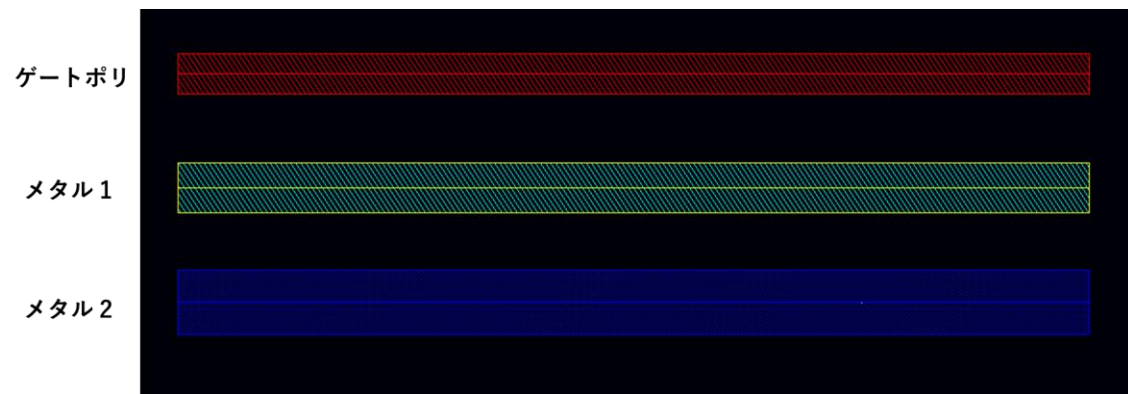


図 3 配線で使う主要なレイヤ

## 5. 当日の講習内容

今回の講習では、図 4 に示す NAND 回路のレイアウト設計を各自が行う。時間の都合上、回路図はこちらが予め準備したものを利用する。万が一、NAND 回路の動作が分からない（真理値表を書けないなど）者がいれば、必ず復習しておくこと。

Virtuso の具体的な使い方は、「習うより慣れろ」の要素のほうが大きいので、ここでは説明せず、当日実際に触りながら詳しく紹介することとする。ただし、**余力のある者**は、この資料とあわせて配布する資料「**VDEC IC61 ローム 0.18  $\mu\text{m}$  PDK を使用した回路設計法**」の第 4 章を読み、**Virtuoso の操作方を予習**しておくことよい。当日の講習も、その内容に沿って進めることを予定している。いずれにせよ、本資料に書いた内容は当日まで十分に理解しておくこと。

## 改訂履歴

2021.3.4 初版作成（藤田）

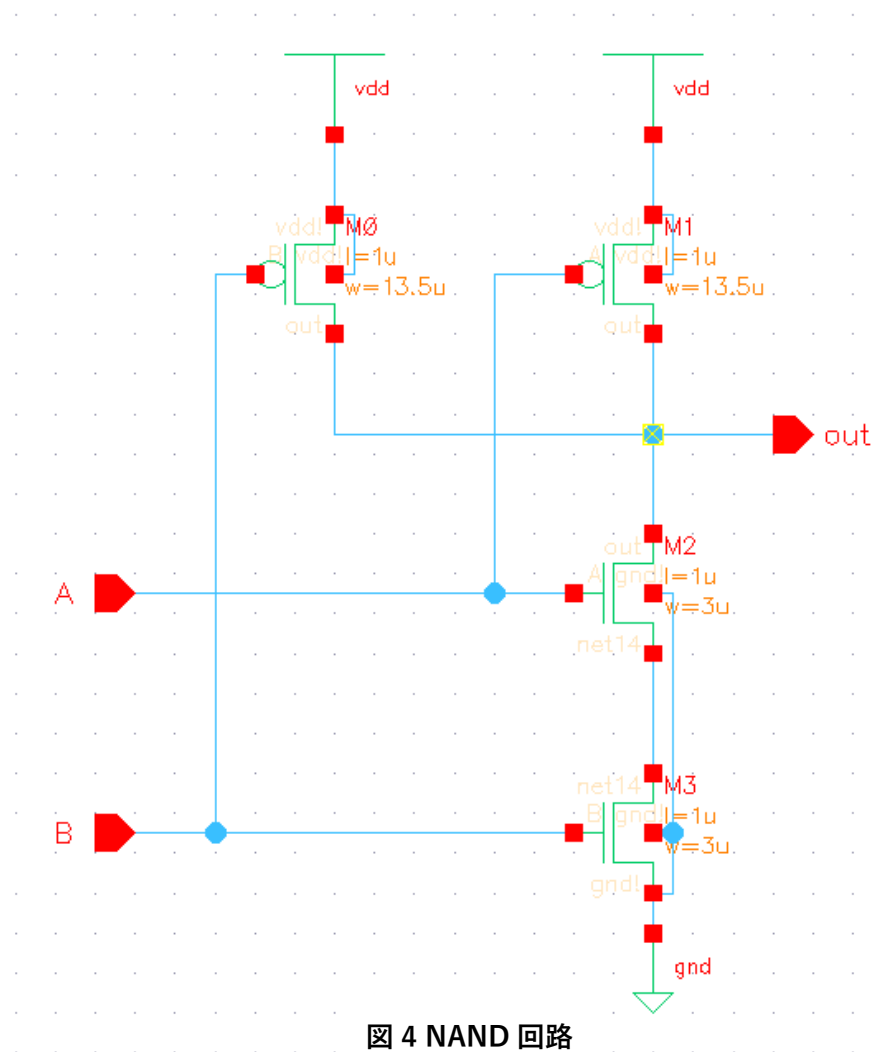


图 4 NAND 回路