

折り返し型ギルバート乗算回路のシミュレーション

小島 光

あらまし 前回 NMOS を使用した折り返し型のギルバート乗算回路 (以下折り返し型と呼ぶ) の信号振幅が従来型に比べて広く取ることができること、小信号等価解析上では二つの入力積に比例した出力を得られることが分かった。今回はカレントミラーのサイズを揃えていたが、今回はより柔軟な設計・利得のためにサイズを揃えない場合の小信号等価解析を行い、乗算が可能であることを示した。その後ギルバート乗算回路の素子値を決め、バッファ回路設計し回路単体、および実際に測定する時に近い条件でシミュレーションを行い性能を評価した。

キーワード ギルバート乗算回路, 小信号解析, 周波数特性, 集積回路

1. はじめに

フォトリザコンピューティングの学習には高速な積和演算が必要であるが現状、要件を満たすような光を用いた積和演算行えていない。そこでリザパ層の出力を電気に変換しアナログ積和演算を行うことになった。ここで、リザパ層からは7つの出力があり、それぞれに任意の重みをかけ足し合わせる。これを電気で行うには複数のギルバートセルで乗算を行い、各出力電流をまとめることで和をとって積和演算を行う。即ち信号振幅を足し合わせるため7つの信号振幅の和が必要な振幅になる。つまり各セルの出力振幅は全体の1/7が最大となり、S/N比が小さくなってしまうことが問題として考えられる。そこで通常のギルバート乗算回路を応用し信号の折り返しを行うことでより広い信号振幅の獲得を図った。今回はこの折り返し型について具体的な素子値を定め、Rohm 0.18 μm process を用いた実的なシミュレーションを行った。

2. カレントミラーのサイズによる利得への影響

図1に折り返し型の回路図を示す。 M_U, M_L はともに定電圧を与え、定電流源として用いている。前回までとの差異はカレントミラーのサイズを左右で任意に変えることができるようにした点である。この時の差動半回路を図2に、その小信号等価回路を図3に示す。

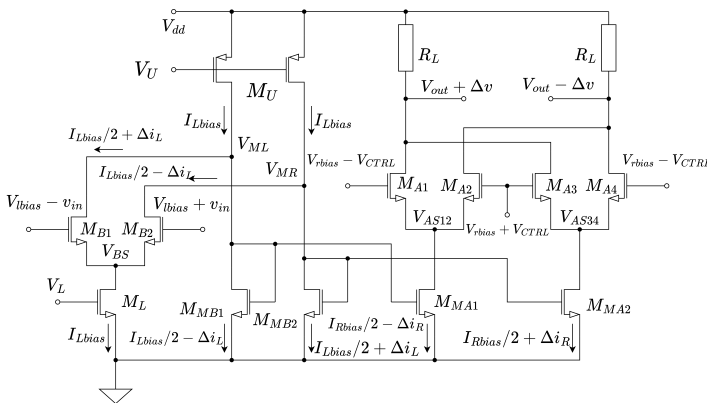


図1 折り返し型ギルバートセル

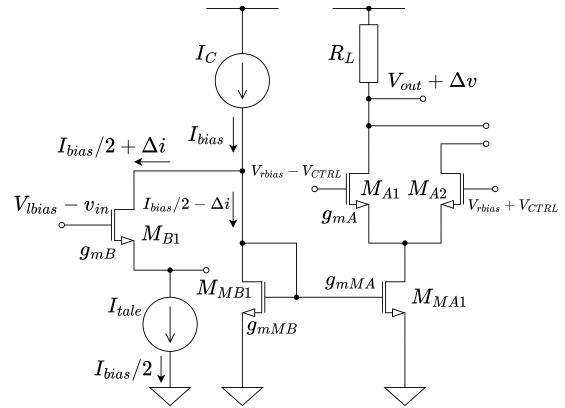


図2 折り返し型ギルバートセルの差動半回路

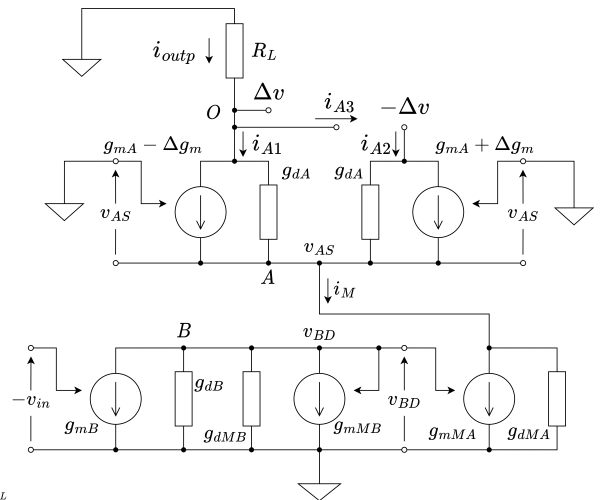


図3 差動半回路の小信号等価回路

接点 B において KCL を用いると

$$g_{mB} \cdot (-v_{in}) + g_{dB}v_{BD} + g_{dMB}v_{BD} + g_{mMB}v_{BD} = 0$$

$$v_{BD} = \frac{g_{mB}}{g_{mMB} + g_{dMA} + g_{dMB}} v_{in}$$

$$\approx \frac{g_{mB}}{g_{mMB}} v_{in} \quad (1)$$

である。次に接点 A について KCL と、式 (1) を用いると

$$g_{mMA}v_{BD} + g_{dMA}v_{AS} = (g_{mA} - \Delta g_m)v_{AS}$$

$$+ g_{dA}(\Delta v - v_{AS})$$

$$+ (g_{mA} + \Delta g_m)v_{AS}$$

$$+ g_{dA}(-\Delta v - v_{AS})$$

$$v_{AS} = \frac{g_{mMA}}{2g_{mA} - 2g_{dA} - g_{dMA}} v_{AS}$$

$$\approx \frac{g_{mMA}}{g_{mMB}} \cdot \frac{g_{mB}}{g_{mA}} v_{in} \quad (2)$$

と表せる。さらに、接点 O について KCL と式 (2) を用いると

$$i_{outp} = i_{A1} + i_{A3} \quad (3)$$

であるが、差動半回路の性質により $i_{A3} = -i_{A2}$ となるので

$$i_{outp} = i_{A1} - i_{A2} \quad (4)$$

となる。ここで、出力電圧 Δv は KVL と、式 (4) より

$$-\Delta v = R_L i_{outp}$$

$$= R_L \cdot (-2\Delta g_m v_{AS} + 2\Delta v g_{dA})$$

$$\Delta v = \frac{2R_L \Delta g_m}{1 + 2R_L g_{dA}} v_{AS} \quad (5)$$

と計算できる。出力電圧を v_{out} とすると、式 (2)、(5)、と定数 K_A を用いて $\Delta g_m = 2K_A V_{CTRL}$ と表せることを用いると

$$v_{out} = \frac{4K_A R_L}{1 + 2R_L g_{dA}} \cdot \frac{g_{mMA}}{g_{mMB}} \cdot \frac{g_{mB}}{g_{mA}} \cdot V_{CTRL} \cdot v_{in} \quad (6)$$

と求められた。ここで、カレントミラーのサイズが等しいとすると $g_{mMA} = g_{mMB}$ となるので以前求めた利得と同様の結果になることが確かめられた。

3. 素子値の設計

今回、出力振幅を大きくするために NMOS にはトリプルウェルを用いて、パルクの電位を各 NMOS のソース電位に合わせることとした。図 4 に示す回路において $V_{ds} = 1.8 \text{ V}$ とし、 v_{in} を 0 V から 1.8 V まで掃引した時のドレイン電流を図 5 に示す。さらに、図 5 には $v_{in} = 0.8 \text{ V}$ から $v_{in} = 1 \text{ V}$ での最小二乗法による近似直線とその x 切片を示す。ただし、トランジスタはゲート長を $0.18 \mu\text{m}$ 、ゲート幅を $0.44 \mu\text{m}$ 、並列数を 16 とした。

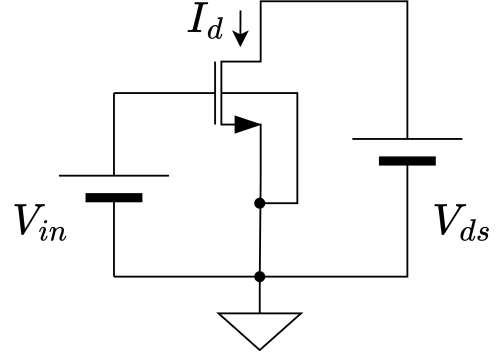


図 4 DC 解析を行った回路

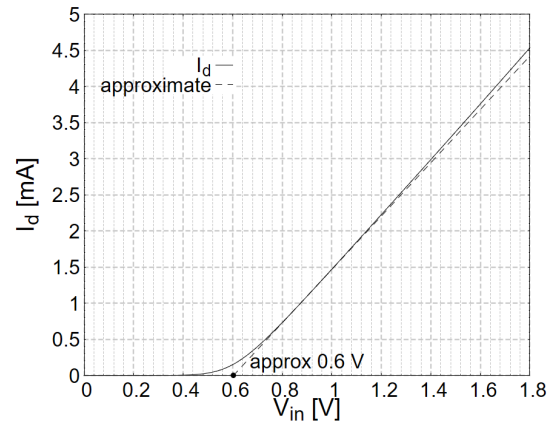


図 5 差動半回路の小信号等価回路

この結果から、このサイズのトランジスタのしきい値電圧はおよそ 0.6 V と推定することができた。 M_B には後述する整合の影響を受け $\pm 0.1 \text{ V}$ の信号が入る。図 5 では 0.7 V 付近から線形に電流が増加していたので、ゲートソース間のバイアス電圧を 0.8 V とすれば入力信号に関しては飽和領域で使用できる。また、 M_A のソース電位は 0.3 V とした。この時ゲートのバイアス電圧 V_{lbias} は 1.1 V と決まる。さらに、飽和領域で使用するためゲート電位はドレイン電位よりもしきい値電圧分大きくなればよいので、今回は少し余裕を持たせ、ドレイン電位は 0.7 V とした。さらに M_B についても M_A と同様のバイアスで使用することにした。残るはカレントミラーと電流源の設計である。 M_{MB} に関してはゲートソース間電圧が十分とれているので、レイアウトのコストを減らすために M_A, M_B と同様のサイズにした。残るトランジスタは流す電流と直流電位が決まっているので自ずと決まる。 M_{MA} に関しては周波数特性を悪化させないためゲート長を $0.18 \mu\text{m}$ とし、それ以外の電流源は交流的には動作しないので周波数特性には影響しない。そのためドレインソース間電圧の影響を抑えるためチャンネル長を大きくした。負荷抵抗に関しては負荷抵抗に流れる直流電流が電源電圧と M_A のドレイン電位を半分に分圧するように決めた。

以上の考えのもと設計したトランジスタサイズを表 1 に、与える直流電圧と負荷抵抗を表 2 に示す。

表 1 設計したトランジスタサイズ			
Process		Rohm 0.18 μm	
MOSFET	L[μm]	W[μm]	M
M _A	0.18	0.44	16
M _B	0.18	0.44	16
M _{MA}	0.18	0.78	32
M _{MB}	0.18	0.44	16
M _U	0.72	2.16	32
M _L	0.72	1.48	32

表 2 直流電圧と負荷抵抗	
V _{lbias}	1.1 V
V _{rbias}	1.1 V
V _U	0.5 V
V _L	0.81V
R	900 Ω

4. 回路ごとのシミュレーション

素子値が決ったので回路ごとのシミュレーション結果を示す。

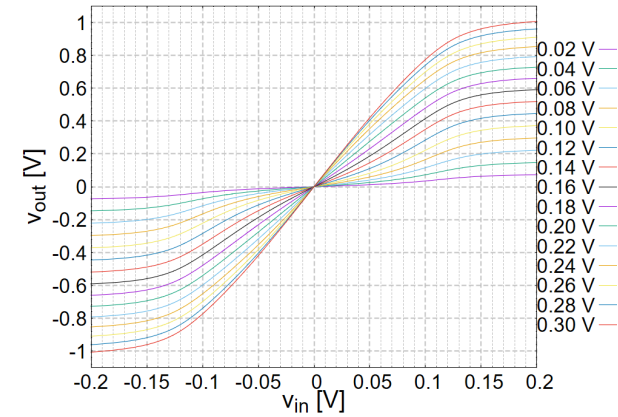


図 6 折り返し型の直流解析結果

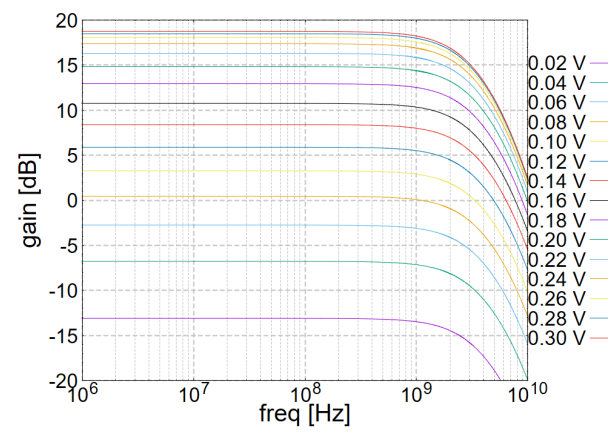


図 7 折り返し型の利得の周波数特性

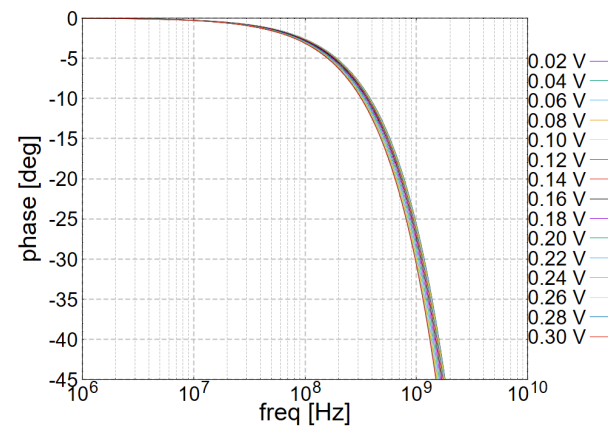


図 8 折り返し型の位相の周波数特性

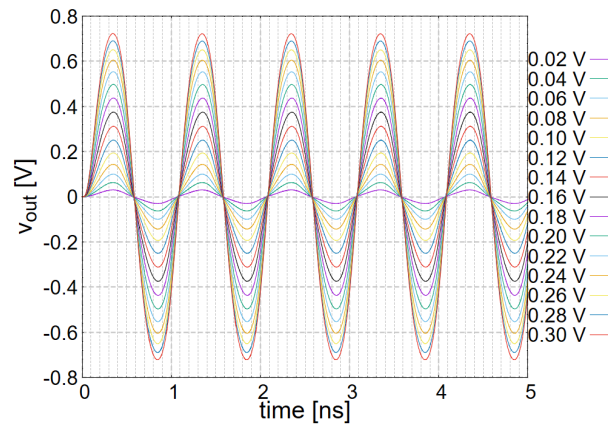


図 9 折り返し型の過渡解析結果

図 6 は折り返し型の直流解析結果である。