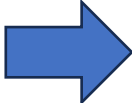


集積回路設計ミーティング

2023/12/11 小島光

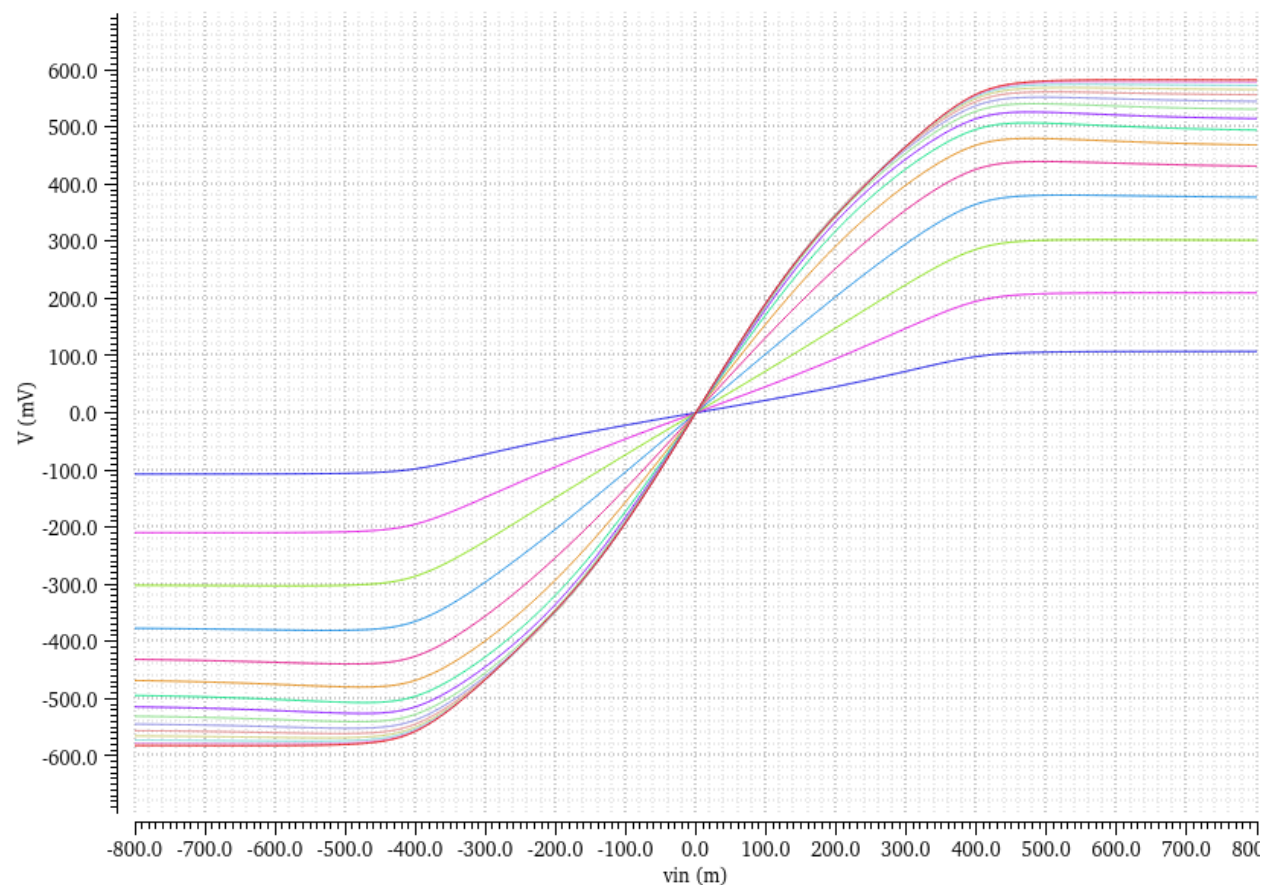
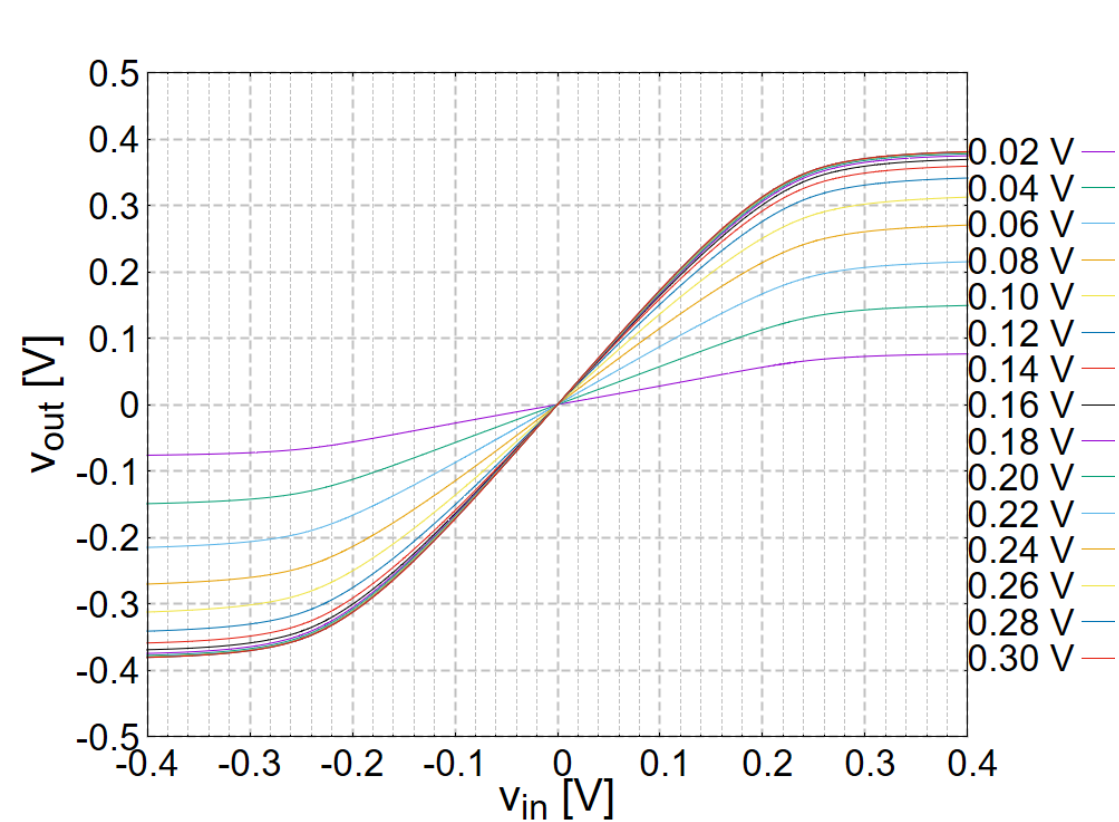
- 並列数の変更
- シミュレーションでの確認
- レイアウトの疑問点

並列数の変更

M _A	L	0.18		0.18
	W	1.46		4.22
	M	32		8
M _{MA}	L	0.18		0.18
	W	1.72		6.3
	M	16		4
M _B	L	0.18		0.18
	W	0.44		1.7
	M	16		4
M _{MB}	L	0.18		0.18
	W	0.44		1.72
	M	16		4
M _U	L	0.72		0.72
	W	2.16		8.72
	M	16		4
	V _U	0.5		0.5
M _L	L	0.72		0.72
	W	1.48		5.86
	M	32		8
	V _L	0.81		0.81

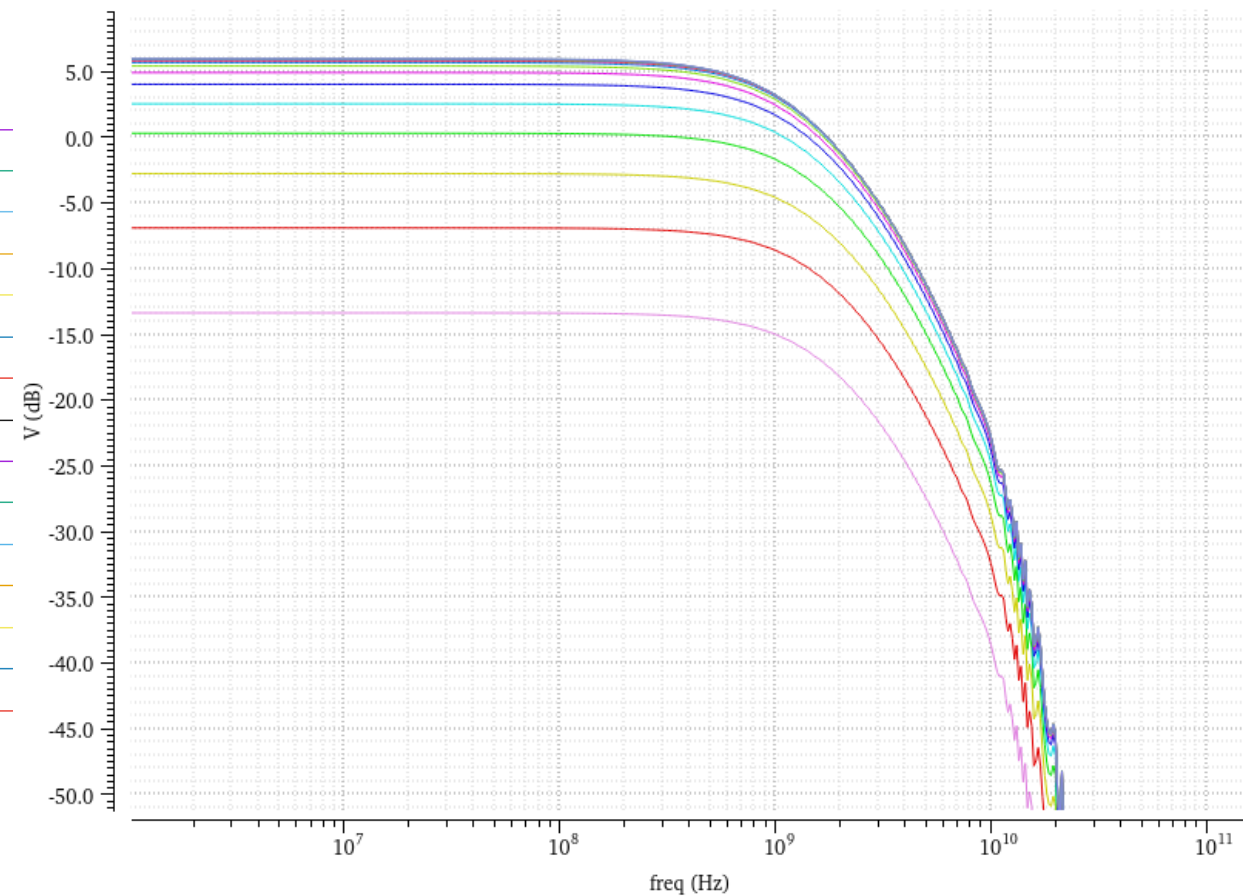
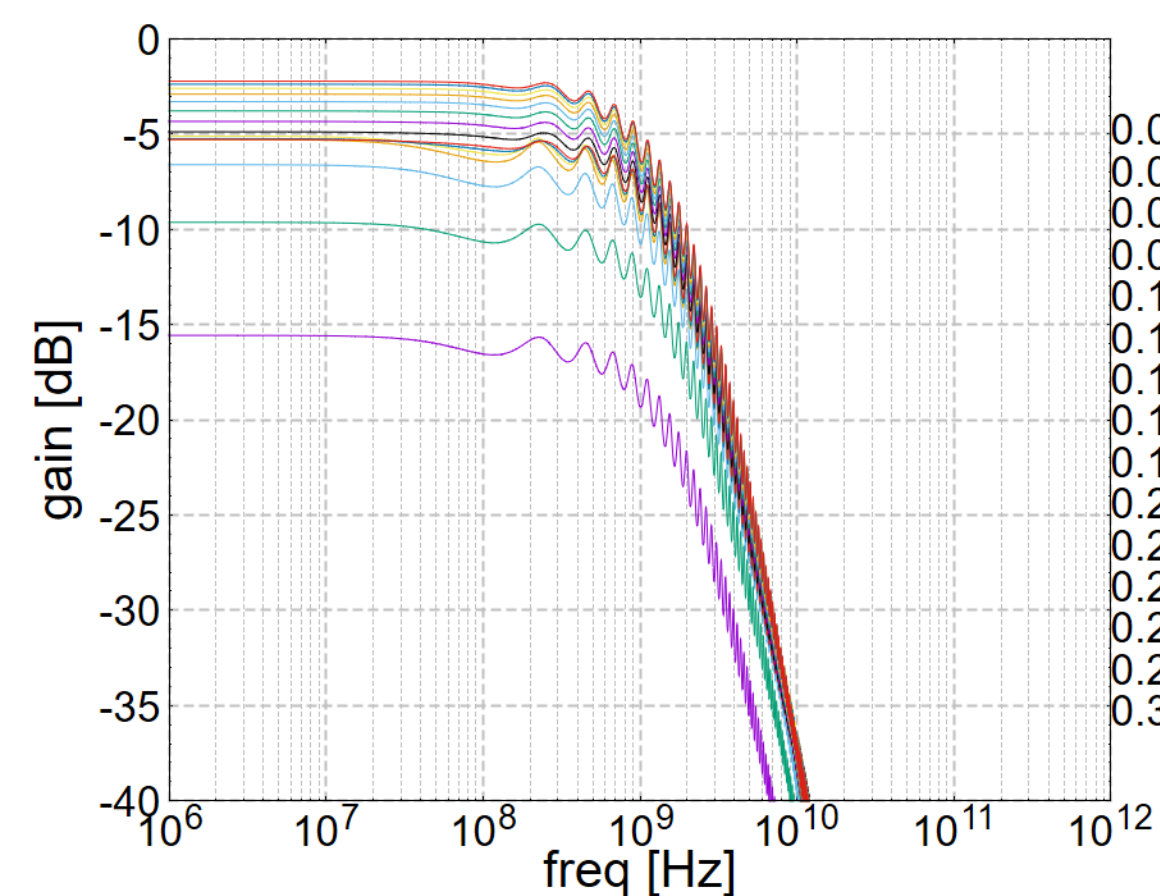
レイアウトの際に並列数が多いと横長になってしまうので、並列数を減らしWを大きくした。

シミュレーションでの確認



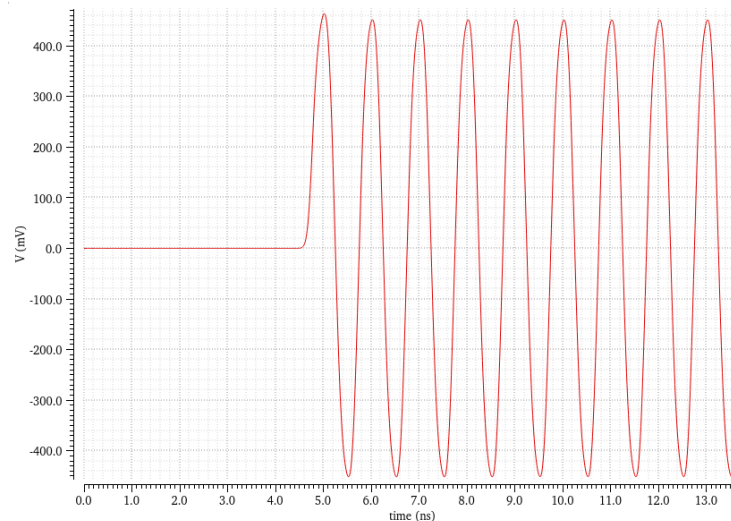
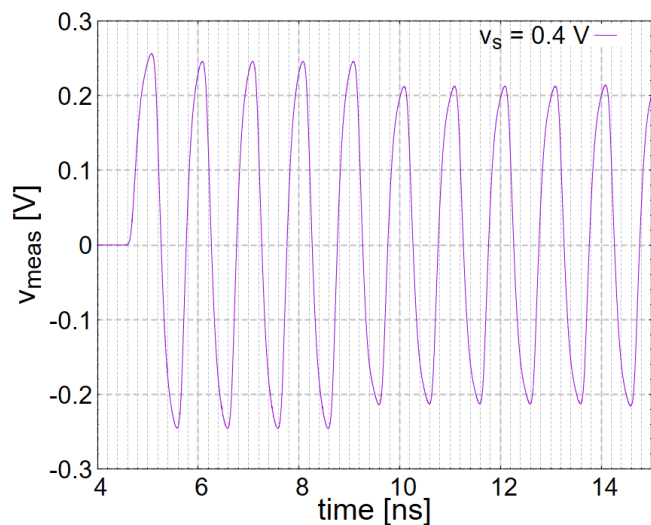
出力範囲が増加(意図してはいない)。

シミュレーションでの確認

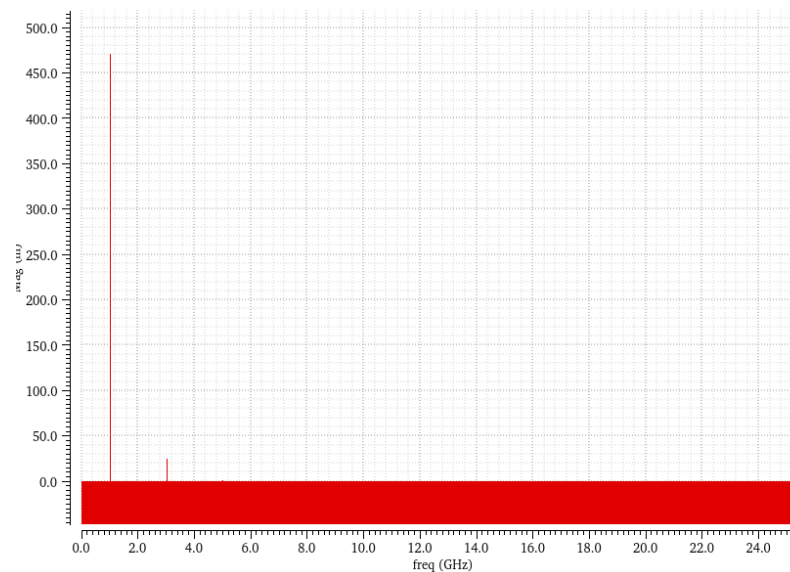
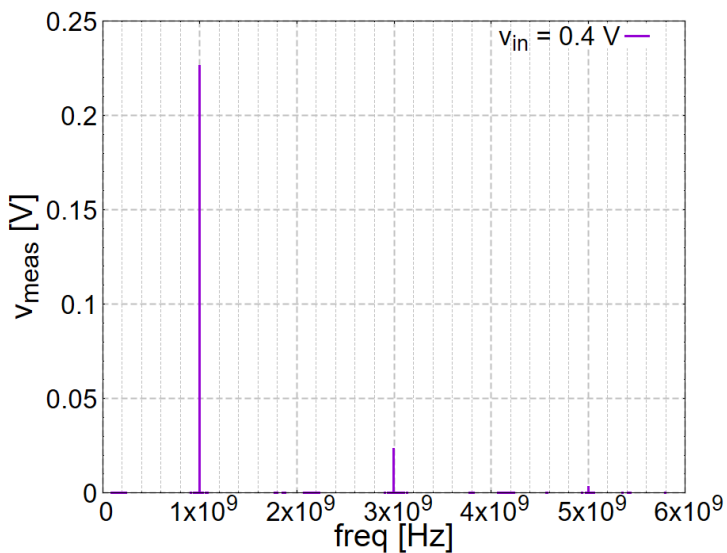


遮断周波数は同程度。

シミュレーションでの確認

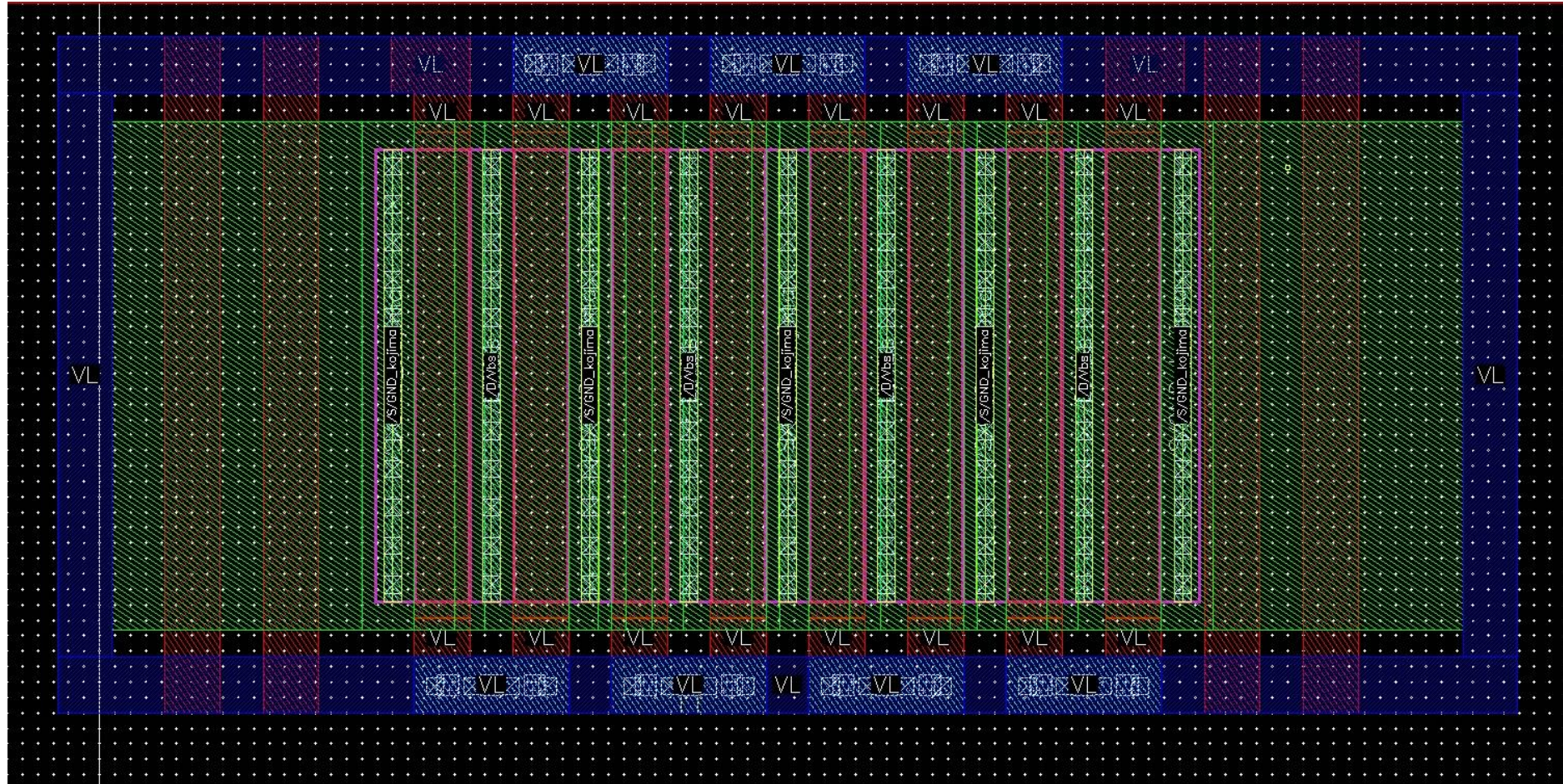


入力 : 0.4 V
制御電圧 : 0.1 V



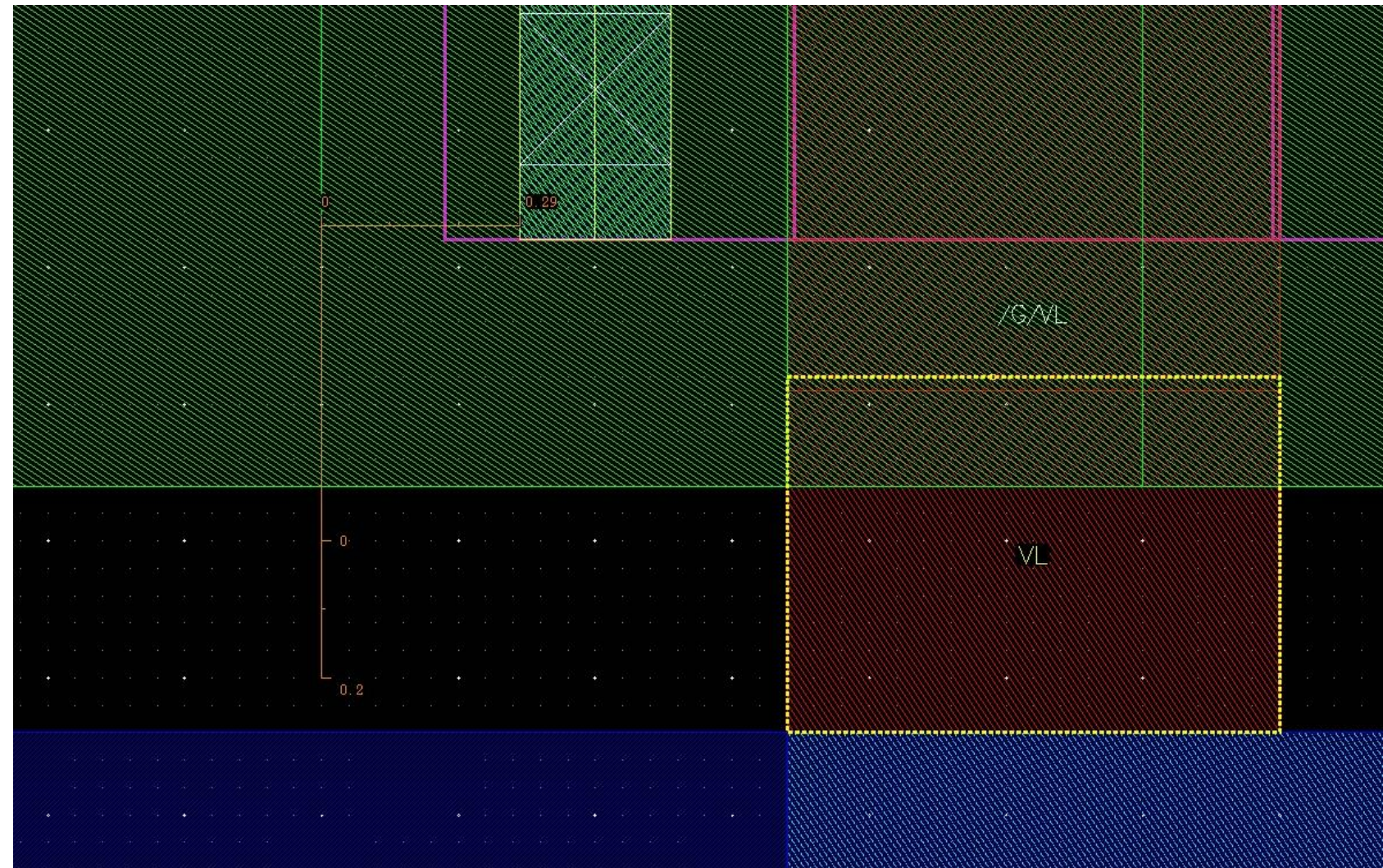
倍率が上がっていた。
歪は少し改善した。

レイアウトの疑問点



幅はおよそ18 μm 程度。

レイアウトの疑問点



PCELLで生成される
METAL1が $0.22 \mu\text{m}$ 。
細すぎてVIA1が打てない。

METAL,CNTACTはどこ
までグリッドを細かくし
てもエラーが出ないのか。