

# ボンディングワイヤによる影響

明治大学 M2 大塚 雄太

# 積和演算回路

ギルバートセル回路を複数並列に接続することで積和演算回路を構成する。

表1 設計値

ギルバートセル		バッファ	
$V_{DD}$	1 V	$V_{BUFF}$	0.34 V
$R$	205 $\Omega$	$M_{BUFF1}$	$\frac{W}{L} = \frac{34.72 \text{ } \mu\text{m}}{180 \text{ nm}}$
$V_{CTR}$	0.8 V	$M_{BUFF2}$	$\frac{W}{L} = \frac{70.2 \text{ } \mu\text{m}}{180 \text{ nm}}$
$V_{ctr1\pm}, V_{ctr2\pm}$	-0.1~0.1 V	$M_{BUFF3}$	$\frac{W}{L} = \frac{140.4 \text{ } \mu\text{m}}{180 \text{ nm}}$
$V_{IN}$	0.6 V		
$V_{in1\pm}, V_{in2\pm}$	-0.1~0.1 V		
$V_{MUL}$	0.45 V		
$M_{A1\sim4}$	$\frac{W_A}{L_A} = \frac{9.6 \text{ } \mu\text{m}}{65 \text{ nm}}$		
$M_{B1,2}$	$\frac{W_B}{L_B} = \frac{19.2 \text{ } \mu\text{m}}{65 \text{ nm}}$		
$M_{C1}$	$\frac{W_C}{L_C} = \frac{38.4 \text{ } \mu\text{m}}{65 \text{ nm}}$		

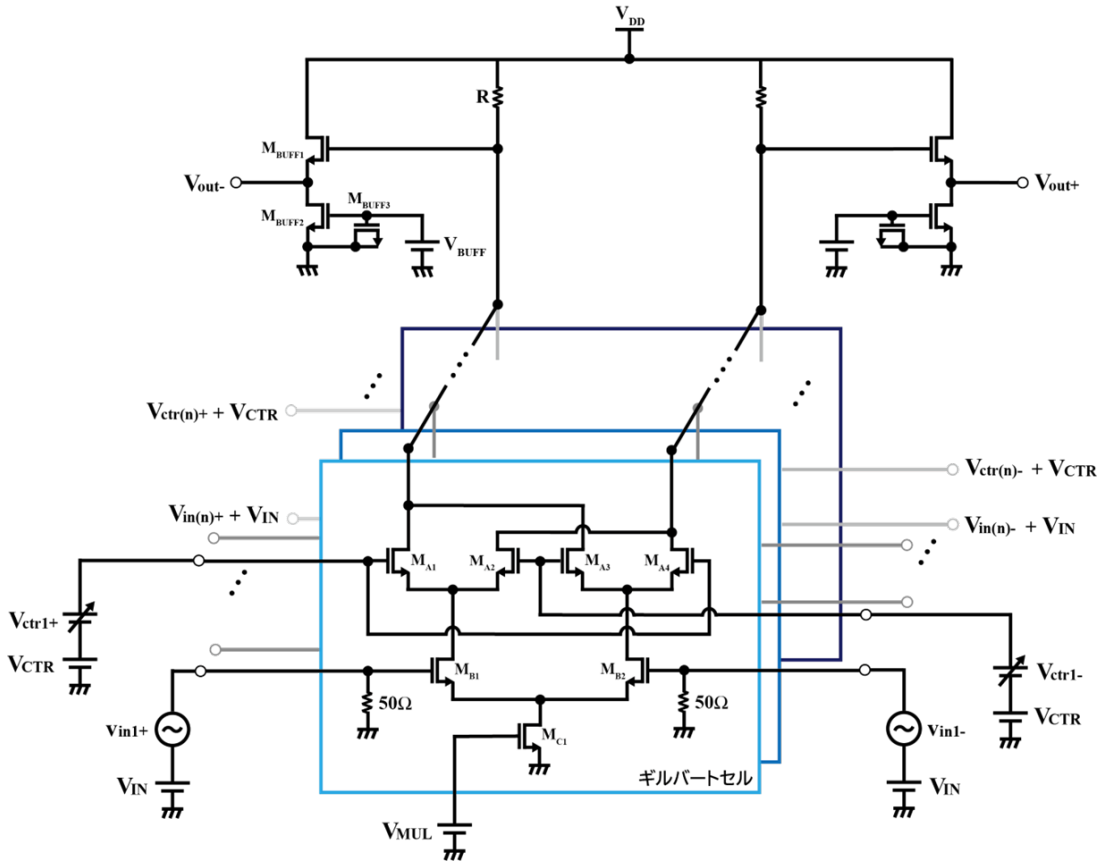


図1 積和演算回路

# ボンディングワイヤによるインダクタ

試作したPCBに用いられている容量やボンディングワイヤのインダクタンスを含めたシミュレーションを行う。

ボンディングワイヤのインダクタンス: 1 nH/mm

試作PCBのボンディングワイヤの最長: 約2 mm  $\rightarrow L = 0, 1, 2$  nHの3パターンで確認

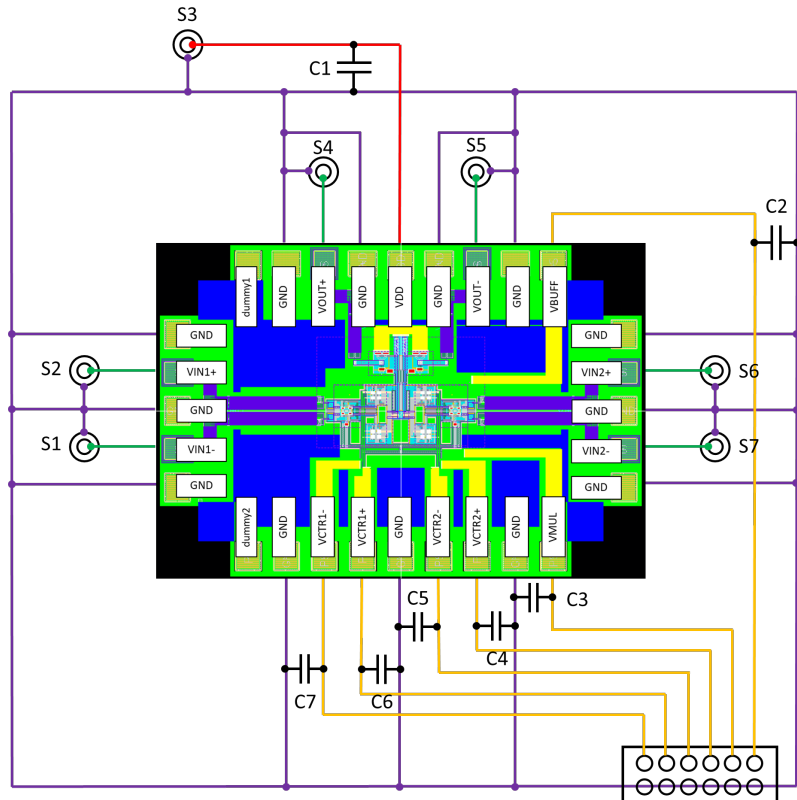


図2 PCB回路図

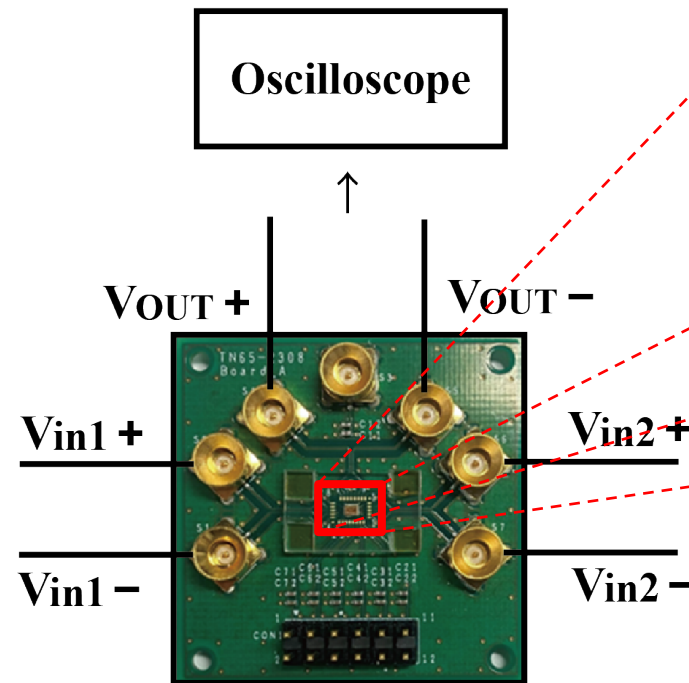


図3 入力条件

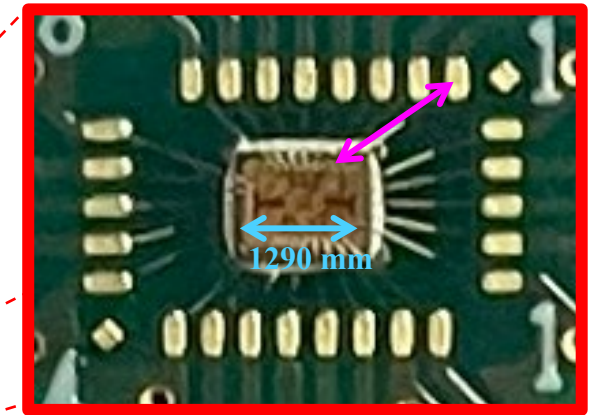


図4 ボンディング

# ボンディングワイヤによる影響

TSMC65nm



$L = 0, 1, 2$  nHでのシミュレーション結果を確認 → インダクタによる波形の乱れを確認

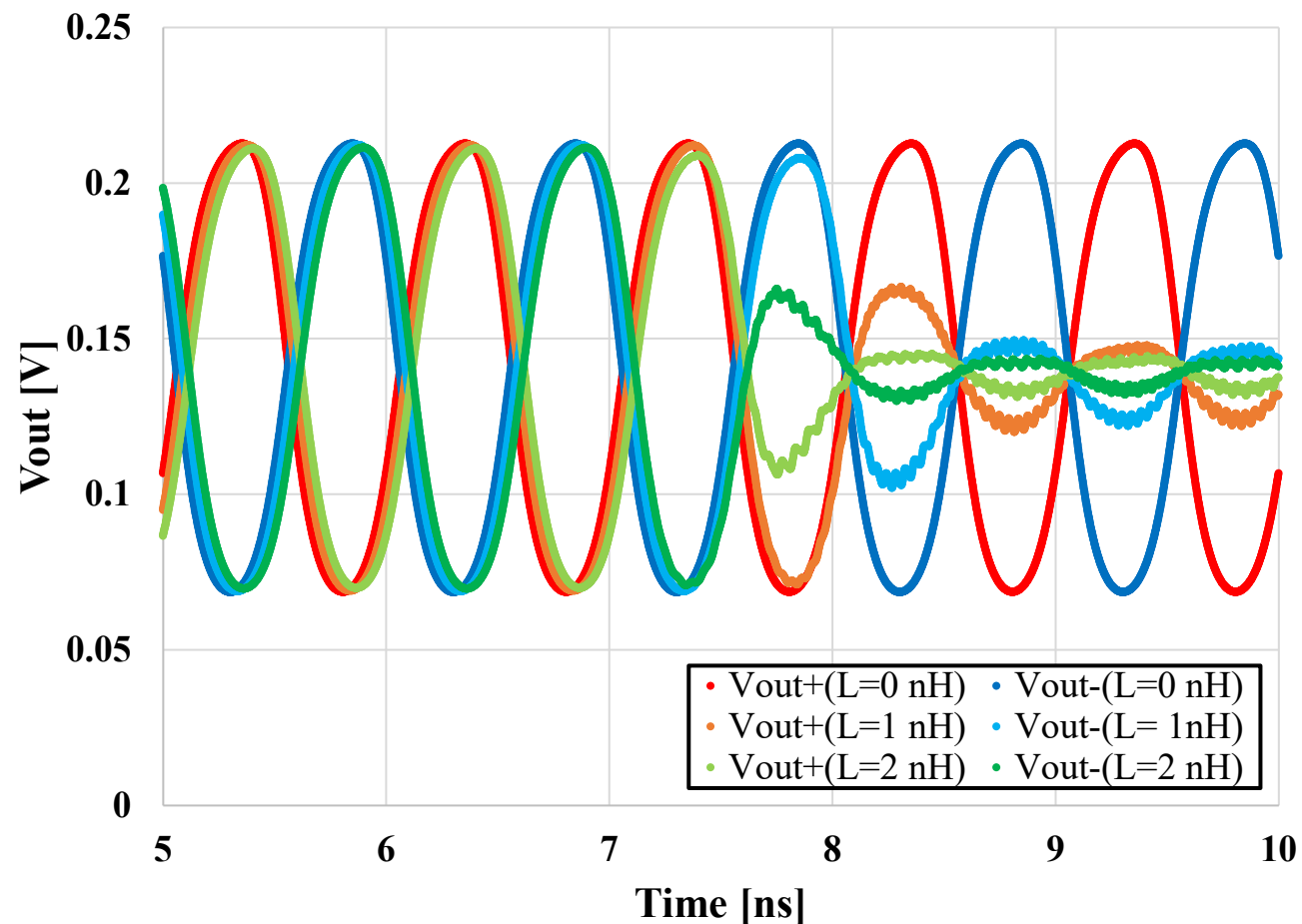


図5 シミュレーション結果 (  $L=0, 1, 2$  nH )

# PADからの配線

レイアウト時に用いたPADからの配線(NICTより提供)にはNMOSCAPが含まれている。  
→前回までの検討ではこの容量を含めてシミュレーションしていなかった



図6 PADからの配線

# ボンディングワイヤによる影響

p.5の容量を追加し、 $L = 2 \text{ nH}$ としたときのシミュレーション結果を確認(1 GHz)  
 →ボンディングワイヤによる波形の歪みがない

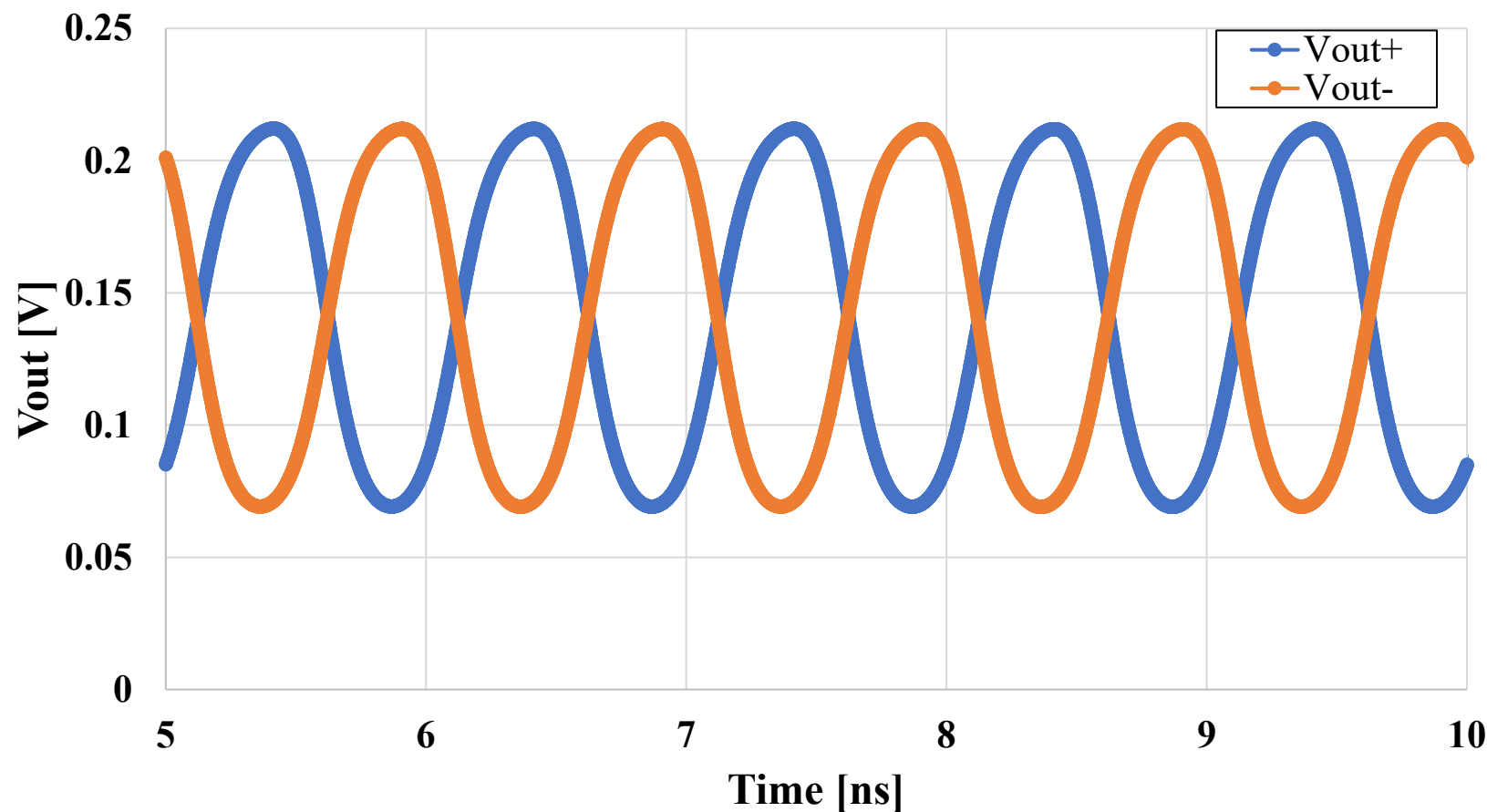


図7 シミュレーション結果 ( $L=2 \text{ nH}$ , 1 GHz)



# ボンディングワイヤによる影響

周波数を変えたシミュレーション結果

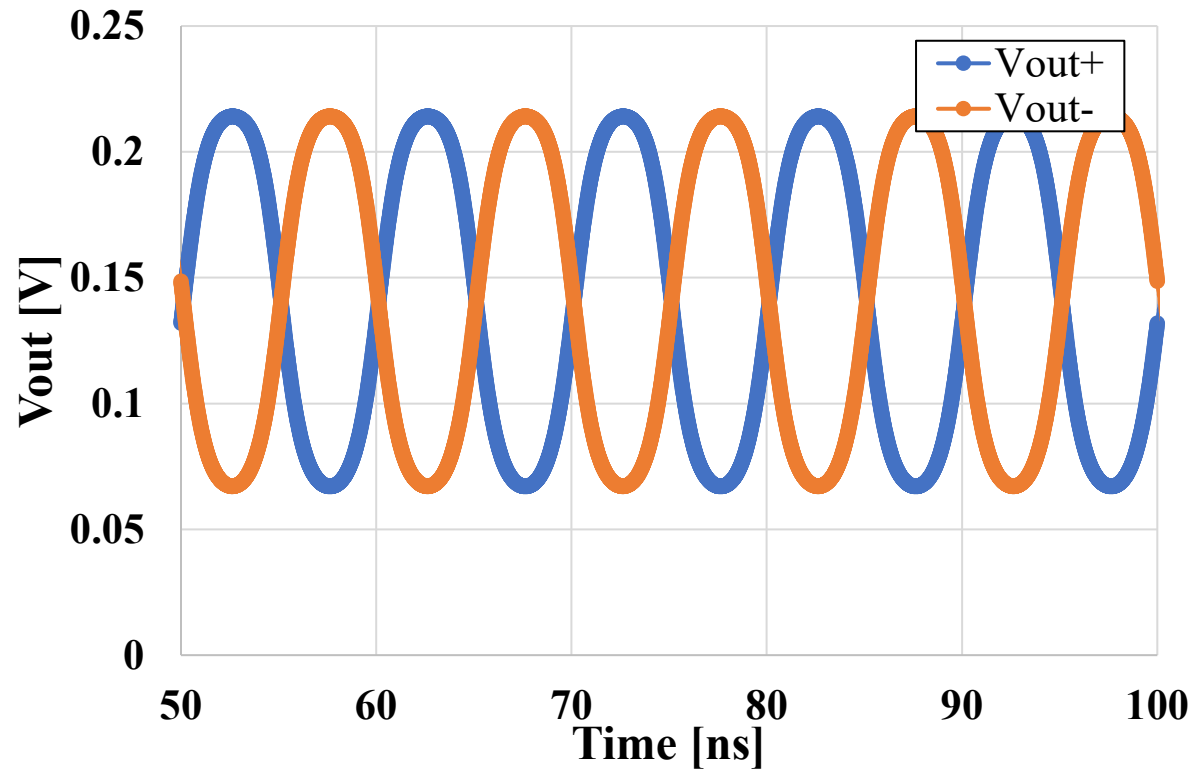


図8 シミュレーション結果 ( $L=2$  nH, 100 MHz)

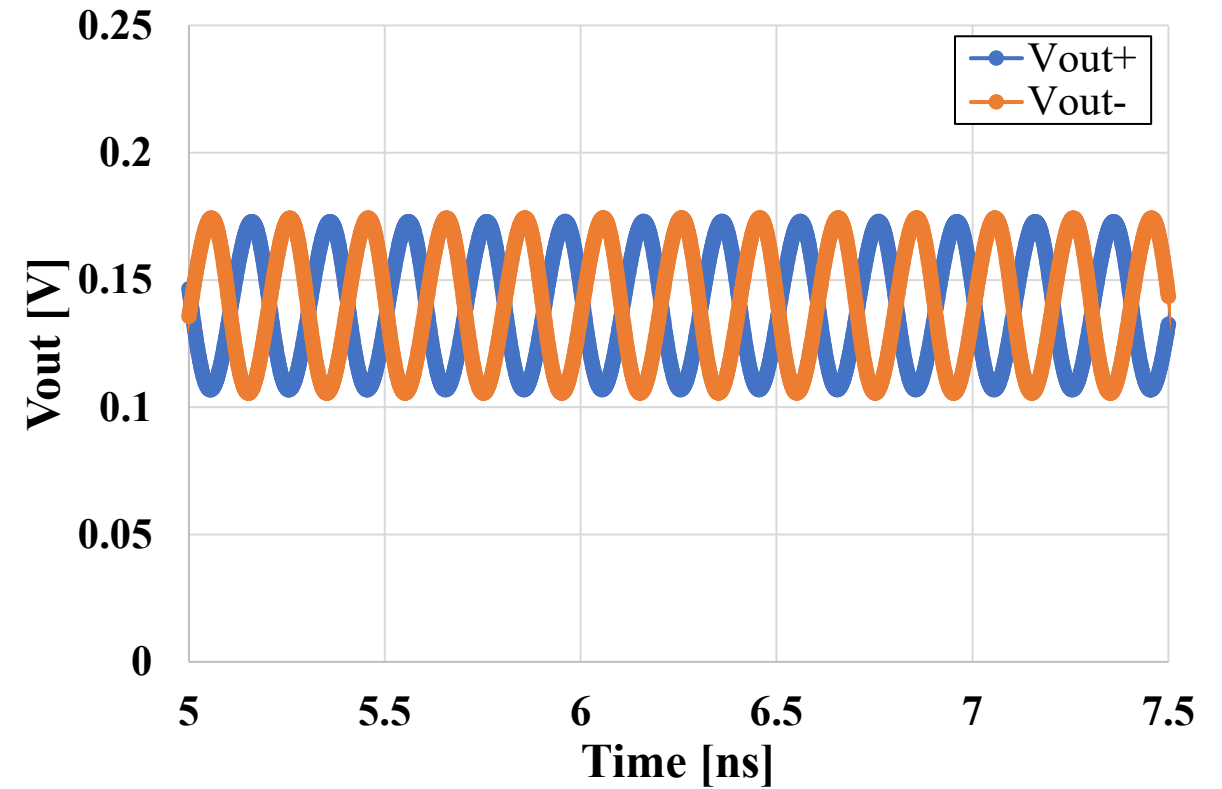


図8 シミュレーション結果 ( $L=2$  nH, 5 GHz)