

## 5.1 MOSFET におけるキャパシタンス要素

MOSFET キャパシタンスのモデリングを検討する前に、図 5.1.1 にある MOSFET のさまざまなキャパシタンスを理解しよう。通常、MOSFET キャパシタンスは二つのグループに分けられ、イントリンシック (intrinsic) とイクストリンシック (extrinsic) なキャパシタンスとされる。このイントリンシックキャパシタンスは、金属学的意味でのソース接合とドレイン接合間の領域に関連する。イクストリンシックキャパシタンスは、あるいは寄生キャパシタンスは、さらに五つの要素に分けられる。1) ポリシリコンゲートとソース、ドレイン間の外部フリンジキャパシタンス、 $C_{FO}$ ；2) ポリシリコンゲートとソース、ドレイン間の内部フリンジキャパシタンス、 $C_{FI}$ ；3) ゲートと高濃度の S/D 領域 (そして基板領域) 間のオーバーラップキャパシタンス、 $C_{GSO}$ 、 $C_{GDO}$  ( $C_{GBO}$ ) で、これらは端子電圧には比較的影響されない；4) ゲートと低濃度 S/D 領域間のオーバーラップキャパシタンス、 $C_{GSOL}$ 、 $C_{GDOL}$ 、これらはバイアスで変化する；5) ソース、ドレインの接合キャパシタンス、 $C_{JD}$ 、 $C_{JS}$ 。これ以外のキャパシタンスが図 5.1.1.1 に示されているが、それらはイントリンシックキャパシタンスである。 $C_{FO}$ 、 $C_{FI}$  および、ゲートに対するソース、ドレイン、基板間のオーバーラップキャパシタンスといったイクストリンシックキャパシタンスの検討を本章で行う。 $C_{JS}$ 、 $C_{JD}$  については 8 章で検討する。

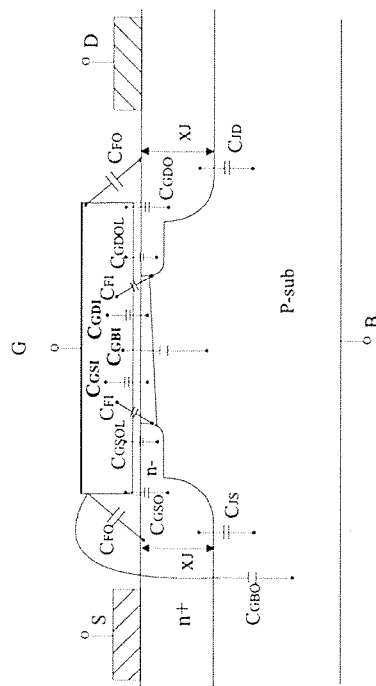


図 5.1.1 nチャネル MOSFET: イントリンシック (太字) とイクストリンシック キャパシタンスのいくつかを示す。

イントリンシックキャパシタンスはイクストリンシック部分よりかなり複雑である。図 5.1.1 において、 $C_{GS}$  はゲートからソースへのキャパシタンス、 $C_{GD}$  はゲートか

らドレインへのキャパシタンス、 $C_{GB}$  はゲートから基板へのキャパシタンスである。このイントリンシックキャパシタンスの図は相当簡略化されている。本章でこれから検討していくように、このイントリンシックキャパシタンスは最大 16 の相反性のないキャパシタンス要素からなっている。

## 5.2 イントリンシックキャパシタンスのモデル

初めに、MOSFET のイントリンシック部分から検討を行う。メーヤーモデル [5.2] のような初期のイントリンシックキャパシタンスモデルは、MOSFET キャパシタンスを三つの個別キャパシタンス、すなわち、ゲートからソースへのキャパシタンス ( $C_{gs}^{*1}$ )、ゲートからドレインへのキャパシタンス ( $C_{gd}$ )、ゲートから基板へのキャパシタンス ( $C_{gb}$ ) として簡単に取り扱った。このモデルは短チャネルデバイスには不正確で、後述するように現在ではよく知られている。電荷が保存されてきている問題をかかえている。しかしこのモデルは広くシミュレータとして時折使われている。メーヤーモデルの基本的考え方と求め方をまず検討したので、電荷保存が保証された電荷ベースのキャパシタンスモデルを示す。

### 5.2.1 メーヤーモデル

メーヤーモデルにおいてはキャパシタンス表現を求めるために以下の仮定がなされている [5.2]。

- MOSFET におけるキャパシタンスは相対的である、すなわち、 $C_{gb} = C_{hg}$ 、 $C_{gd} = C_{dg}$ 、 $C_{gs} = C_{gg}$ 。

- ゲート、ソース、ドレインのバイアスが変化した場合、ゲート電荷  $Q_g$  の変化率はチャネル電荷  $Q_{inv}$  の変化率と等しい。

\*1 (脚注) 小文字の下付け文字シンボルは、単位面積、または、単位長さ当たりのキャパシタンス (電荷)、大文字の下付け文字シンボルは、全キャパシタンス (電荷) である。 $C_{GS}$ 、 $C_{GD}$ 、 $C_{GB}$ 、 $C_{gd}$ 、 $C_{gs}$ 、および  $C_{gb}$  は、イントリンシック、イクストリンシックの両要素を含んでいる。

すなわち,

$$\left| \frac{\partial Q_g}{\partial V_{gs}} \right| = \left| \frac{\partial Q_{inv}}{\partial V_{gs}} \right| \quad (5.2.1)$$

$$\left| \frac{\partial Q_g}{\partial V_{gd}} \right| = \left| \frac{\partial Q_{inv}}{\partial V_{gd}} \right| \quad (5.2.2)$$

ゲート酸化膜の両側の総電荷は中性で,

$$Q_g + Q_{inv} + Q_{ox} + Q_b = 0 \quad (5.2.3)$$

ここで,  $Q_g$  はゲート上の電荷,  $Q_{inv}$  は反転チャネル内の移動可能なキャリアの電荷,  $Q_{ox}$  は界面欠陥に関係した電荷,  $Q_b$  はチャネル下の空乏層内の基板電荷である.

簡単化のために以下を求める過程では  $Q_{ox}$  要素を無視する. その理由は他の電荷要素に比べて  $Q_{ox}$  は小さいからである. したがって,

$$Q_g = -(Q_{inv} + Q_b) \quad (5.2.4)$$

強反転においてチャネル長方向のチャネル電荷密度は以下となる:

$$Q_{inv} = -C_{ox}(V_{gs} - V_{th} - V(y)) \quad (5.2.5)$$

ここで,  $C_{ox}$  はゲート酸化膜の単位面積当たりのキャパシタンス,  $V(y)$  はチャネル長方向の点  $y$  におけるソース接合を基準とした電位である.

4章で検討したように,

$$I_{ds} = W\mu_s Q_{inv} \frac{dV}{dy} \quad (5.2.6)$$

ここで,  $\mu_s$  はキャリア移動度,  $W$  はチャネル幅である.

線形動作領域での  $I_{ds}$  表現は, 式 (5.2.6) をソースからドレインへ積分することで簡単に求められ,  $V_{gd} = V_{gs} - V_{ds}$  であることから:

$$I_{ds} = \frac{W\mu_s C_{ox}}{2L} [(V_{gs} - V_{th})^2 - (V_{gd} - V_{th})^2] \quad (5.2.7)$$

また, 式 (5.2.6) は以下のように書き直せて,

$$dy = \frac{W\mu_s Q_{inv}}{I_{ds}} dV \quad (5.2.8)$$

チャネル中の総電荷は,

$$Q_G = -W \int_0^L Q_{inv} dy - Q_B \quad (5.2.9)$$

式 (5.2.5), (5.2.8), (5.2.9) を組み合わせて積分すると,

$$Q_G = \frac{2}{3} WLC_{ox} \left[ \frac{(V_{gd} - V_{th})^3}{(V_{gd} - V_{th})^2 - (V_{gs} - V_{th})^2} - \frac{(V_{gs} - V_{th})^3}{(V_{gs} - V_{th})^2 - (V_{gs} - V_{th})^2} \right] - Q_B \quad (5.2.10)$$

線形領域でのキャパシタンス  $C_{GS}$ ,  $C_{GD}$ ,  $C_{GB}$  は次の定義から求められる.

$$C_{GS} \equiv \left. \frac{\partial Q_G}{\partial V_{gs}} \right|_{V_{gd}, V_{gb}} \quad (5.2.11a)$$

$$C_{GD} \equiv \left. \frac{\partial Q_G}{\partial V_{gd}} \right|_{V_{gs}, V_{gb}} \quad (5.2.11b)$$

$$C_{GB} \equiv \left. \frac{\partial Q_G}{\partial V_{gb}} \right|_{V_{gs}, V_{gd}} \quad (5.2.11c)$$

式 (5.2.11) に従って式 (5.2.10) を微分することにより, 線形領域でのゲートキャパシタンス  $C_{GS}$ ,  $C_{GD}$ ,  $C_{GB}$  を計算することができる.

$$C_{GS} = \frac{2}{3} WLC_{ox} \left[ 1 - \frac{(V_{gd} - V_{th})^2}{(V_{gs} - V_{th} + V_{gd} - V_{th})^2} \right] \quad (5.2.12a)$$

$$C_{GD} = \frac{2}{3} WLC_{ox} \left[ 1 - \frac{(V_{gs} - V_{th})^2}{(V_{gs} - V_{th} + V_{gd} - V_{th})^2} \right] \quad (5.2.12b)$$

$$C_{GB} = 0 \quad (5.2.12c)$$

強反転領域において  $C_{GB}$  はゼロであると予想できる. その理由は, ドレインからソースにかけてチャネル内の反転層が基板からゲートをさえぎり, 基板バイアス  $V_{bs}$

の変化に対するゲート電荷の応答を妨げるからである。このことは強反転の場合ほぼ正しい。しかしながら弱反転、および蓄積領域において  $C_{GB}$  をゼロと見なすことはできない。

$V_{ds} > V_{dsat}$  に対し、式(5.2.10)中の  $V_{ds}$  を  $V_{dsat}$  で置き換えることによりゲート電荷が求められる。長チャネルデバイスを想定すると、 $V_{dsat} = V_{gs} - V_{th}$  でゲート電荷は以下で与えられる。

$$Q_G = \frac{2}{3} WLC_{ox}(V_{gs} - V_{th}) - Q_B \quad (5.2.13)$$

$C_{GS}$ 、 $C_{GD}$ 、 $C_{GB}$  を飽和領域で求めるのは容易である。

$$C_{GS} = \frac{2}{3} WLC_{ox} \quad (5.2.14a)$$

$$C_{GD} = 0 \quad (5.2.14b)$$

$$C_{GB} = 0 \quad (5.2.14c)$$

式(5.2.14b)に対する物理的な説明をしておく。飽和領域においてチャネルはそのドレイン端でピンチオフされている。このことはチャネルをドレインから電氣的に孤立させることになり、そのためゲート上の電荷はドレイン電圧の変化に影響されず、そのキャパシタンス  $C_{GD}$  は消滅する。

弱反転領域において、反転層中の電荷は空乏層中電荷に比べ無視することができるので式(5.2.4)は、

$$Q_g = -Q_h \quad (5.2.15)$$

長チャネルデバイスに対し基板中の空乏電荷密度は以下で書ける(式(2.3.12)参照):

$$Q_h = -C_{ox}\gamma\sqrt{\phi_s} \quad (5.2.16)$$

ここで、 $\gamma$ は式(2.2.3)で与えられる基板効果係数である。

$\phi_s$ は弱反転での表面電位で、以下で与えられる。

$$\phi_s = \left[ -\frac{\gamma}{2} + \sqrt{\frac{\gamma^2}{4} + V_{gb} - V_{FB}} \right]^2 \quad (5.2.17)$$

空乏電荷は以下の積分を行うことで求められる。

$$Q_B = -W \int_0^L Q_h dy \quad (5.2.18)$$

したがって、弱反転領域のゲート電荷総量を計算できる。

$$Q_G = -Q_B = W \int_0^L Q_h dy = -\frac{1}{2} WLC_{ox}\gamma^2 \left[ 1 - \sqrt{1 + \frac{4}{\gamma^2}(V_{gb} - V_{FB})} \right] \quad (5.2.19)$$

式(5.2.11)に従い式(5.2.19)を微分することで、弱反転領域でのキャパシタンス  $C_{GS}$ 、 $C_{GD}$ 、 $C_{GB}$  は以下のように求められる。

$$C_{GS} = 0 \quad (5.2.20a)$$

$$C_{GD} = 0 \quad (5.2.20b)$$

$$C_{GB} = \frac{WLC_{ox}}{\sqrt{1 + \frac{4}{\gamma^2}(V_{gb} - V_{FB})}} \quad (5.2.20c)$$

式(5.2.14a)に従うと、飽和領域で  $V_{gs} = V_{th}$  ならば  $C_{GS} = 2/3 C_{ox}$  である。しかしながら、 $V_{gs} < V_{th}$  ならば式(5.2.20a)により  $C_{GS} = 0$  である。 $V_{gs} = V_{th}$  におけるこの大きな不連続性を避けるために、 $C_{GS}$  は  $V_{gs} = V_{th}$  での  $2/3 C_{ox}$  から  $V_{gs} = V_{th} - \phi_B$  でのゼロへと線形的に減少するという提案がなされた [5.3]。  $V_{gs}$  が  $V_{th}$  以下になるとチャネル電荷は徐々に減少することから納得のいくことである。 $(V_{gs} - V_{th} = -\phi_B)$  の真性条において) 反転層が完全に消え去るまで、 $C_{GS}$  はゼロであってはならない。

蓄積領域においては  $C_{GB} = C_{ox}$  で、 $C_{GS} = C_{GD} = 0$  である [5.3]。

図5.2.1はメーヤーモデルのキャパシタンスを図示したものである。図5.2.2は  $C_{GS}$ 、 $C_{GD}$ 、 $C_{GB}$  の  $V_{gs}$  との関係を表す長チャネル MOSFET ( $L=5\mu\text{m}$ ) に対し、いくつかの  $V_{ds}$  条件で上記表現(式(5.2.12)、(5.2.14)、および(5.2.20))を用いて示している。

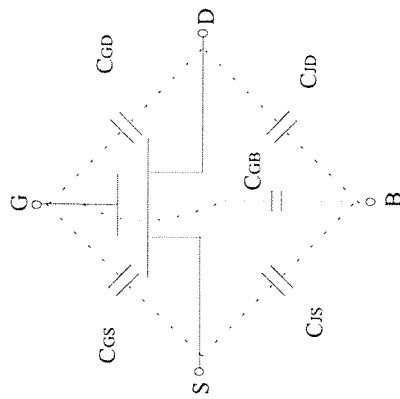


図 5.2.1 メーヤーキャパシタンスモデルによるキャパシタンスの表現  $C_{JS}$ ,  $C_{JD}$  は  $S/B$ ,  $D/B$  のキャパシタンスである。

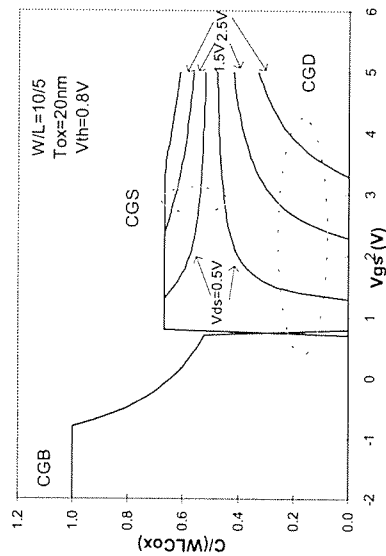


図 5.2.2 メーヤーモデルにより計算されたキャパシタンス特性

メーヤーモデルの一つの利点は図 5.2.3 に示されるように簡単な等価回路で記述できることである [5.4]。メーヤーモデルはこの理由と効率の良さで回路設計者に依然として広く用いられている。そうではあるが、このモデルは次の節で検討するように電荷が保存されないという問題をかかえている。

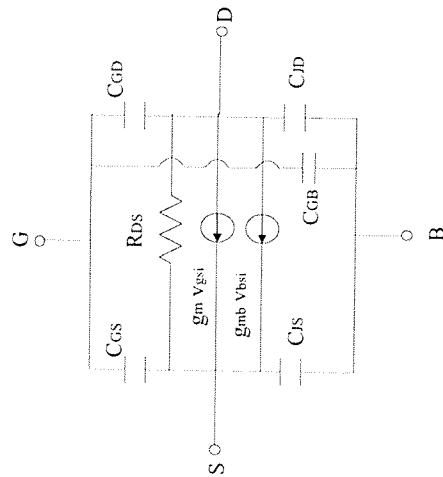


図 5.2.3 MOSFET イントリンシック部についてメーヤーモデルによるキャパシタンス等価回路。  $g_m$ ,  $g_{mb}$  はゲート、および基板の伝達コンダクタンスで、  $v_{gs}$ ,  $v_{bs}$  は MOSFET イントリンシック部での (ソースを基準とした) ゲート、および基板のバイアスである。

## 5.2.2 メーヤーモデルの欠点

メーヤーモデルは簡単で多くの回路用途に用いるのに十分正確であり、SPICE [5.5] に組み込まれてから長い間使われてきた。しかしながら電荷を蓄える節点をもった回路のシミュレーションに用いると、物理的でない結果をもたらすことがこれまでに見いだされている。これら節点における電荷の積み上がり方がシミュレーションでは間違っていると予測される。この問題は MOS のチャージポンプ [5.6]、シリコンオンサファイア (SOS) 回路 [5.7]、S-RAM、およびスイッチャーキャパシタ回路 [5.8] ではっきり示されている。この問題は、電荷非保存問題 (charge non-conservation problem) と呼ばれている [5.9]。

この電荷非保存問題は詳細に調べられてきた [5.7-5.9]。MOSFET キャパシタンスをモデル化する適切な方法は端子それぞれに電荷を割り当てることである、ということが知られている。準静的仮定 (quasi-static assumption) を用いると時間点  $t$  のそれぞれについて、これら電荷はその時点における端子電圧の値のみに依存する。そのため一般

$$Q_G = Q_G(V_{gs}, V_{gd}, V_{gb}) \quad (5.2.21)$$

$$Q_S = Q_S(V_{gs}, V_{gd}, V_{gb}) \quad (5.2.22)$$

$$Q_D = Q_D(V_{gs}, V_{gd}, V_{gb}) \quad (5.2.23)$$

$$Q_B = Q_B(V_{gs}, V_{gd}, V_{gb}) \quad (5.2.24)$$

ここで判ることは、MOSFET中のキャパシタンスは任意関数ではありえないことである。例えば、 $C_{GG}$ 、 $C_{DG}$ 、 $C_{SG}$ 、 $C_{BG}$ は、必ず以下を満足せねばならない。

$$C_{GG}(V_{gs}, V_{ds}, V_{bs}) \equiv \frac{\partial Q_G}{\partial V_g} \quad (5.2.25)$$

$$C_{DG}(V_{gs}, V_{ds}, V_{bs}) \equiv \frac{\partial Q_D}{\partial V_g} \quad (5.2.26)$$

$$C_{SG}(V_{gs}, V_{ds}, V_{bs}) \equiv \frac{\partial Q_S}{\partial V_g} \quad (5.2.27)$$

$$C_{BG}(V_{gs}, V_{ds}, V_{bs}) \equiv \frac{\partial Q_B}{\partial V_g} \quad (5.2.28)$$

そしてデバイス内電荷の総和は、次でえられる電荷中性関係を満たさねばならない。

$$Q_G + Q_D + Q_S + Q_B = 0 \quad (5.2.29)$$

こうならなければ電荷は保存されないだろう。

電荷非保存問題を解消するために別のキャパシタンスモデルが開発されてきた[5.10, 5.11]。キャパシタンス間の必要な関連性を保つよう注意深く形作られ組み込まれた、メーヤーに似たいいくつかのモデルは電荷保存に関して満足できると報告されている[5.12]。もう一つの手法は、電荷に基づいたモデルである[5.13, 5.15]。

メーヤーモデルにおける相反性仮定の欠点が検討されてきた。メーヤーモデルの相反性においては、電荷保存を確実なものとするには $Q_S$ が $V_{ds}$ 、 $V_{bs}$ に、そして $Q_D$ が $V_{gs}$ 、 $V_{bs}$ にそれぞれ独立であることが求められる[5.11]。二重線で囲まれた以下の証明は興味をもつ読者用のみのためである。

メーヤーモデルにおける相反性仮定に従うと、

$$C_{gs} \equiv \frac{\partial Q_g}{\partial V_{gs}} = C_{sg} \equiv \frac{\partial Q_s}{\partial V_{sg}} = -\frac{\partial Q_s}{\partial V_{gs}} \quad (5.2.30a)$$

$$C_{gd} \equiv \frac{\partial Q_g}{\partial V_{gd}} = C_{dg} \equiv \frac{\partial Q_d}{\partial V_{dg}} = -\frac{\partial Q_d}{\partial V_{gd}} \quad (5.2.30b)$$

$$C_{gb} \equiv \frac{\partial Q_g}{\partial V_{gb}} = C_{bg} \equiv \frac{\partial Q_b}{\partial V_{bg}} = -\frac{\partial Q_b}{\partial V_{gb}} \quad (5.2.30c)$$

したがってゲート・ソースの相反性は、 $V_{gs}$ の変化( $\Delta V_{gs}$ )は $Q_g$ と $Q_s$ に対し符号が逆で、同じ変化( $\Delta Q_g = -\Delta Q_s$ )をもたらすことを意味している。ゲート・ドレインとゲート・基板の相反性に関しても同様なことがいえる。

電荷保存式(5.2.3)を $V_g$ に関して微分し、式(5.2.30a)より $\partial Q_g / \partial V_{gs}$ を代入すると、

$$\frac{\partial Q_g}{\partial V_{gs}} + \frac{\partial Q_s}{\partial V_{gs}} + \frac{\partial Q_d}{\partial V_{gs}} + \frac{\partial Q_b}{\partial V_{gs}} = 0 \quad (5.2.31)$$

式(5.2.30a)により $-\frac{\partial Q_g}{\partial V_{gs}} = \frac{\partial Q_s}{\partial V_{gs}}$ であるから、式(5.2.31)は、

$$\frac{\partial Q_d}{\partial V_{gs}} + \frac{\partial Q_b}{\partial V_{gs}} = 0 \quad (5.2.32)$$

メーヤーモデルを求める過程で、空乏電荷 $Q_b$ は $V_{gs}$ に関し一定と仮定した。すなわち、 $\frac{\partial Q_b}{\partial V_{gs}} = 0$ であり、最終的に式(5.2.32)から $\frac{\partial Q_d}{\partial V_{gs}} = 0$ をえる。

$V_{gd}$ に関しても同様の解析が成立し、

$$\frac{\partial Q_s}{\partial V_{gd}} + \frac{\partial Q_b}{\partial V_{gd}} = 0 \quad (5.2.33)$$

したがって $\frac{\partial Q_s}{\partial V_{gd}} = 0$ という結果をえる、というのはモデル導出中の仮定に従うと $\frac{\partial Q_b}{\partial V_{gd}} = 0$ だからである。

上記の解析によれば、メーヤーモデルの相反性では電荷保存を確かなものとするには $Q_s$ は $V_{gs}$ のみに $Q_d$ は $V_{gd}$ のみに、それぞれ依存することが求められる。言い換えると、 $C_{gs} = C_{sg} \equiv dQ_s / dV_g$ は、 $V_{ds}$ または $V_{bs}$ などの関数ではありえない。これは物理的で



$Q_g$  と  $Q_b$  は以下となる。

$$Q_g(y) = C_{ox}(V_{gs} - V_{FB} - \phi_s - V_y) \quad (5.2.41)$$

$$Q_b(y) = -C_{ox}[V_{th} - V_{FB} - \phi_s - (1 - A_{bulk})V_y] \quad (5.2.42)$$

ここで,  $A_{bulk}$  は2章で検討した基板電荷係数である。

$Q_G$  と  $Q_B$  を求めるには, 式(5.2.41)にそのまま従う:

$$Q_G = W L C_{ox} [V_{gs} - V_{FB} - \phi_s - \frac{1}{2}V_{ds} + \frac{A_{bulk}V_{ds}}{12(V_{gs} - V_{th} - \frac{A_{bulk}}{2}V_{ds})}] \quad (5.2.43)$$

$$Q_B = W L C_{ox} [V_{FB} - V_{th} + \phi_s - \frac{1 - A_{bulk}}{2}V_{ds} - \frac{(1 - A_{bulk})A_{bulk}V_{ds}}{12(V_{gs} - V_{th} - \frac{A_{bulk}}{2}V_{ds})}] \quad (5.2.44)$$

チャネル中の反転電荷総量を計算するのは簡単である。しかしながら, ソースとドレイン端子上の電荷をモデル化するのが難しい。その理由は, 移動可能なチャネル電荷  $Q_{INV} = Q_D + Q_S$  の総量だけが判っていて,  $Q_{INV}$  を  $Q_D$  と  $Q_S$  へ分ける必要があるからである。  $V_{ds} = 0$  では対称であることから,  $Q_S = Q_D = Q_{INV}/2$  に分割されなければならない。電荷分割手法がいくつか, 飽和領域 ( $V_{ds} > V_{dsat}$ ) に対し提案されてきている [5.7, 5.8]。50/50, 40/60, 0/100 といった分割手法であるが, コンパクトモデルでは  $X_{PART}$  と呼ばれるパラメータで通常は区別されている [5.14]。  $X_{PART} > 0.5$  の場合 0/100 電荷分割が選ばれ, 飽和領域において  $Q_S = Q_{INV}$ , および  $Q_D = 0$  と仮定される。  $X_{PART} = 0.5$  の場合 50/50 電荷分割が使われ, ドレイン電荷とソース電荷の比率は 50/50 であるとされる。  $X_{PART} < 0.5$  では 40/60 電荷分割が用いられ, 飽和領域でのドレイン電荷とソース電荷の比率は 40/60 とされる。

40/60 分割は準静的条件では物理的に適切であることが2次元デバイスシミュレーションと実験によって明らかになっている [5.15]。40/60 分割のモデル導出の一例が文献 [5.7] に与えられている。

$$Q_S = W \int_0^L (1 - \frac{y}{L}) Q_{mv}(y) dy \quad (5.2.45)$$

$$Q_D = W \int_0^L \frac{y}{L} Q_{mv}(y) dy \quad (5.2.46)$$

ここで,  $L$  はデバイスのチャネル長である。

式(5.2.45)と(5.2.46)を積分することで,  $Q_S$  と  $Q_D$  に対する以下の表現が長チャネルデバイスの線形動作領域についてえられる。

$$Q_S = -W L C_{ox} \left( \frac{V_{gs} - V_{th}}{2} - \frac{A_{bulk}V_{ds}}{6} + \frac{A_{bulk}^2 V_{ds}^2 [5(V_{gs} - V_{th}) - 3A_{bulk}V_{ds}]}{120(V_{gs} - V_{th} - \frac{A_{bulk}}{2}V_{ds})^2} \right) \quad (5.2.47)$$

$$Q_D = -W L C_{ox} \left( \frac{V_{gs} - V_{th}}{2} - \frac{A_{bulk}V_{ds}}{3} + \frac{A_{bulk}^2 V_{ds}^2 [5(V_{gs} - V_{th}) - 2A_{bulk}V_{ds}]}{120(V_{gs} - V_{th} - \frac{A_{bulk}}{2}V_{ds})^2} \right) \quad (5.2.48)$$

飽和領域に相当する電荷は上式中の  $V_{ds}$  を  $V_{dsat}$  で置き換えることで求められる。この  $V_{dsat}$  は長チャネルデバイスでは  $(V_{gs} - V_{th})/A_{bulk}$  に等しい [5.10]。

$$Q_D = -W L C_{ox} \frac{4(V_{gs} - V_{th})}{15} \quad (5.2.49)$$

$$Q_S = -W L C_{ox} \frac{2(V_{gs} - V_{th})}{5} \quad (5.2.50)$$

$$Q_G = W L C_{ox} \left( V_{gs} - V_{FB} - 2\phi_B - \frac{1}{3}(V_{gs} - V_{th}) \right) \quad (5.2.51)$$

$$Q_B = W L C_{ox} \left( V_{FB} - V_{th} + 2\phi_B - \frac{1 - A_{bulk}}{3}(V_{gs} - V_{th}) \right) \quad (5.2.52)$$

図5.2.4(a)と(b)に, BSIM3v3 *capMod=0* モデルでのゲートバイアスに対する電荷, およびキャパシタンスを示す [5.17]。これについては, 5.4節にて詳しく検討を行う。図5.2.5は, ドレインバイアスに対するキャパシタンスのシミュレーションである。

電荷の構成式, および電荷のドレインとソース電荷への分割にもとづいて, デバイスに対するアドミタンス行列が形作られる。この行列におけるキャパシタンス項の全

てがゼロでなく、かつ相反性をもたない。 $C_{nd}$ と $C_{ds}$ のようなキャパシタンスのいくつかは、本来的に負の値をとる[5.16].

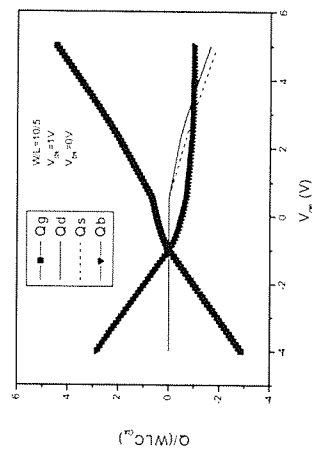


図 5.2.4 (a) ゲート、基板、ソース、およびドレイン端子の電荷を BSIM3v3 の  $capMod=0$  モデルでシミュレーションした結果

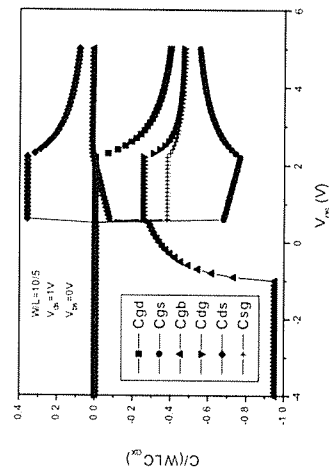


図 5.2.4 (b)  $V_{gs}$  に対するキャパシタンスを  $capMod=0$  モデルでシミュレーションした結果.

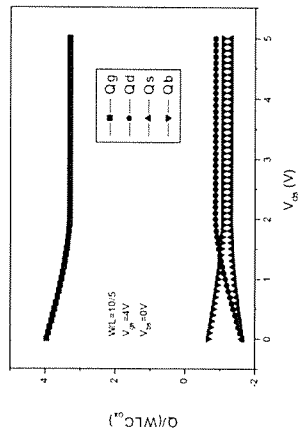


図 5.2.5 (a)  $V_{ds}$  に対するゲート、基板、ソース、およびドレイン端子の電荷を BSIM3v3 の  $capMod=0$  でシミュレーションした結果.

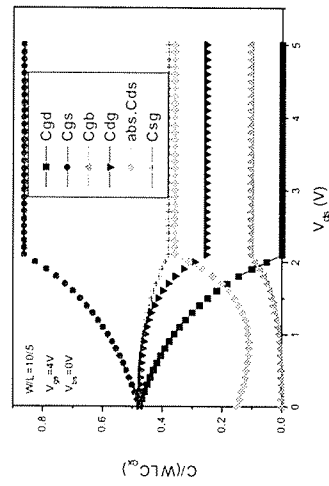


図 5.2.5 (b) ドレイン電圧に対するキャパシタンスを BSIM3v3  $capMod=0$  モデルでシミュレーションした結果.



### 5.3 イクストリンシクキャパシタンス

イクストリンシクキャパシタンスについて次に解析する。図 5.1.1 に示されたように、イクストリンシクキャパシタンスは四つの構成要素からなる。ソース・ドレイン領域におけるゲートオーバーラップキャパシタンス  $C_{ov}$ 、内側のフリンジキャパシタンス  $C_{FI}$ 、そしてソース・ドレインの接合キャパシタンス  $C_{JS}$  と  $C_{JD}$  である。本節では、 $C_{ov}$ 、 $C_{FI}$ 、 $C_{JD}$  につき検討し、ソース・ドレインの寄生キャパシタンスについては8章で検討する。

VLSI 回路チップにおけるデバイスサイズの継続的な微細化に伴ない、ゲートからドレイン、ゲートからソースへのオーバーラップキャパシタンスを正確にモデリングすることは、ますます重要になっている。このオーバーラップキャパシタンスはデバイスと回路性能（動作速度）を決定づける重要なパラメータである。かなり以前の MOSFET には、ゲートからソース・ドレインへの大きなオーバーラップが存在していた。この場合、このオーバーラップキャパシタンスは平行平板のキャパシタンスとして簡単にモデル化可能である。

$$C_{ov} = \frac{\epsilon_{ox} d}{T_{ox}} \quad (5.3.1)$$

ここで、 $T_{ox}$  は酸化膜厚で、 $d$  はゲートからドレイン・ソースへのオーバーラップの幅である。

ソース ( $C_{ovGS}$ )、およびドレイン ( $C_{ovGD}$ ) での  $C_{ov}$  とは別に、ポリシリコンゲートの一端、あるいは両端で必要となる重なりによってゲートと基板間に寄生キャパシタンスが追加される。このポリシリコンの重なり幅は実際にはデバイスのチャネル長である。したがって、ゲートと基板間のオーバーラップキャパシタンスは以下で与えられる。

$$C_{ovGB} = C_{gbo} L \quad (5.3.2)$$

ここで、 $C_{gbo}$  は単位長当たりのゲート・基板間のオーバーラップキャパシタンスである。通常、この  $C_{ovGB}$  は  $C_{ovGD}$ 、および  $C_{ovGS}$  よりかなり小さく、無視することができる。

上記で検討したオーバーラップキャパシタンスモデルは、SPICE の MOSFET モデルではかなり以前に用いられ、その当時、モデル精度は今日のようないくつかの基準に合致す

る必要はなかった。しかし今日のデバイスでは測定されたオーバーラップキャパシタンスは、上記の式と相当に異なることが見いだされた。デバイス寸法が縮小されるにつれ、ゲートの周辺長、およびポリシリコンゲートの有限な厚みに関連づけられるフリンジキャパシタンスは、キャパシタンスに対し大きく寄与するようになっている。

図 5.3.1 に示したデバイス構造がフリンジキャパシタンスの解析に使うことができ [5.18]。図 5.3.1 において、 $T_{ox}$  は酸化膜厚、 $X_p$  はポリシリコンゲートの厚みで、接合深さが  $X_j$  である。 $\alpha$  は (ポリシリコン) ゲートの傾斜角度である。このオーバーラップキャパシタンスは、以下の三要素の和により近似が可能である。

- a. ゲートとソース・ドレイン間の外側におけるフリンジキャパシタンス  $C_{fo}$ ;
- b. ゲートとソース・ドレイン間の直接的オーバーラップキャパシタンス  $C_{ov}$ ; これは平行平板キャパシタンスで表現される;
- c. ゲートとソース・ドレイン接合側壁間のチャネル側 (内側) に生じるフリンジキャパシタンス  $C_{fi}$ ;

これら三つのキャパシタンス要素は、デバイスの単位幅当たり以下の表現により与えられる [5.18]:

$$C_{fo} = \frac{\epsilon_{ox}}{\alpha} \ln \left( 1 + \frac{X_p}{T_{ox}} \right) \quad (5.3.3)$$

$$C_{ov} = \frac{\epsilon_{ox} (d + \Delta)}{T_{ox}} \quad (5.3.4)$$

$$C_{fi} = \frac{\epsilon_{ox}}{\beta} \ln \left( 1 + \frac{X_j \sin \beta}{T_{ox}} \right) \quad (5.3.5)$$

ここで、 $\Delta$  はオーバーラップ領域の長さについての修正項で、より高次の現象の取り込みを目的とし次のように与えられる:

$$\Delta = \frac{T_{ox}}{2} \left( \frac{1 - \cos \alpha}{\sin \alpha} + \frac{1 - \cos \beta}{\sin \beta} \right) \quad (5.3.6)$$

$\beta$  は、

$$\beta = \frac{\pi \epsilon_{ox}}{2 \epsilon_i} \quad (5.3.7)$$



## 5.5 キャパシタンスモデルにおけるチャネル長・幅

DC, およびキャパシタンスの測定から抽出した実効的チャネル長は一致しないことが長い間観測されている [5.33]。このことは驚くことではないし、説明可能である。DC 電流はソースからドレインへのキャリアの動きに依存し、ソースとドレイン接合間の距離が実効チャネル長として特性化されている。電荷とキャパシタンスの振舞いはポリシリコンゲートと基板シリコン間での電気力線の分布に当たっている。そのため、C-V 特性から得られた実効チャネル長は必ずしも DC 電流測定から求めた値と一致しない。

従来のコンパクトモデルの多くは、I-V と C-V のモデルに同じ実効チャネル長、幅を用いている。BSIM3v3 ではそうではない。電荷とキャパシタンスモデルで用いられるチャネル長、幅は以下で与えられ、DC モデルで使われるチャネル長と関連がない。

$$L_{\text{active}} = L_{\text{drawn}} - 2\delta L_{\text{eff}} \quad (5.5.1)$$

$$W_{\text{active}} = W_{\text{drawn}} - 2\delta W_{\text{eff}} \quad (5.5.2)$$

$$\delta W_{\text{eff}} = D_{\text{WC}} + \frac{W_{\text{LC}}}{L_{\text{LVN}}} + \frac{W_{\text{WC}}}{W_{\text{LVN}}} + \frac{W_{\text{WLC}}}{L_{\text{LVN}} W_{\text{LVN}}} \quad (5.5.3)$$

$$\delta L_{\text{eff}} = D_{\text{LC}} + \frac{L_{\text{LC}}}{L_{\text{LVN}}} + \frac{L_{\text{WC}}}{W_{\text{LVN}}} + \frac{L_{\text{WLC}}}{L_{\text{LVN}} W_{\text{LVN}}} \quad (5.5.4)$$

$D_{\text{WC}}$  と  $D_{\text{LC}}$  は I-V モデルにおける  $W_{\text{INT}}$ ,  $L_{\text{INT}}$  とは別で、異なるものである。 $L_{\text{active}}$  と  $W_{\text{active}}$  はキャパシタンス計算用のデバイス本体部の実効長、および幅である。I-V の場合とは違ってこれらの寸法はバイアスには依存しない。 $\delta L_{\text{eff}}$  パラメータは、ソース・ドレインとゲートへのオーバーラップ長にマスク上のポリシリコンゲートとプロセス(ゲートのリソグラフィ、エッチング、および酸化)によるできあがり上の差を片側分として加えたものに等しい。総合的には、キャパシタンス測定と I-V 測定の双方から抽出された実効チャネル長は明確に区別されなければならない。

キャパシタンス手法から求められた  $L_{\text{active}}$  パラメータは、 $L_{\text{eff}}$  よりも金属学的な接合長(物理長)により近いことが見いだされている。BSIM3v3 のキャパシタンスモデルでは  $D_{\text{WC}}$ ,  $D_{\text{LC}}$  のどちらもモデルカードに設定されない場合、I-V と C-V モデルでデバイス実効寸法は同じであるとする(すなわち  $D_{\text{WC}} = W_{\text{INT}}$ ,  $D_{\text{LC}} = L_{\text{INT}}$ )。

## 5.6 ヒント

### 1. 電荷に基づくキャパシタンスの相反性

多くの人は MOSFET におけるキャパシタンスを通常の二端子キャパシタンの集団と考えている。二端子キャパシタについて、そのキャパシタンスには相反性があり  $C_{12} = C_{21}$  である。ここで 1, 2 は端子の節点番号である。いい換えると

$$\frac{\partial Q_1}{\partial V_2} = \frac{\partial Q_2}{\partial V_1} \quad (5.6.1)$$

さらにまた、 $C_{12}$  と  $C_{21}$  は定数であるか  $V_{12}$ , あるいは  $V_{21}$  の関数であるか(他に電圧がないので)、のいずれかにすぎない。これらはキャパシタのあまりにもよく知られた性質であるが、二端子キャパシタに当てはまるにすぎない。三、または四端子である MOSFET についてはそのキャパシタンスは一般的に相反性がない、すなわち  $C_{\text{gs}} \neq C_{\text{gs}}$  である。飽和領域において長チャネル MOSFET の  $C_{\text{gd}}$  と  $C_{\text{dg}}$  キャパシタンスを考えてみる [5.1]。キャパシタンスの定義に従うと、 $C_{\text{gd}}$  はドレインでの電圧変化によるゲート電荷の変動であり、 $C_{\text{dg}}$  はゲートでの電圧変化によるドレイン電荷の変動である。デバイスが飽和状態で動作していると、ドレイン近くでのピンチオフ条件によりゲートはドレインから分離されるので、ドレイン電圧の変動はゲート端子での電荷に何らの影響も与えない。言い換えると、ゲート電荷はドレイン電圧変化に応じては変わらずに  $C_{\text{gd}}$  はゼロとなるだろう。しかしながらチャネルにおける反転電荷はゲート電圧変化に応じて変わるために、ドレイン電荷(チャネル電荷の一部)は変化し、つまり  $C_{\text{dg}}$  はゼロではないだろう。MOSFET キャパシタンスに相反性がない性質はシミュレーション、および測定により確認されている。コンパクトモデルにおいて人為的に  $C_{\text{gd}} = C_{\text{dg}}$  とし  $C_{\text{gd}}$  を  $V_{\text{gs}}$  ないし  $V_{\text{ds}}$  の関数とするならば、そのモデルは正確なだけでなくフローティングな回路節点における電荷積みあがりを誤って予測してしまう。

上記で検討した非相反性についての混乱と誤解は、“キャパシタンス”という用語により引き起こされているのかも知れない。人によつては、三、または四端子デバイスでのキャパシタンスを別称としたいかもしれない、トランスキャパシタンス、これは一般的に相反性をもたない。

## 2. 準静的 (quasi-static :QS) 仮定と非準静的 (non-quasi-static:NQS) 効果

強調すべきことは、この章で検討したキャパシタンスモデル全てが準静的仮定に基づいていることで、つまり電荷は電圧変化に何の遅れもなく即座に追従する。言い換えると、信号は (デバイスの走行時間に比べて) ゆっくりと変わることでチャネル電荷は常に定常状態にある。既に見いだされているのは、文献 [5.1] にある経験的手法によって QS 仮定はデジタル用途での短チャネルデバイスに適用できることである。

$$TR > 20\tau_d \quad (5.6.2)$$

ここで、 $T_R$  は入力信号の立ち上がり時間、 $\tau_d$  はソースを離れてドレインに到着するキャリアの走行時間である。

文献 [5.1] によると、 $\tau_d$  はチャネル長と  $V_E$  に依存する。長チャネルデバイスに対して  $\tau_d$  は

$$\tau_d = \frac{0.4L^2}{\mu(V_{gs} - V_{th})} \quad (5.6.3)$$

ここで、 $L$  はデバイスのチャネル長、 $\mu$  はキャリア移動度、 $V_{gs}$  はゲートバイアスであり、 $V_{th}$  はしきい値電圧である。

速度飽和効果が見られる短チャネルデバイスに対しては、 $\tau_d$  は以下で与えられる。

$$\tau_d = \frac{L}{v_{sat}} \quad (5.6.4)$$

ここで、 $v_{sat}$  はキャリア飽和速度である。

上記の表現にしたがって、QS モデルの限界を見積もることができる。n チャネル MOSFET を例とし、 $v_{sat} = 1 \times 10^5$  m/s、走行時間  $\tau_d$  はチャネル長  $0.25 \mu\text{m}$  のデバイスに対し  $2.5$  ps と仮定する。したがって  $T_R$  が  $50$  ps より大きければ、QS の仮定は有効であると考えられる。デジタル回路ではクロック周波数は通常  $1/20T_R$  であるので、QS 仮定は  $0.25 \mu\text{m}$  技術では  $1$  GHz のクロックに対して有効である。チャネル長が短くなるにつれ、その走行時間は減少するので QS 仮定は大抵のデジタル用途に適用可能である。

しかしながら、無線周波数 (Radio Frequencies : RF) での高周波アナログ用途においては状況は異なるかもしれない。いくつかの問題が見いだされている：n チャネル MOSFET でチャネル長  $1 \mu\text{m}$  以上、p チャネル MOSFET でチャネル長  $0.7 \mu\text{m}$  以上のデバイスに対して、動作周波数が  $5$  GHz より高い RF 用途で QS 仮定に基づくキャパシ

タンスモデルを用いる場合である [5.34]。このような高い動作周波数においては回路の正確なシミュレーションを保証するために、NQS(non-quasi-static : 非準静的) モデルが必要とされる。NQS C-V モデルを開発する難しさは、端子での電荷が端子電圧履歴の関数であって現在の電圧だけで決まらないということである。NQS モデルは BSIM3v3 に組み込まれ、10 章で検討を行う。

## 3. 電荷分割

電荷に基づくキャパシタンスモデルは電荷保存を保証する。しかしながらこの手法では、反転電荷をドレインとソースの電荷に分割する必要がある。チャネル電荷をソースとドレインにどのように適切に分割するかは難しい課題であり、電荷に基づくキャパシタンスモデルが現れて以来、解決されてはいない。先に示したように回路シミュレータで使われる現在の電荷ベースモデルにおいては、三つの異なる電荷分割手法が存在する。すなわち、50/50、40/60、および 0/100 の分割で、これらは回路シミュレーション内で  $X_{PART}$  というパラメータで区別されている。

$50/50(X_{PART} = 0.5)$  は分割手法中もともと単純なもので、反転電荷はソースとドレインに等しく分けられる。単純ではあるが 2 次元シミュレーションデータをよく近似していることが判っている。

$40/60(X_{PART} < 0.5)$  は三つの分割手法中もともと物理的なモデルである。しかしながら、 $40/60$ 、および  $50/50$  モデルのいずれも非物理的なマイナスの  $I_d$  パルスを生じることがある。その条件としては n-MOSFET の  $V_g$  を急速に立ち上げて  $V_{th}$  を横切らせる場合で、ドレイン端子が高い電圧、例えば  $V_{dd}$  であつても発生する。これは  $V_{th}$  周辺における  $V_{gs}$  で NQS 効果が大きいためである。

$0/100(X_{PART} > 0.5)$  分割手法は負のドレイン電流スパイクの発生を人為的に抑えるために開発され、飽和領域において全反転電荷をソース電極に割り当てている。この電荷分割手法では線形領域でドレイン電流スパイクをもたらし、ソース電流のスパイク問題もさらに悪化させることに注意しなければならない。

これらの定数的電荷分割手法は、前述したようなロジックゲート遅延のシミュレーションへの精度要求に十分見合っている。しかしながら  $V_{gs} = V_{th}$  においては過渡時間が大変長くなり、全ての QS キャパシタンスモデルについて非物理的な人工的現象が容易に見いだされる。

#### 4. オーバーラップキャパシタンス

先に触れたように、オーバーラップキャパシタンスはいくつかの異なる要素に分けられる。そのオーバーラップの様々な要素を個別に測るのは極めて難しい（不可能でないとしても）。2次元、または3次元デバイスシミュレーションが複雑なキャパシタンスモデルのパラメータを抽出するのに必要かもしれない。キャパシタンスモデルを単純に保ち、できるだけ少ないパラメータとするには十分な理由である。表5.5.1に、さまざまなキャパシタンス要素のバイアス依存性をまとめている。ここで判るのは、直接的なオーバーラップキャパシタンスと内側のフリンジキャパシタンスのいずれもがバイアス依存性をもつということである。しかしながら、その内側フリンジキャパシタンスは空乏領域で最も大きな値をとることは確実であり、強反転領域で消滅する。その理由は、反転層がソース・ドレインとゲート間の結びつきを遮断するからである。内側フリンジキャパシタンスのバイアス依存性モデリングが大変難しく、現状ではコンパクト MOSFET モデルで扱えないことから何らかの問題を回路シミュレーションに及ぼすかもしれない。特に、キャパシタンスモデルが重要なアナログ、および高周波用途に対し問題である。

表 5.6.1 NMOSFET における寄生キャパシタンスのバイアス依存性

キャパシタンス要素	バイアス依存性	モデリング性	モデル状況
n+ オーバーラップキャパシタンス	小	容易	あり
n- オーバーラップキャパシタンス	大	中程度	あり
外側フリンジキャパシタンス	なし	容易	あり
内側フリンジキャパシタンス	大	困難	なし
S/D 接合キャパシタンス	大	容易	あり
外側側壁キャパシタンス	大	容易	あり
内側側壁キャパシタンス	大	中程度	あり

BSIM3v3 は  $C_{ij}$  のバイアス依存性を含んでいない。しかしながらオーバーラップソース・ドレインキャパシタンスのバイアス依存性は、まさしく考慮している。 $C_{gdo}/C_{gso}$  は  $V_{gs}$ 、および  $V_{gs}$  がゼロでのオーバーラップキャパシタンスと見なせる。

ゼロバイアスでの測定特性は、外側と内側のフリンジキャパシタンスとオーバーラップキャパシタンスのいずれれをも含んでいる。ユーザが意識しないといけないのは、これらのパラメータはゼロバイアスでの測定データから抽出されるものだが、強反転での使用には向いていないかもしれない点である。この動作領域では、内側のフリンジキャパシタンスが現れなくなることが原因である。したがって回路用途によつては BSIM3v3 のオーバーラップキャパシタンスを使うためにユーザは異なる手法を採用可能である。例えばデジタル回路において、回路、例えばフリンジオシレータとすると、その速度遅延はモデル精度を判断するための性能指数としてよく使われる。既に見いだされているのは、バイアス依存のオーバーラップキャパシタンスをシミュレーションに含めても回路の遅延時間変化は大して大きくない(2%以下)ことである。そのため、オーバーラップキャパシタンスのバイアス依存性を無視 ( $C_{gdl}$ 、 $C_{gsl}$  を 0 に設定)でき、デジタル用途で用いる回路遅延にあらうように  $C_{gdo}$ 、 $C_{gso}$  に対するオーバーラップキャパシタンスの一定値を設定できる。しかしながらアナログ用途に関しては、オーバーラップキャパシタンスのバイアス依存性はより重要となる。その場合の実務的手法は、 $C_{gdo}$ 、 $C_{gdl}$ 、および  $C_{KAPPA}$  の値をオブティミゼーションによつて一緒に抽出することである。蓄積から空乏を経て強反転までの全動作領域において、測定されたオーバーラップキャパシタンス特性にできるだけ合うようにする。

#### 5. キャパシタンスモデルにおけるフラットバンド電圧パラメータ $v_{fb}$

フラットバンド電圧は MOSFET キャパシタンスモデルにおいて重要なパラメータである。 $capMod=0$  モデルではフラットバンド電圧はモデルパラメータとして取り扱われ、DC とキャパシタンスモデルにおいて異なる  $V_{fb}$  モデルが使われる。しかしながら BSIM3v3 における  $capMod>0$  キャパシタンスモデルでは、 $I-V$  と  $C-V$  モデルのいずれにも同じしきい値電圧が使われ、そのしきい値電圧は測定した  $I-V$  データを用いて評価される。したがってフラットバンド電圧パラメータ  $v_{fb}$  は、以下の式にしたがって  $V_{fb}$  から計算できる。

$$v_{fb} = V_{fb} - \phi_s - K_{tox} \sqrt{\phi_s - V_{hweff}} \quad (5.6.5)$$

ここで、 $V_{fb}$  はしきい値電圧で、 $K_{tox}$  は3章で定義されたモデルパラメータである。 $V_{fb}$  が不均一な不純物分布、短チャネル、および狭チャネル効果を含んでいる以上、この計算された  $v_{fb}$  パラメータもこれらの効果を含んでいる。フラットバンド電圧が不

均一不純物分布, および短チャネル効果にどう依存するかを検討結果が報告されている [5.36].

式 (5.6.5) で計算された  $v_{th}$  パラメータは, 蓄積と空乏の両領域の境界を決めるのに使われている. したがってこの値は蓄積から空乏への遷移領域近辺で, キャパシタンスモデルの精度に影響を与える. しきい値電圧の適切な特性化手法:  $I-V$  と  $C-V$  の双方を考慮したもの, が,  $C-V$  モデル精度の確保に必要であろう. 測定された  $I-V$  データから  $V_{th}$  の抽出に推奨される手法は,  $C-V$  測定による  $V_{th}$  に見合うことが判っている [5.37].

ここで指摘すべき点は, 上に述べた検討でのしきい値電圧は  $v_{th}$  の計算に式 (5.6.5) を用いるので, ドレイン電圧が小さく基板バイアスはゼロで測定されねばならないことである. BSIM3v3.0 と BSIM3v3.1 においては  $v_{th}$  パラメータの組込みが不適切で, 式 (3.4.25) で与えられるバイアス依存の  $V_{th}$  表現が式 (5.6.5) に使われている. このことは  $v_{th}$  のバイアス依存性をかなり大きめにし, 蓄積領域において連続性に何らかの問題を引き起こす. BSIM3v3.2 の組込みにおいては,  $V_{th}$  の短チャネル, および狭チャネル効果におけるバイアス依存性は式 (3.4.25) において除かれ, この問題を修正しモデル連続性が改良されている.

$$\begin{aligned}
 V_{th} = & V_{maxox} + K_{tox} \left( \sqrt{\phi_s - V_{maxox}} - \sqrt{\phi_s} \right) \\
 & + K_{tox} \left( \sqrt{1 + \frac{N_{tox}}{L_{eff}}} - 1 \right) \left( \sqrt{\phi_s} + K_2 \frac{Tox}{W_{eff} + W_0} \phi_s \right) \\
 & - Dr_{to} \left( \exp(-Dr_{ti} \frac{L_{eff}}{2l_{to}}) + 2 \exp(-Dr_{ti} \frac{L_{eff}}{l_{to}}) \right) (V_{th} - \phi_s) \\
 & - Dr_{tm} \left( \exp(-Dr_{tm} \frac{W_{eff} L_{eff}}{2l_{m0}}) + 2 \exp(-Dr_{tm} \frac{W_{eff} L_{eff}}{l_{m0}}) \right) (V_{th} - \phi_s)
 \end{aligned} \quad (5.6.6)$$

## 6. $C_{LC}$ と $C_{LE}$ パラメータ

短チャネルデバイスにおける  $C-V$  特性への理解:  $C-V$  特性の飽和電圧は  $I-V$  特性での飽和電圧より大きいという理解, にしたがって,  $I-V$  モデルでの飽和電圧とは異なるものが BSIM3v3 の  $C-V$  モデルにおいて使われている.  $C_{LC}$  と  $C_{LE}$  は経験的な合わせ込みパラメータで, 短チャネルデバイスにおいて速度飽和に影響される飽和電圧を正確に記述するために導入された. すなわち, チャネル長が短くなると設定ゲート電圧において飽和電圧が小さくなる効果を取り込んでいる.  $C_{LC}$  と  $C_{LE}$  は  $C-V$  モデルの精度を決める重要なパラメータで, 特に, アナログと RF 用途に当ってはまる. その理由は, 飽和電圧が遮断周波数 ( $f_T$ ) 特性に影響しているからである. 一定ドレイン電

圧でゲート電圧を増すにつれて, 飽和電圧は,  $f_T$  がその最大値から減少し始める点を決めている [5.38].  $C_{LC}$  と  $C_{LE}$  を正確に決めることが BSIM3v3 でのキャパシタンスモデルを使うのに必要である.

$C_{LC}$  と  $C_{LE}$  パラメータは強反転領域にあるさまざまな  $L$  のデバイスに対して, 異なる  $V_{gs}$  条件における  $C_{gd}$  vs.  $V_{ds}$  特性の測定結果から抽出が可能である.

## 7. $V_{ds} = 0$ での非対称性

モデルの対称性は MOSFET キャパシタンスモデルに望まれる特徴である. その理由は, 実際の MOSFET が対称であり, 同時に収束性を改善するかもしれないからである. 対称性を考慮すると, いくつかのキャパシタンスは  $V_{ds} = 0$  で等しくなければいけない. 例えば,  $C_{gd}$  と  $C_{gs}$ ,  $C_{dd}$  と  $C_{ss}$ ,  $C_{hd}$  と  $C_{hs}$  である. しかしながらこのような対称性は, BSIM3v3 のキャパシタンスモデルでは成立していない.  $C_{hd}$  と  $C_{hs}$ ,  $C_{dd}$  と  $C_{ss}$  といったトランスキャパシタンスは  $V_{ds} = 0$  で非対称を示し, これを図 5.6.1 に示す. これは明らかに非物理的で,  $V_{ds} = 0$ , およびその近辺の電圧でシミュレーション誤差をもたす可能性がある.

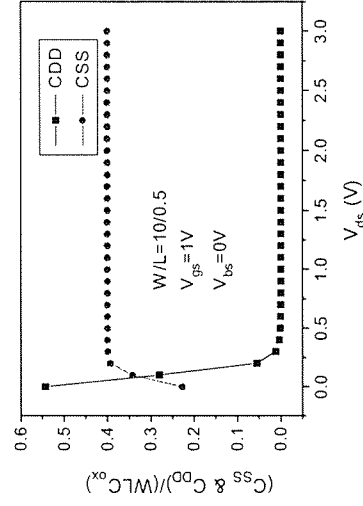


図 5.6.1(a)  $V_{ds}$  の関数として  $C_{ss}$ ,  $C_{dd}$  のシミュレーション.  $V_{ds} = 0$  で  $C_{ss} \neq C_{dd}$  であり非対称性の存在を示している.

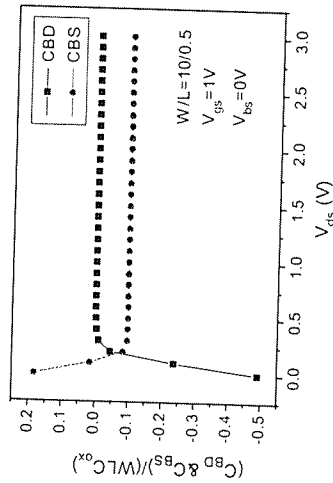


図 5.6.1(b)  $V_{ds}$  の関数として  $C_{BD}$  と  $C_{BS}$  のシミュレーション  $V_{ds}=0$  で  $C_{BD} \neq C_{BS}$

この問題は、基板バイアス依存性の全てを式中で ( $V_{bd}$  を全く使わず)  $V_{th}$  項によりモデル化していることに起因する。この問題が明らかになっているので、ユーザはモデルの限界を知っている必要がある。

## 8. C-V モデルパラメータ

BSIM3v3 C-V モデルパラメータを表 5.6.2 に示す。

表 5.6.2 C-V モデルパラメータ

モデル式中 シンボル	ソースコード シンボル	内容	デフォルト値	単位
$capMod$	$capmod$	キャパシタンスモデルセクター	3	なし
$X_{PART}$	$xpart$	電荷分割パラメータ	0	なし
$C_{GSO}$	$cgso$	チャネル長当たりの非 LDD 領域ソース・ゲートオーバーラップキャパシタンス	計算される	F/m
$C_{GDO}$	$cgdo$	チャネル長当たりの非 LDD 領域ドレイン・ゲートオーバーラップキャパシタンス	計算される	F/m
$C_{GBO}$	$cgbo$	チャネル長当たりのゲート・基板オーバーラップキャパシタンス	0.0	F/m
$C_{GSL}$	$cgsl$	低濃度ソース・ゲートオーバーラップキャパシタンス	0.0	F/m

表 5.6.2 C-V モデルパラメータ (つづき)

モデル式中 シンボル	ソースコード シンボル	内容	デフォルト値	単位
$C_{GDL}$	$cgdl$	低濃度ドレイン・ゲートオーバーラップキャパシタンス	0.0	F/m
$C_{KAPP1}$	$ckappa$	低濃度領域オーバーラップキャパシタンス係数	0.6	F/m
$C_F$	$cf$	フリンジ電界キャパシタンス	計算される	F/m
$C_{LC}$	$clc$	短チャネルモデル用定数	$1.0 \times 10^{-7}$	m
$C_{LE}$	$cle$	短チャネルモデル用指数項	0.6	なし
$D_{LC}$	$dlc$	チャネル長オフセットフィッティングパラメータ	lint	m
$D_{WC}$	$dwc$	チャネル幅オフセットフィッティングパラメータ	wint	m
$V_{FBCV}$	$vfcv$	フラットバンド電圧パラメータ ( $capMod=0$ のみ)	-1	V
$N_{OFF}$	$noff$	$V_{gs,off,cv}$ 用 C-V パラメータ	1.0	なし
$V_{OFFCV}$	$voffcv$	C-V モデルにおける弱反転から強反転での $V_{th}$ オフセット電圧パラメータ	0.0	V
$ACDE$	$acde$	蓄積と空乏領域における電荷層厚み指数係数	1.0	m/V
$M_{OIN}$	$moin$	ゲートバイアス依存表面電位係数	15.0	V <sup>1/2</sup>
$L_{LC}$	$llc$	C-V モデルにおけるチャネル長オフセットのチャネル長依存係数	$L_L$	m <sup>1/LN</sup>
$L_{WC}$	$lwc$	C-V モデルにおけるチャネル長オフセットのチャネル幅依存係数	$L_W$	m <sup>1/WN</sup>
$L_{WLC}$	$lwc$	C-V モデルにおけるチャネル長・幅依存係数	$L_{WL}$	m <sup>1/WN+1/LN</sup>
$W_{LC}$	$wlc$	C-V モデルにおけるチャネル幅オフセットのチャネル長依存係数	$W_L$	m <sup>1/WN</sup>
$W_{WC}$	$wwc$	C-V モデルにおけるチャネル幅オフセットのチャネル幅依存係数	$W_W$	m <sup>1/WN</sup>
$W_{WLC}$	$wwlc$	C-V モデルにおけるチャネル長・幅依存係数	$W_{WL}$	m <sup>1/WN+1/WN</sup>