

ボンディングワイヤによる影響と 次段接続のための検討

明治大学 M2 大塚 雄太

積和演算回路

ギルバートセル回路を複数並列に接続することで積和演算回路を構成する。

表1 試作した2入力積和演算回路

ギルバートセル		バッファ	
V_{DD}	1 V	V_{BUFF}	0.34 V
R	$205\ \Omega$	M_{BUFF1}	$\frac{W}{L} = \frac{34.72\ \mu\text{m}}{180\ \text{nm}}$
V_{CTR}	0.8 V	M_{BUFF2}	$\frac{W}{L} = \frac{70.2\ \mu\text{m}}{180\ \text{nm}}$
$V_{ctr1\pm}, V_{ctr2\pm}$	-0.1~0.1 V	M_{BUFF3}	$\frac{W}{L} = \frac{140.4\ \mu\text{m}}{180\ \text{nm}}$
V_{IN}	0.6 V		
$V_{in1\pm}, V_{in2\pm}$	-0.1~0.1 V		
V_{MUL}	0.45 V		
$M_{A1\sim4}$	$\frac{W_A}{L_A} = \frac{9.6\ \mu\text{m}}{65\ \text{nm}}$		
$M_{B1,2}$	$\frac{W_B}{L_B} = \frac{19.2\ \mu\text{m}}{65\ \text{nm}}$		
M_{C1}	$\frac{W_C}{L_C} = \frac{38.4\ \mu\text{m}}{65\ \text{nm}}$		

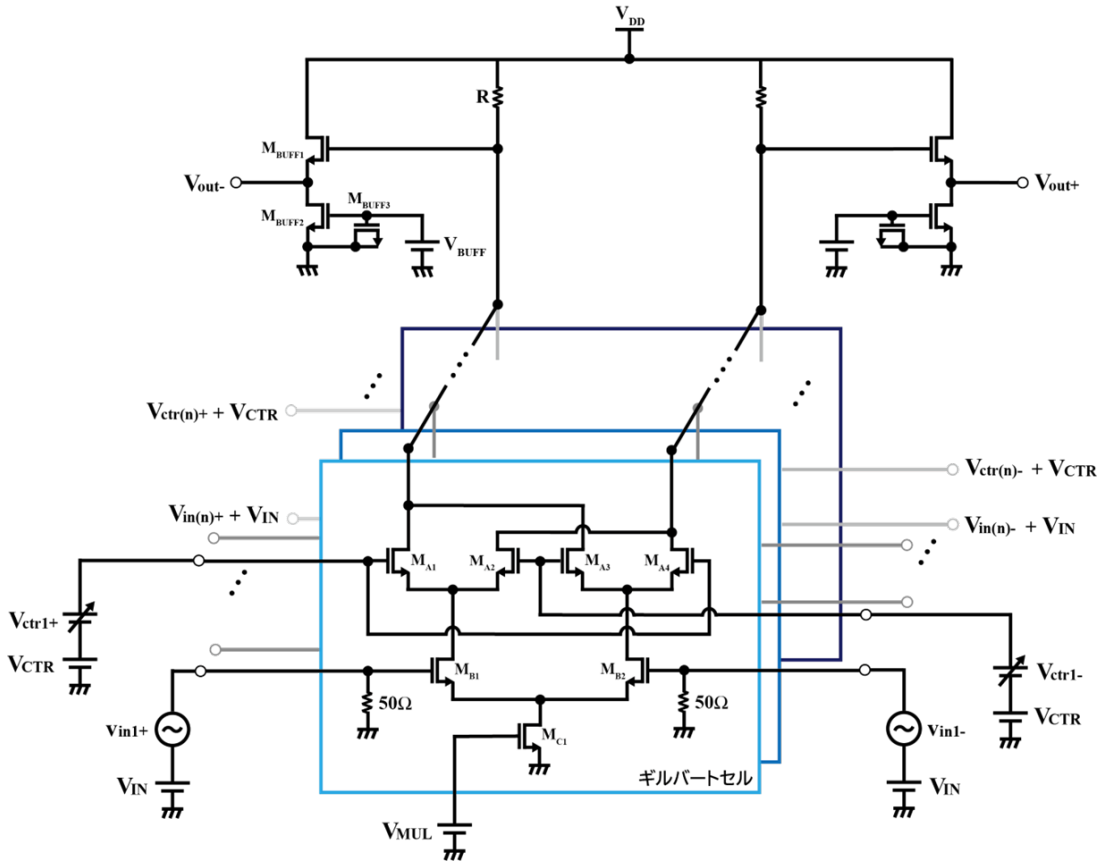


図1 積和演算回路

2入力積和演算回路

試作したPCB、シミュレーションを行った。

ギルバートセル	
V_{DD}	1 V
R	205 Ω
V_{CTR}	0.8 V
$V_{ctr1\pm}, V_{ctr2\pm}$	-0.1~0.1 V
V_{IN}	0.6 V
$V_{in1\pm}, V_{in2\pm}$	-0.1~0.1 V
V_{MUL}	0.45 V
$M_{A1\sim4}$	$\frac{W_A}{L_A} = \frac{9.6 \text{ } \mu\text{m}}{65 \text{ nm}}$
$M_{B1,2}$	$\frac{W_B}{L_B} = \frac{19.2 \text{ } \mu\text{m}}{65 \text{ nm}}$
M_{C1}	$\frac{W_C}{L_C} = \frac{38.4 \text{ } \mu\text{m}}{65 \text{ nm}}$

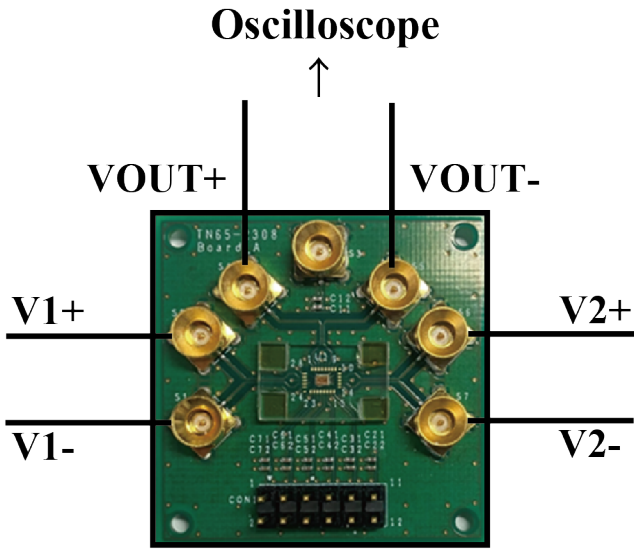


図2 PCB

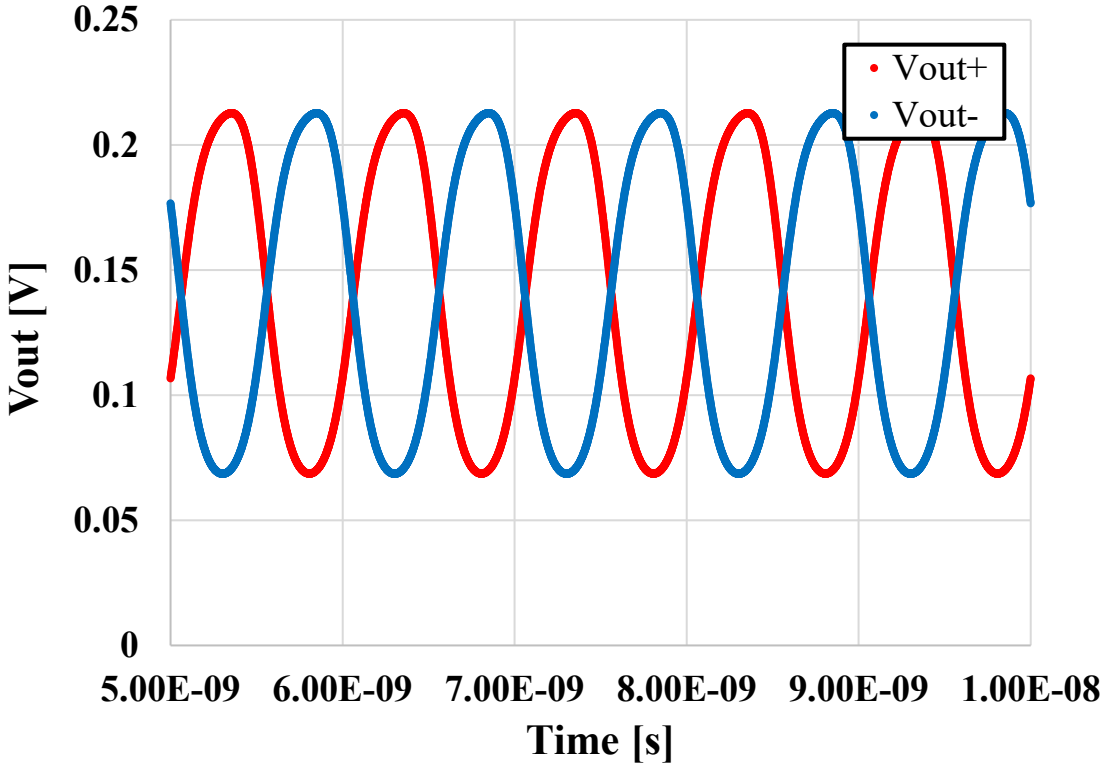


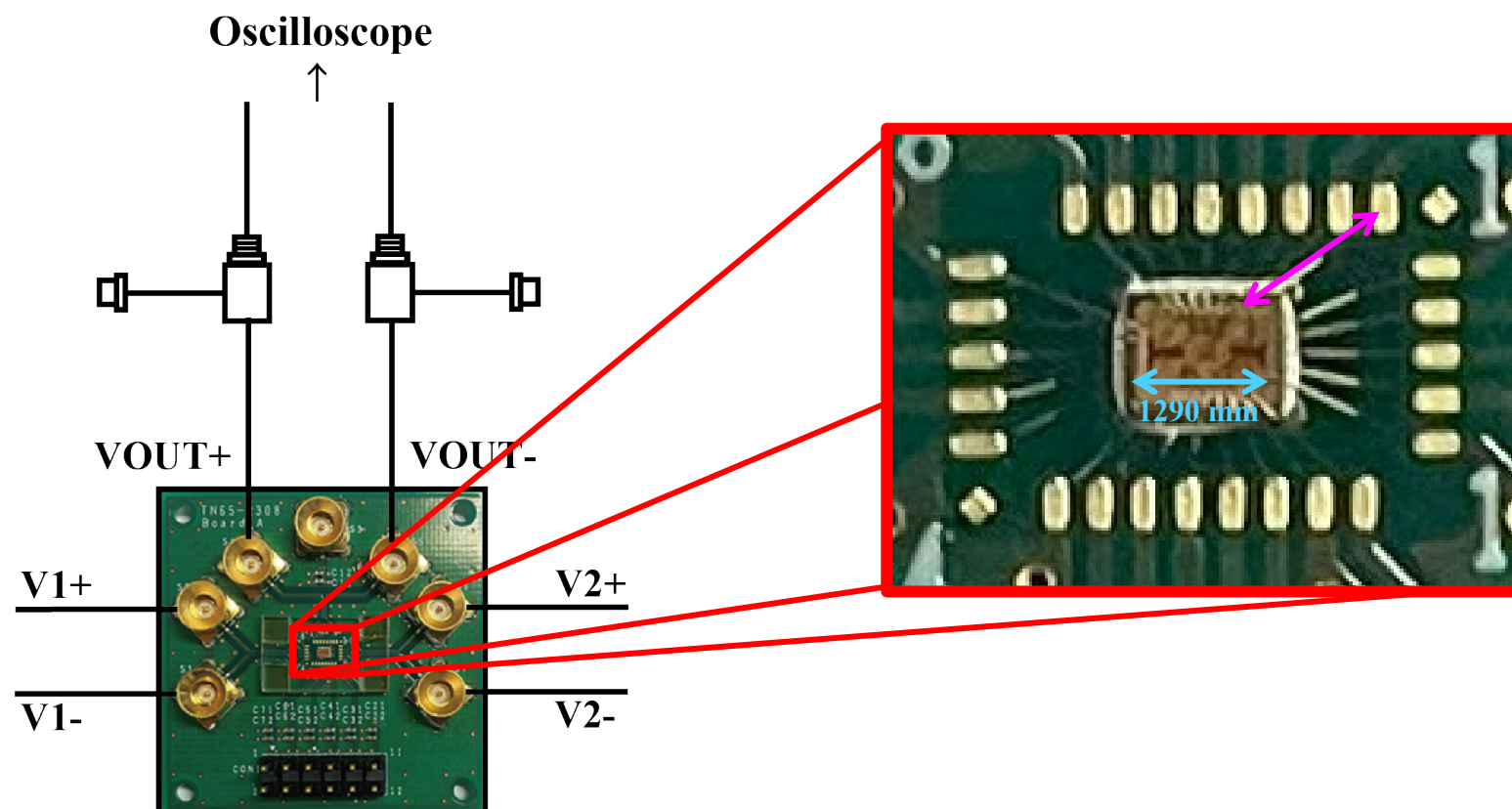
図3 シミュレーション結果

2入力積和演算回路

試作したPCB、シミュレーションを行った。

ボンディングワイヤのインダクタンス: 1 nH/mm

試作PCBのボンディングワイヤの最長: 約2 mm → $L = 0, 1, 2$ nHの3パターンでシミュレーションを行う。



2入力積和演算回路

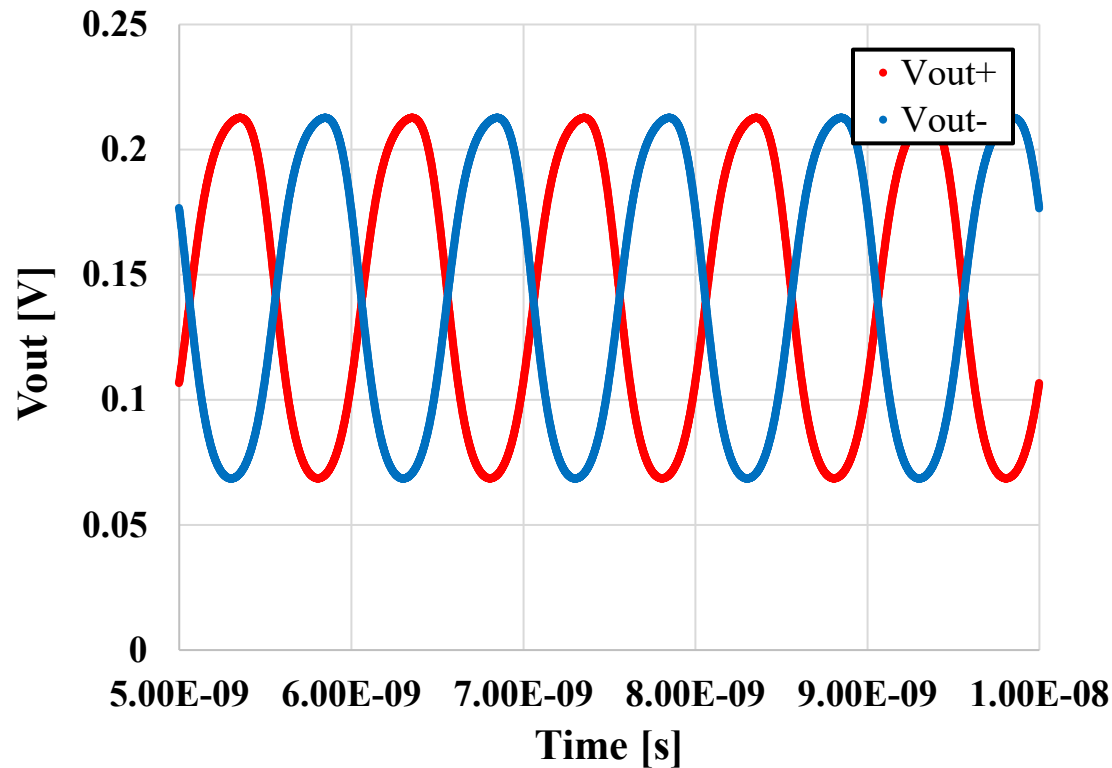


図3 シミュレーション結果

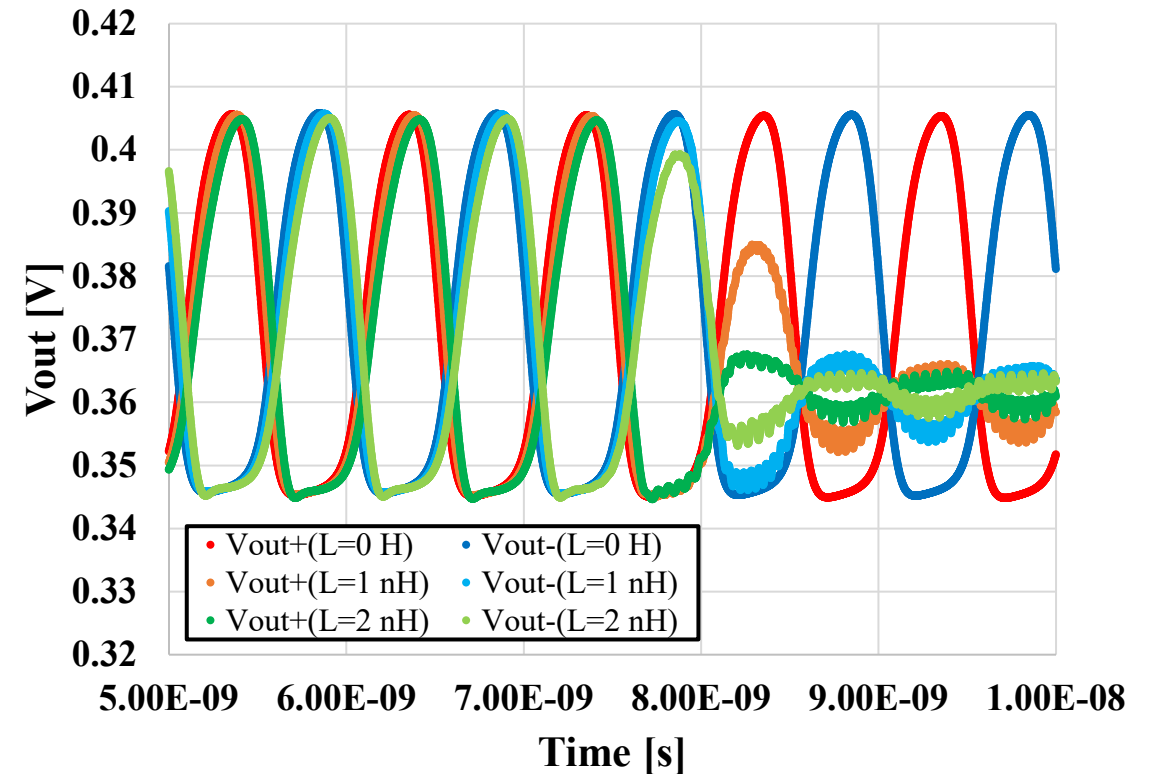


図4 シミュレーション結果 (BiasTee通過前)

- ・BiasTeeを挟むことによる直流電圧の変化→動作領域に問題あり？
- ・インダクタによる波形の乱れ

2入力積和演算回路

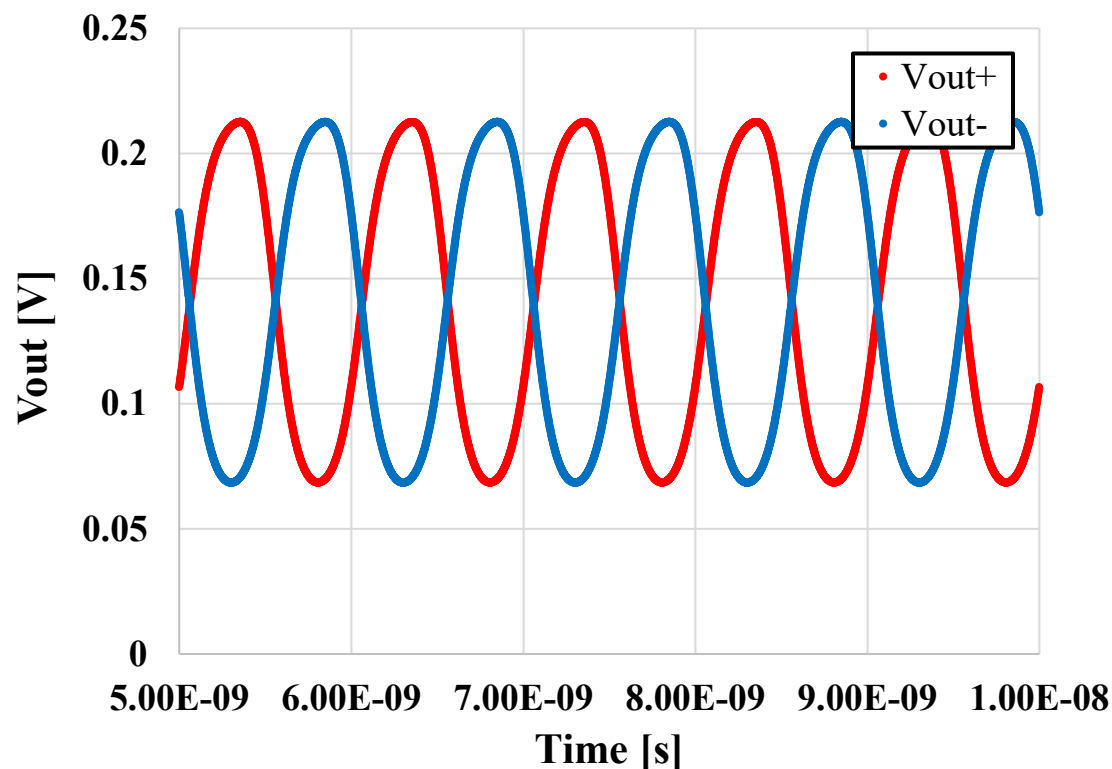


図3 シミュレーション結果

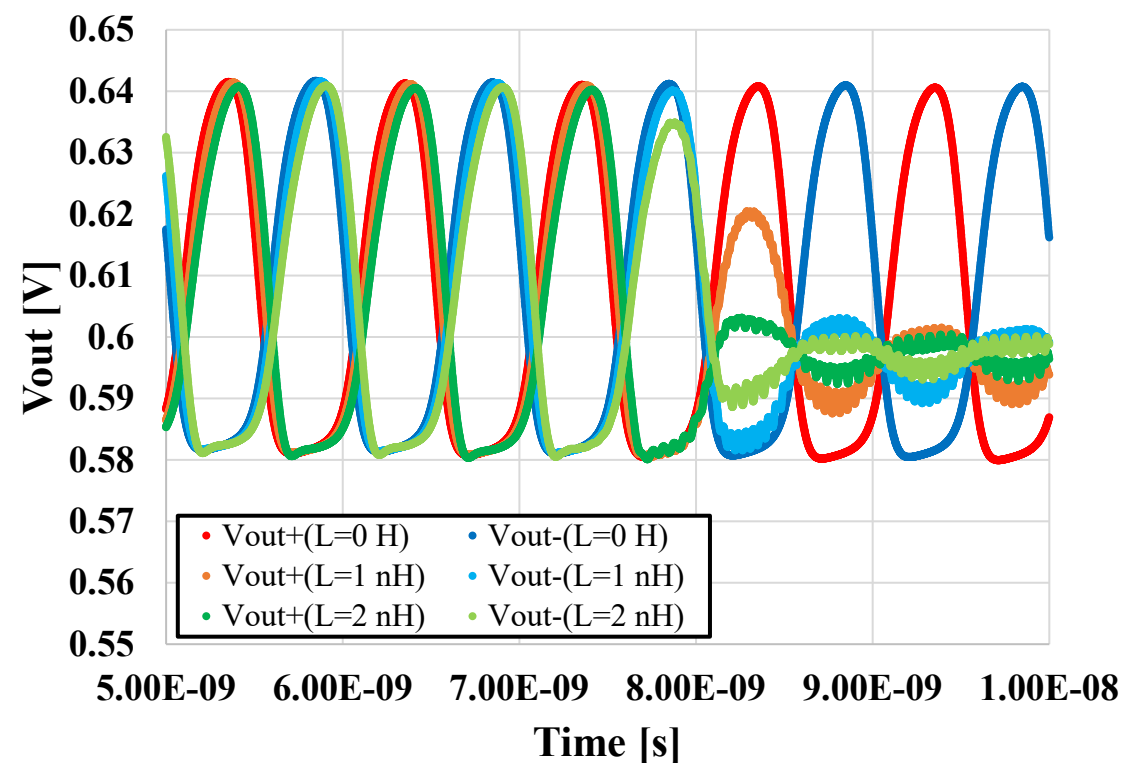


図4 シミュレーション結果 (BiasTee通過後)

- ・BiasTeeを挟むことによる直流電圧の変化→動作領域に問題あり？
- ・インダクタによる波形の乱れ