

あらまし 前回 NMOS を使用した折り返し型のギルバート乗算回路 (以下折り返し型と呼ぶ) の信号振幅が従来型に比べて広く取ることができること、小信号等価解析上では二つの入力積に比例した出力を得られることが分かった。前回はカレントミラーのサイズを揃えていたが、今回はより柔軟な設計・利得のためにサイズを揃えない場合の小信号等価解析を行い、乗算が可能であることを示した。その後ギルバート乗算回路の素子値を決め、バッファ回路設計し回路単体、および実際に測定する時に近い条件でシミュレーションを行い性能を評価した。

接点 B において KCL を用いると

$$\begin{aligned}
 g_{mB} \cdot (-v_{in}) + g_{dB}v_{BD} + g_{dMB}v_{BD} + g_{mMB}v_{BD} &= 0 \\
 v_{BD} &= \frac{g_{mB}}{g_{mMB} + g_{dMA} + g_{dMB}} v_{in} \\
 &\approx \frac{g_{mB}}{g_{mMB}} v_{in} \quad (1)
 \end{aligned}$$

である。次に接点 A について KCL と、式 (1) を用いると

$$\begin{aligned}
 g_{mMA}v_{BD} + g_{dMA}v_{AS} &= (g_{mA} - \Delta g_m)v_{AS} \\
 &\quad + g_{dA}(\Delta v - v_{AS}) \\
 &\quad + (g_{mA} + \Delta g_m)v_{AS} \\
 &\quad + g_{dA}(-\Delta v - v_{AS}) \\
 v_{AS} &= \frac{g_{mMA}}{2g_{mA} - 2g_{dA} - g_{dMA}} v_{AS} \\
 &\approx \frac{g_{mMA}}{g_{mMB}} \cdot \frac{g_{mB}}{g_{mA}} v_{in} \quad (2)
 \end{aligned}$$

と表せる。さらに、接点 O について KCL と式 (2) を用いると

$$i_{outp} = i_{A1} + i_{A3} \quad (3)$$

であるが、差動半回路の性質により $i_{A3} = -i_{A2}$ となるので

$$i_{outp} = i_{A1} - i_{A2} \quad (4)$$

となる。ここで、出力電圧 Δv は KVL と、式 (4) より

$$\begin{aligned}
 -\Delta v &= R_L i_{outp} \\
 &= R_L \cdot (-2\Delta g_m v_{AS} + 2\Delta v g_{dA}) \\
 \Delta v &= \frac{2R_L \Delta g_m}{1 + 2R_L g_{dA}} v_{AS} \quad (5)
 \end{aligned}$$

と計算できる。出力電圧を v_{out} とすると、式 (2)、(5)、と定数 K_A を用いて $\Delta g_m = 2K_A V_{CTRL}$ と表せることを勘案すると

$$\Delta v = \frac{4K_A R_L \Delta g_m}{1 + 2R_L g_{dA}} \cdot \frac{g_{mMA}}{g_{mMB}} \cdot \frac{g_{mB}}{g_{mA}} \cdot V_{CTRL} \cdot v_{in} \quad (6)$$

と求められた。ここで、カレントミラーのサイズが等しいとすると $g_{mMA} = g_{mMB}$ となるので以前求めた利得と同様の結果になることが確かめられた。

3. 素子値の設計

今回、出力振幅を大きくするために NMOS にはトリプルウェルを用いて、バルクの電位を各 NMOS のソース電位に合わせることにした。図 4 に示す回路において $V_{ds} = 1.8 \text{ V}$ とし、 v_{in} を 0 V から 1.8 V まで掃引した時のドレイン電流を図 4 に示す。さらに、図 5 には $v_{in} = 0.8 \text{ V}$ から $v_{in} = 1 \text{ V}$ での最小二乗法による近似直線とその x 切片を示す。ただし、トランジスタはゲート長を $0.18 \mu\text{m}$ 、ゲート幅を $0.44 \mu\text{m}$ 、並列数を 16 とした。

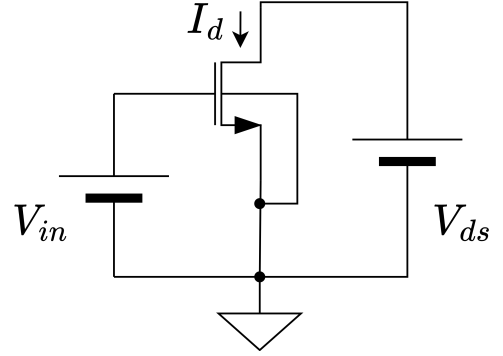


図 4 DC 解析を行った回路

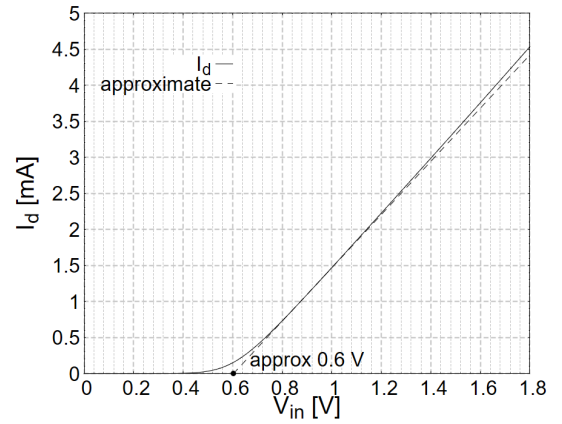


図 5 差動半回路の小信号等価回路

この結果から、このサイズのトランジスタのしきい値電圧はおよそ 0.6 V と推定することができた。 M_A には後述する整合の影響を受け $\pm 0.1 \text{ V}$ の信号が入る。図 5 では 0.7 V 付近から線形に電流が増加していたので、ゲートソース間電圧を 0.8 V 付近で利用することとした。また、 M_A のソース電位は 0.3 V とした。この時ゲートのバイアス電圧 V_{lbias} は 1.1 V と決まる。さらに、飽和領域で使用するためゲート電位はドレイン電位よりもしきい値電圧分大きくなればよい。今回は少し余裕を持たせ、ドレイン電位は 0.7 V とした。さらに M_B についても M_A と同様 $V_{AS} = 0.3 \text{ V}$ とすると $V_{rbias} = 1.1 \text{ V}$ とした。