

# Rohm180nmプロセス 2入力積和演算回路 の動作確認

2023年4月12日 野々村

# 背景

- 春休み中、設計プロセスをTSMC65nm→Rohm180nmとし、評価回数を増やすこととなった。
- 今回はプロセス変更後の設計について、検討していく。

# まとめ

- 180nmのプロセスにおける設計を改めて行った。
- 評価(『.OP』,DC解析,AC解析)
- 周波数特性を見ると、位相遅れ $10^\circ$  となるのが約1GHz  
→今後バッファ含めた回路改善の検討を行っていく。
- 2入力積和演算回路について行った。

# 180nmでの設計について

- 電流値は65nmと同様、tail電流1mAにて設計。
- MOSトランジスタの閾電圧 $V_{th}$ の検討後、 $V_{th} \leq 500V < V_{GS}$ と判断した。

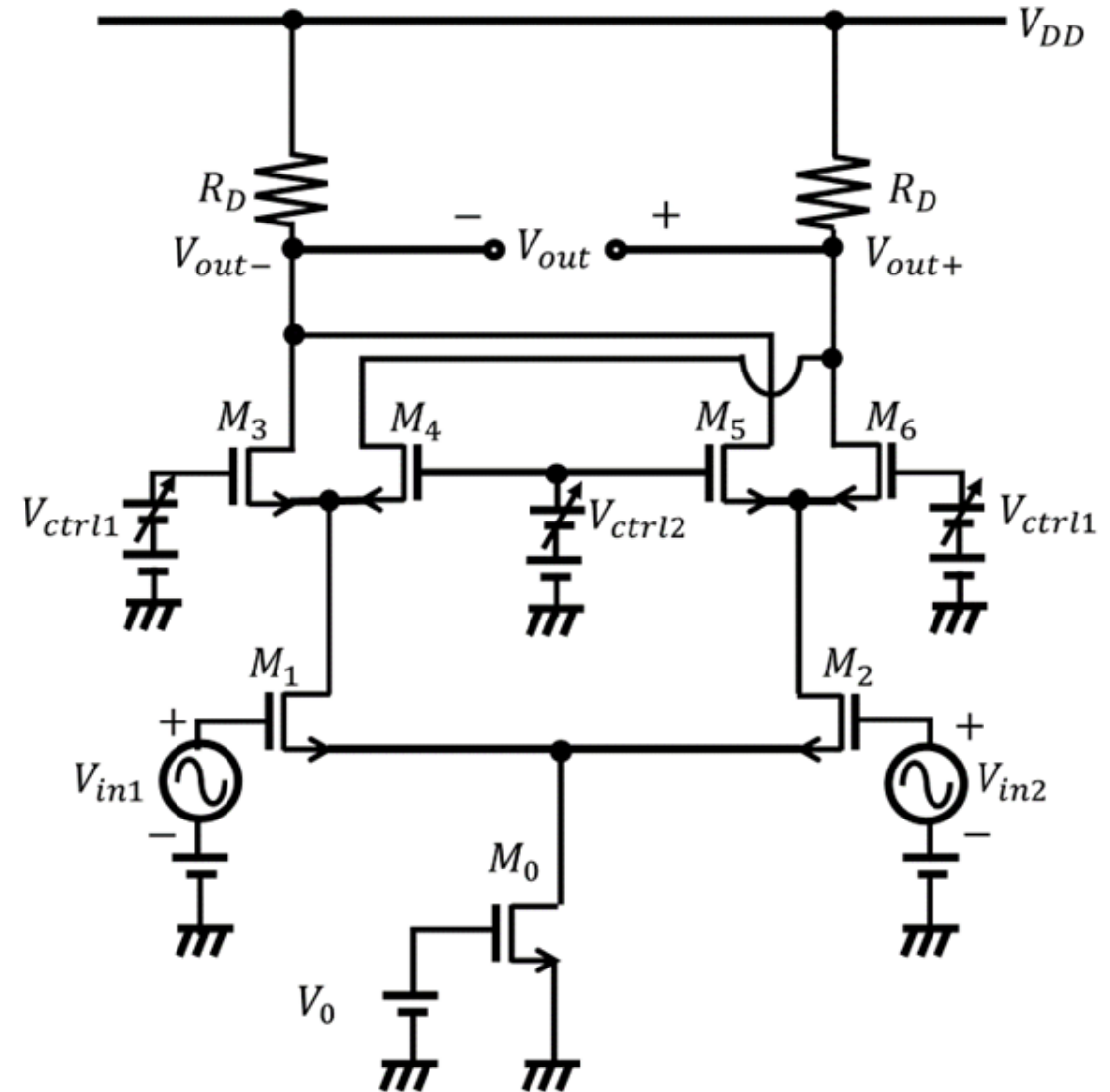
$$\rightarrow M_0 \text{ の } V_{GS} = V_0 = 600V$$

- 閾電圧 $V_{th}$ について、ある程度チャネル幅 $W$ が大きくないと $V_{th}$ がばらつくことが確認できた。(チャネル幅の素子バラツキを考慮すると望ましくない。)

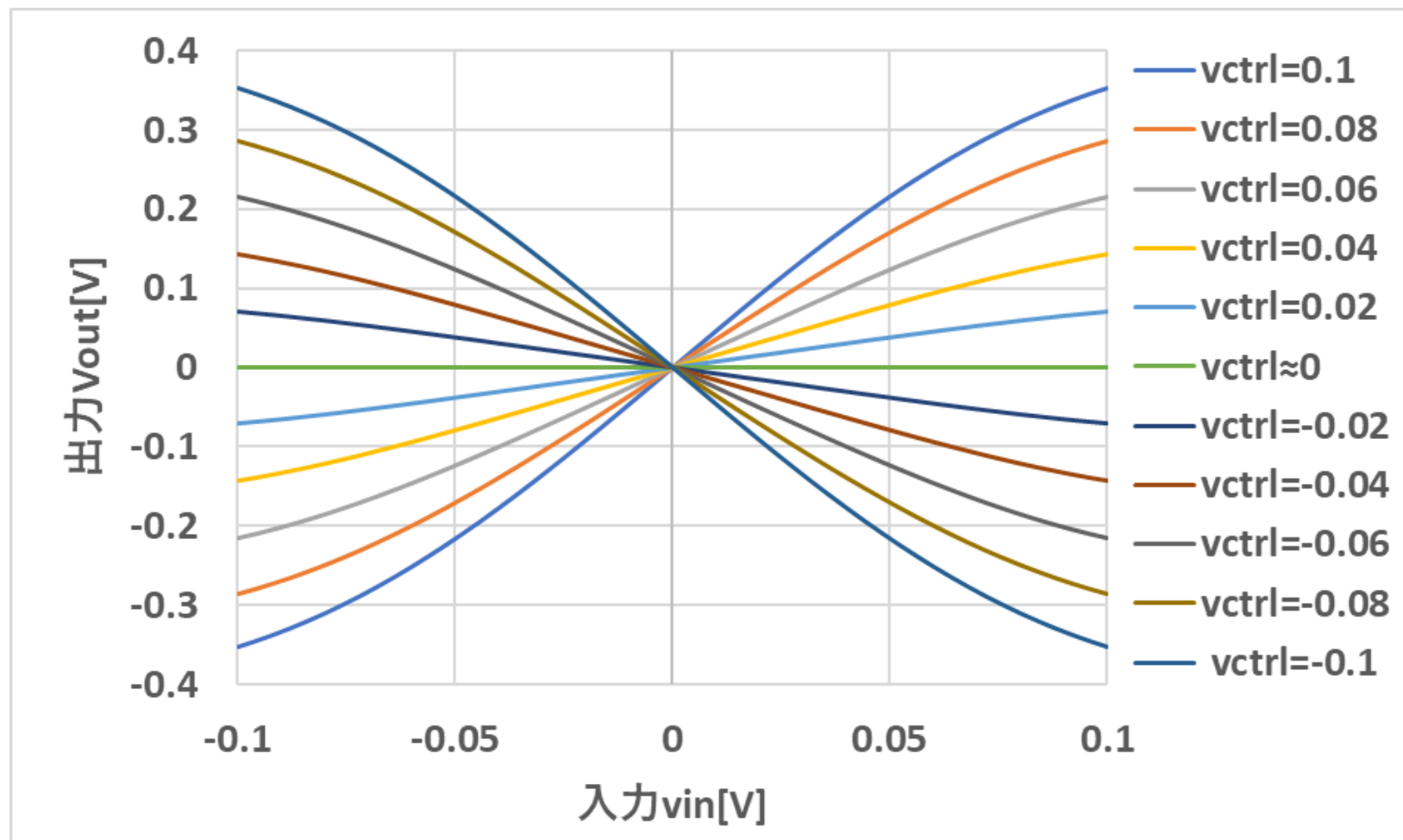
→トランジスタサイズは $10\mu m \leq W$ を意識した。

# 設計回路

名称	値
$V_0$	1.8V
$V_{CTRL}$	1.5V
$v_{ctrl}(v_{ctrl2} = -v_{ctrl1})$	-0.1~0.1
$V_{IN}$	1.0V
$v_{in}(v_{in2} = -v_{in1})$	-0.1~0.1
$V_0$	0.6V
$R_D$	600Ω
$M_{up}(M_{3,4,5,6})$	$W/L = 12.5\mu\text{m}/0.18\mu\text{m}$
$M_{mid}(M_{1,2})$	$W/L = 25.0\mu\text{m}/0.18\mu\text{m}$
$M_{down}(M_0)$	$W/L = 50.0\mu\text{m}/0.18\mu\text{m}$
同相モードでの $I_{DM_0}$	1mA

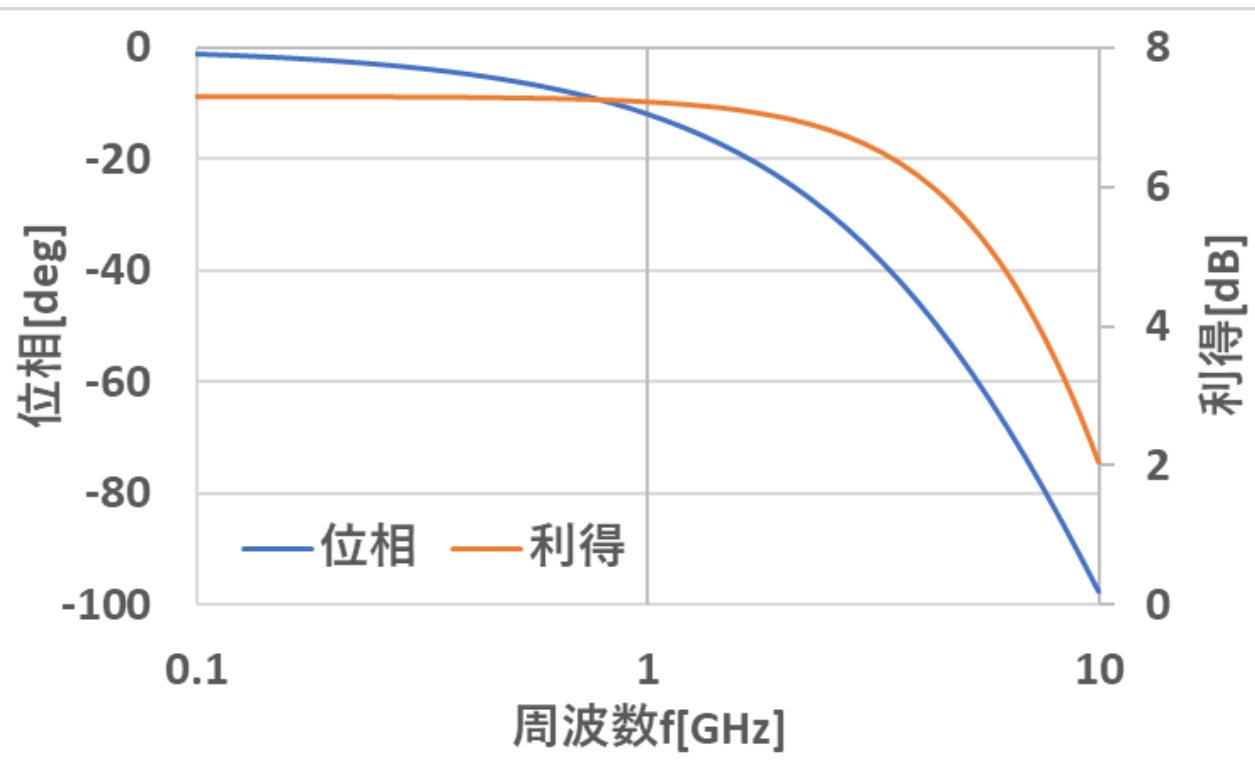


# 直流解析(1入力)



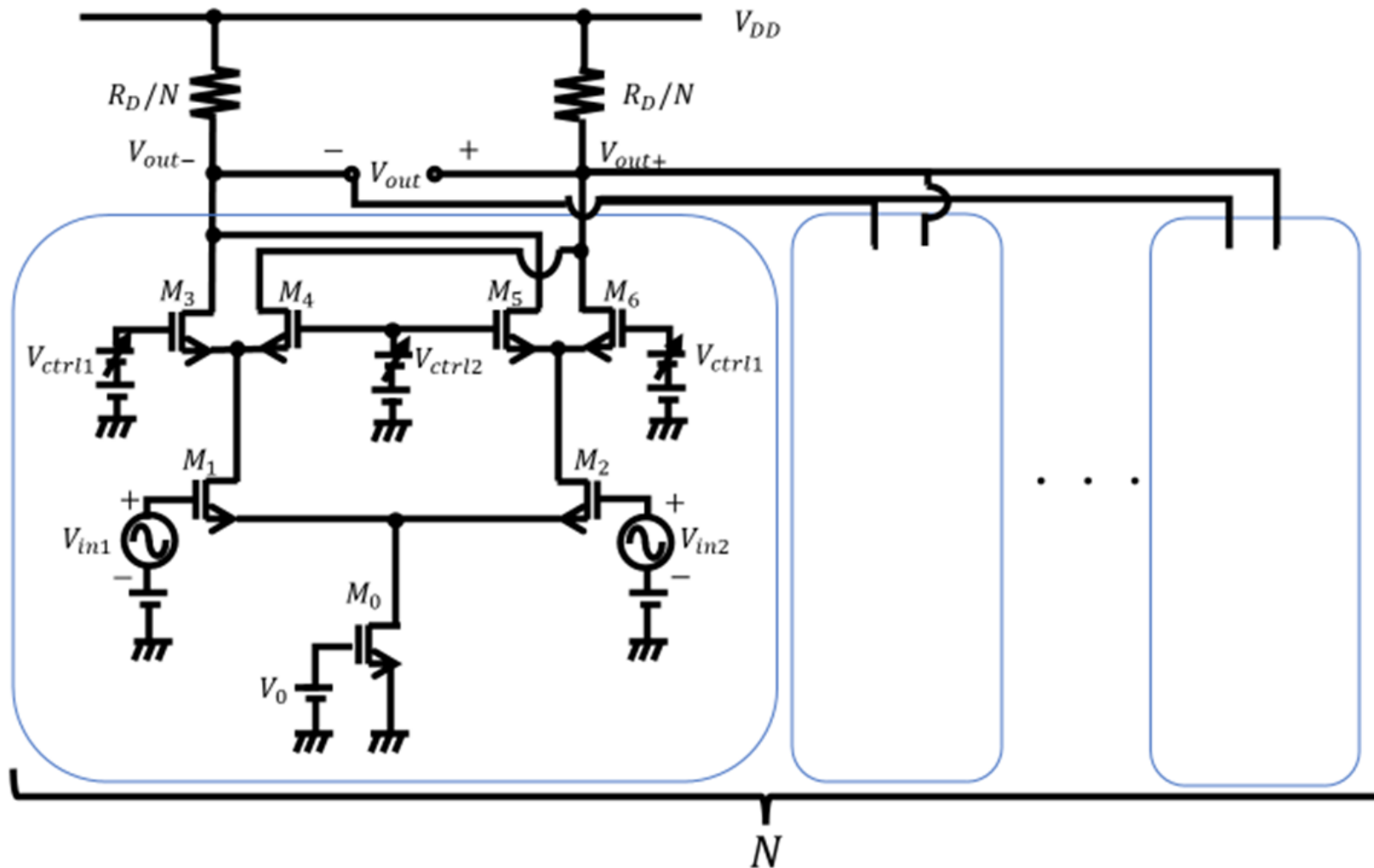
- 65nm設計時同様、グラフの両端には非線形性が確認できる。

# 周波数解析1入力



- 位相 $10^\circ$  遅れは約0.9GHz。  
バッファ設計を含め、回路の改善を目指す。
- 改善案として現在アクティブインダクタについて検討中(原理検討)

# 他入力時の回路

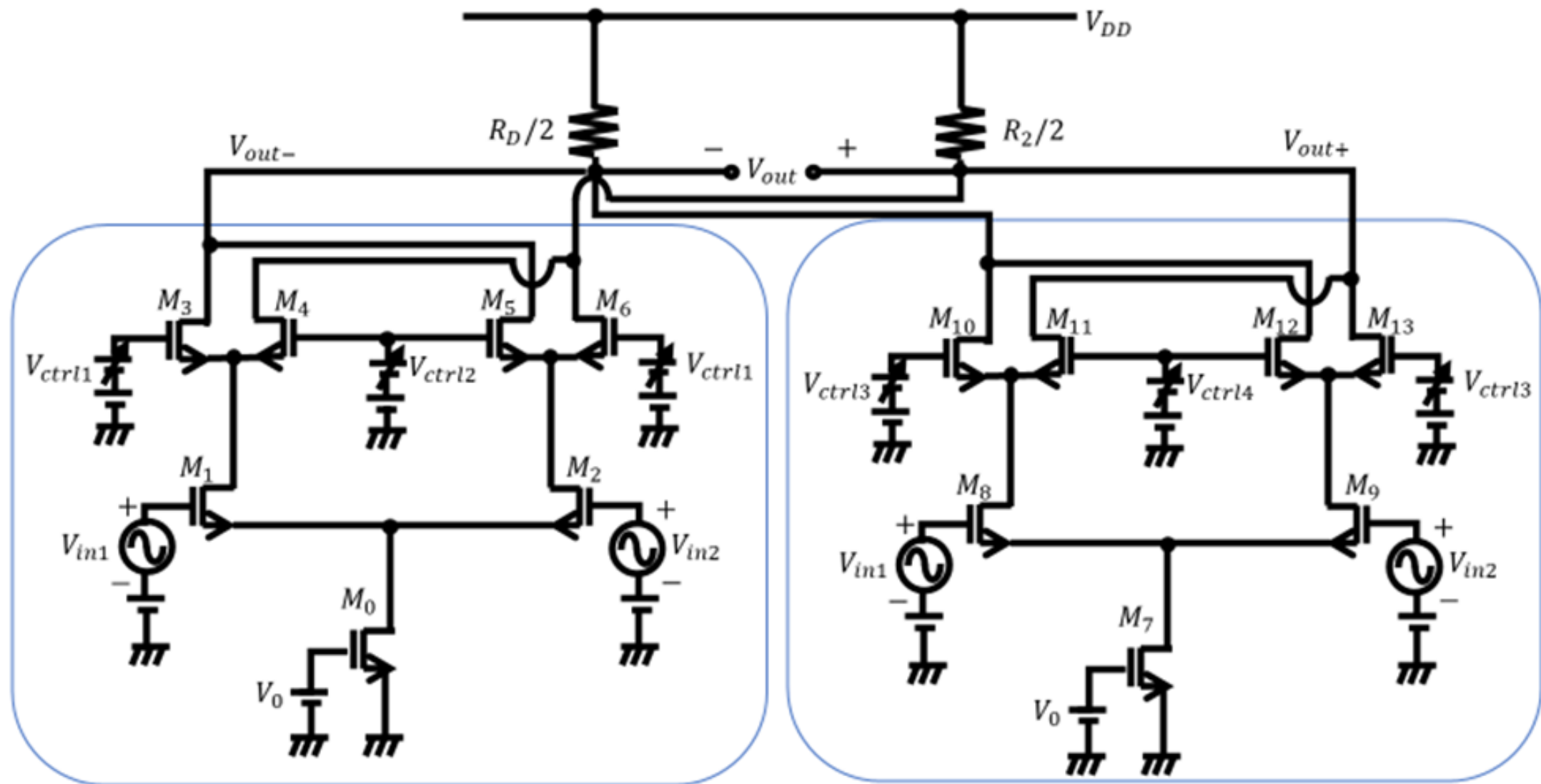


ただし、 $v_{ctrl}$ のみタップ毎に異なる電圧となる。

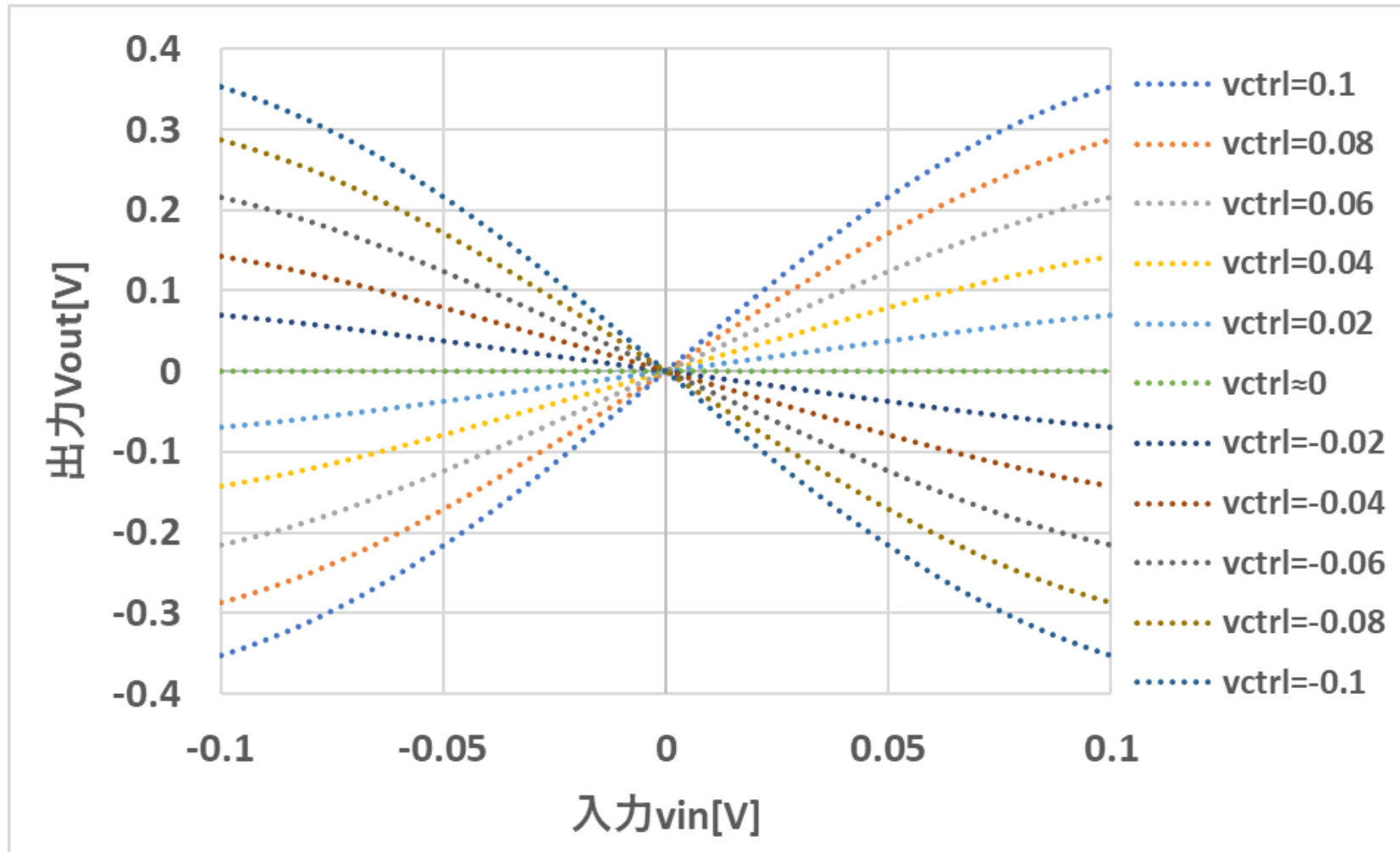
- $v_{ctrl(2N-1)} = -v_{ctrl(2N)}$ の関係は維持



## 2入力時の回路

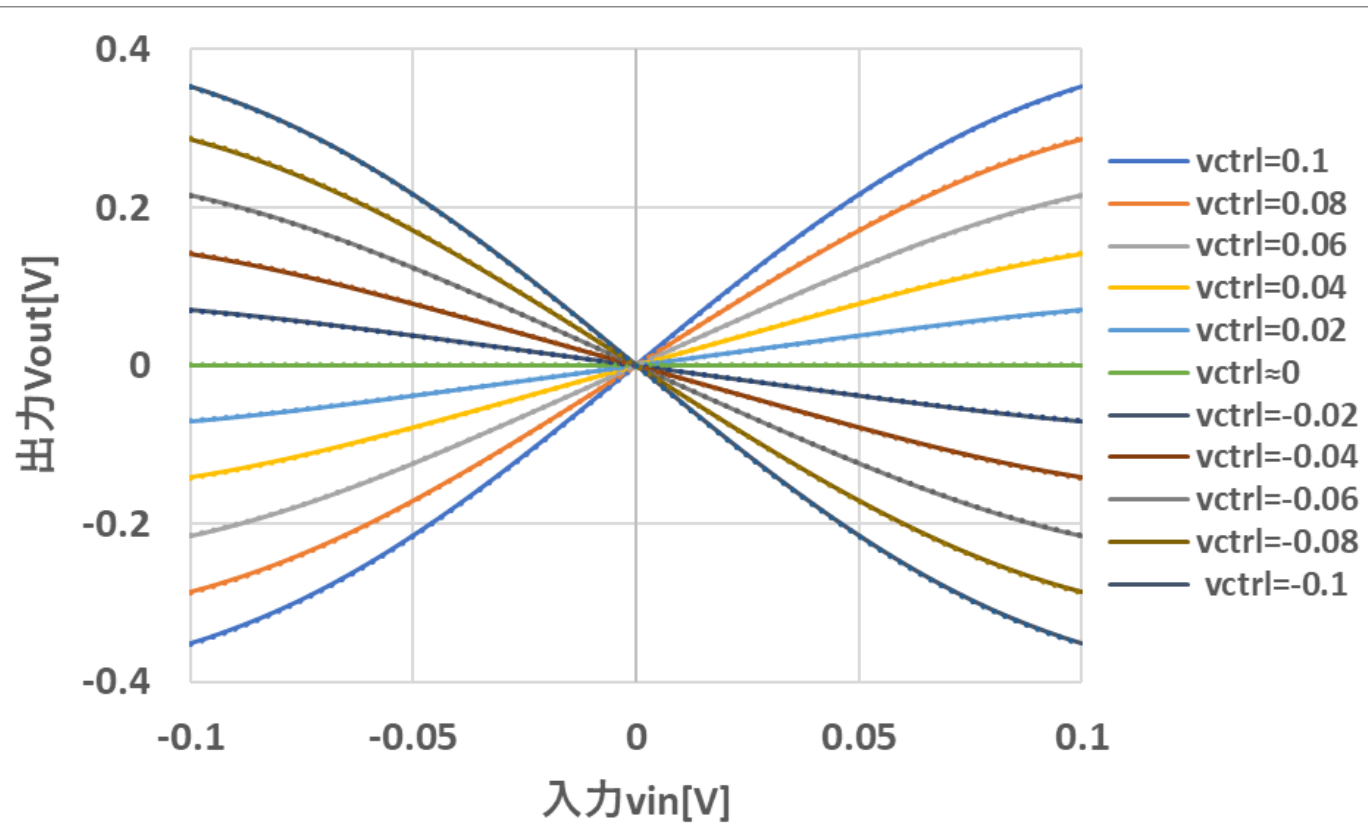


2入力時 制御電圧 $v_{ctrl}$ 同一時( $v_{ctrl1} = v_{ctrl3}$ )



入出力特性 $v_{ctrl1} = v_{ctrl3} = v_{ctrl}$

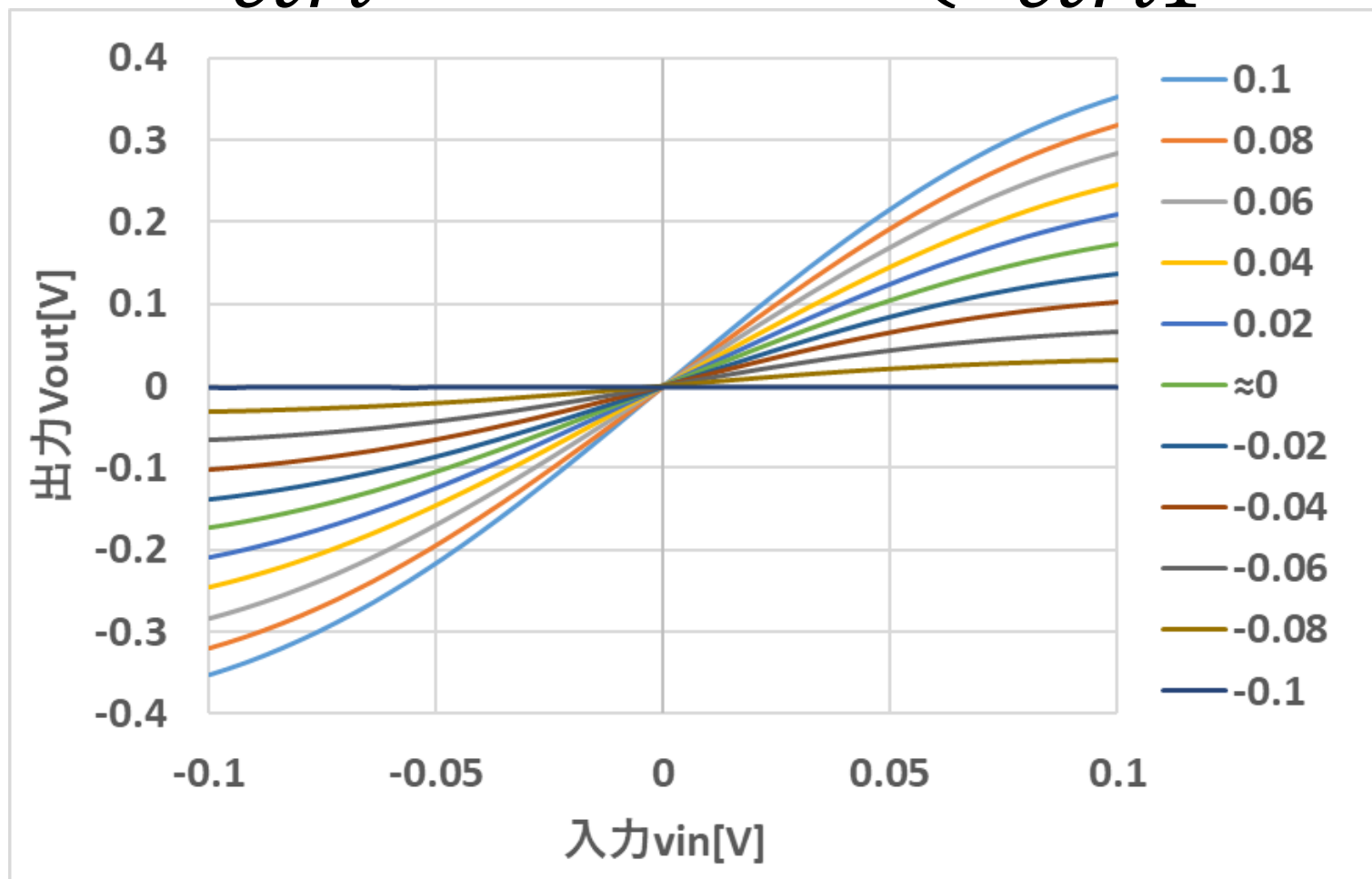
# 2入力,1入力時の比較 制御電圧 $v_{ctrl}$ 同一時



- 右図は2種類の曲線を合わせたもの。
- 値はほとんど一致していた。  
→ 誤差率を求めたところ、誤差率が最大でも  $\square \times 10^{-12}\%$  というレベルで一致

2入力時

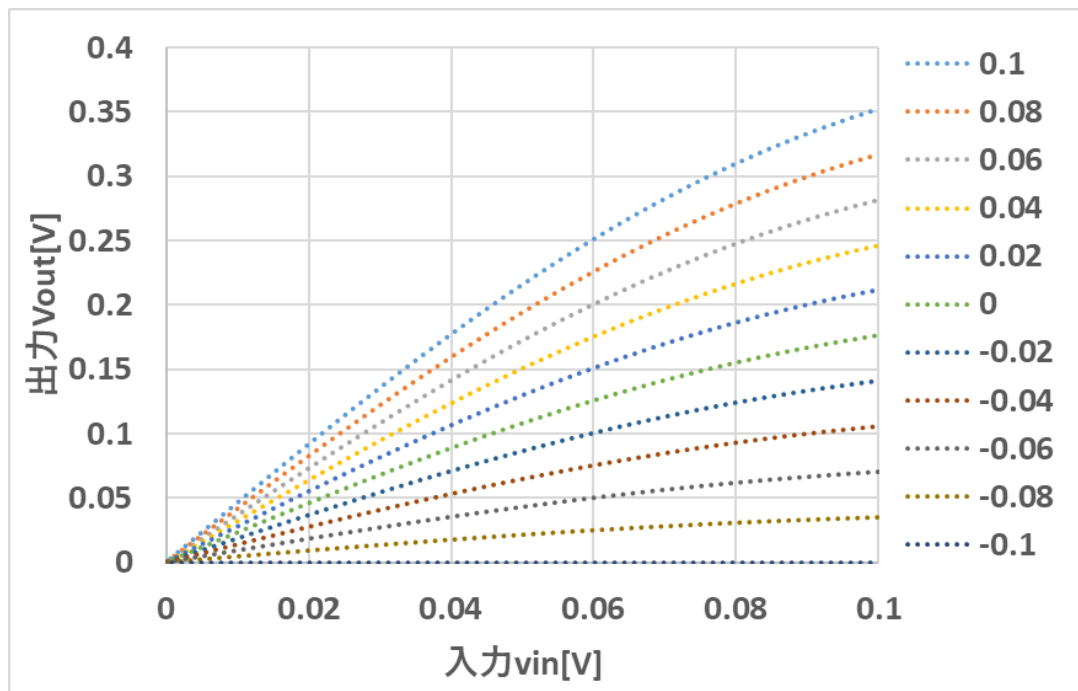
制御電圧 $v_{ctrl}$ 異なるとき ( $v_{ctrl1} \neq v_{ctrl3}$ )



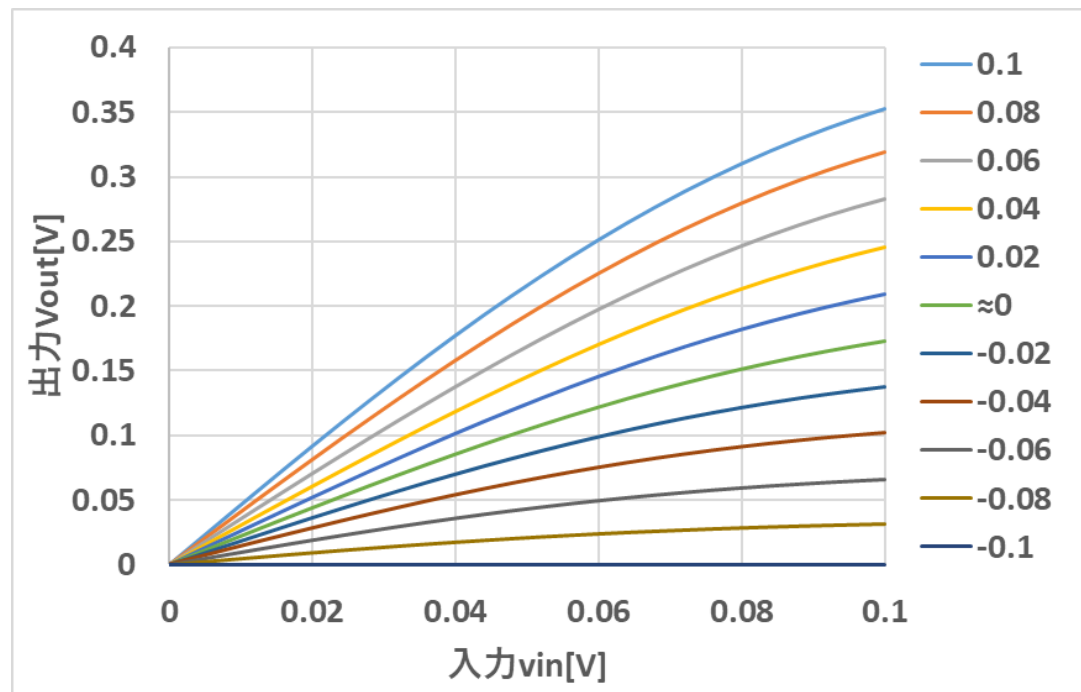
入出力特性  $v_{ctrl1} = 100\text{mV}$

# 2入力時 制御電圧 $v_{ctrl}$ 異なるとき ( $v_{ctrl1} \neq v_{ctrl3}$ )

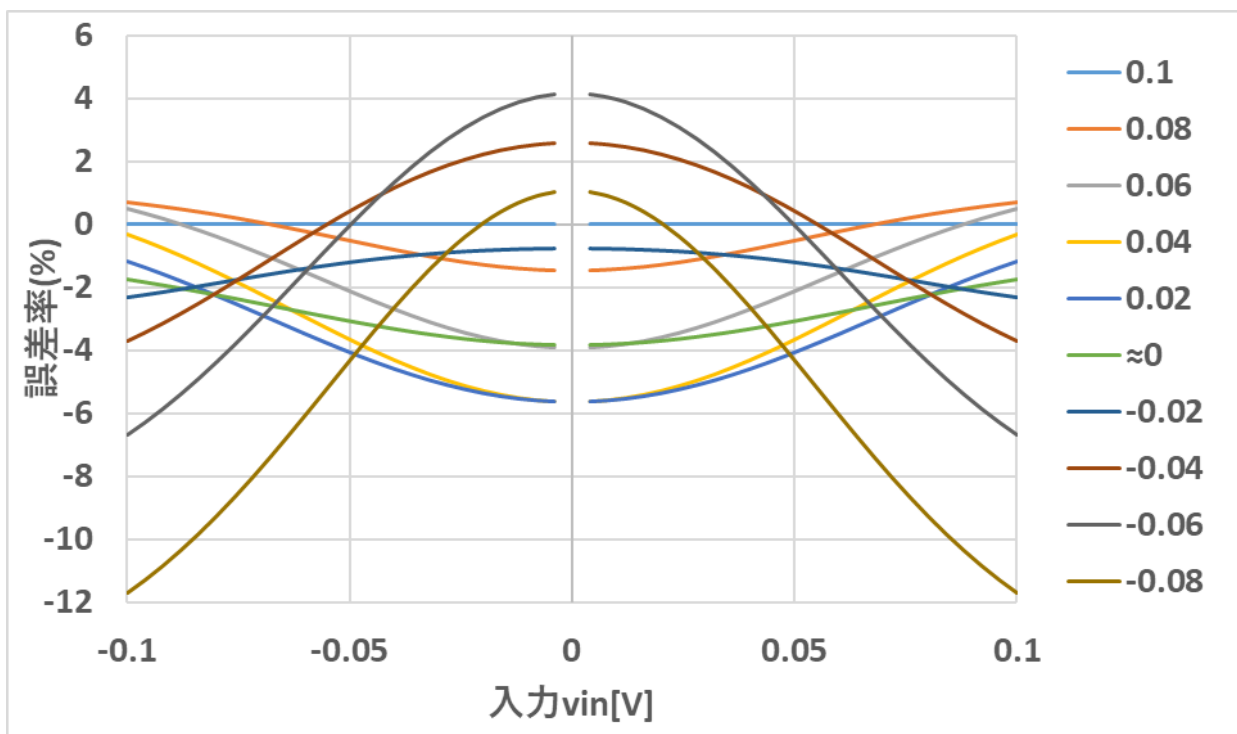
## 理論値



## シミュレーション



# 誤差率の導出



- 誤差率について、  
(誤差率)  
$$= \frac{\text{シミュレーション値} - \text{理論値}}{\text{理論値}} \times 100(\%)$$
  
として導出した。

右図から、誤差率は制御電圧  $v_{ctrl}$  の符号が異なり、入力信号の絶対値が大きいとき、誤差が大きいといえる。

# 今後の計画

- 2入力積和演算回路の検討  
過渡解析等、未検証の部分の検討を翌週行う予定。
- 周波数帯域を1GHz以上みられるように回路の改善