

Εισαγωγή στη Σχεδίαση Συστημάτων VLSI

2^η εργαστηριακή άσκηση

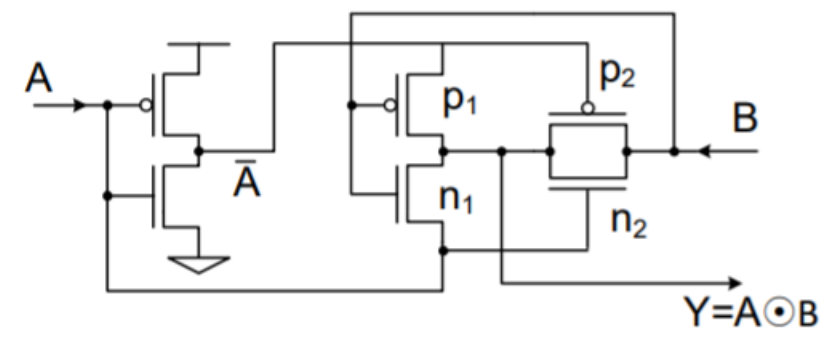
Ερώτηση 1:

Σε αυτό το ερώτημα θα πραγματοποιηθεί η υλοποίηση μιας πύλης XNOR με δυο τρόπους. Η πύλη XNOR δέχεται δυο εισόδους και βγάζει στην έξοδο:

- 1, όταν οι εισόδους A και B είναι ίδιες, δηλαδή είναι και οι δύο είναι 0 ή 1
- 0, όταν οι εισόδους A και B είναι διαφορετικοί, δηλαδή είναι για παράδειγμα η είσοδος A 1 και η είσοδος B 0

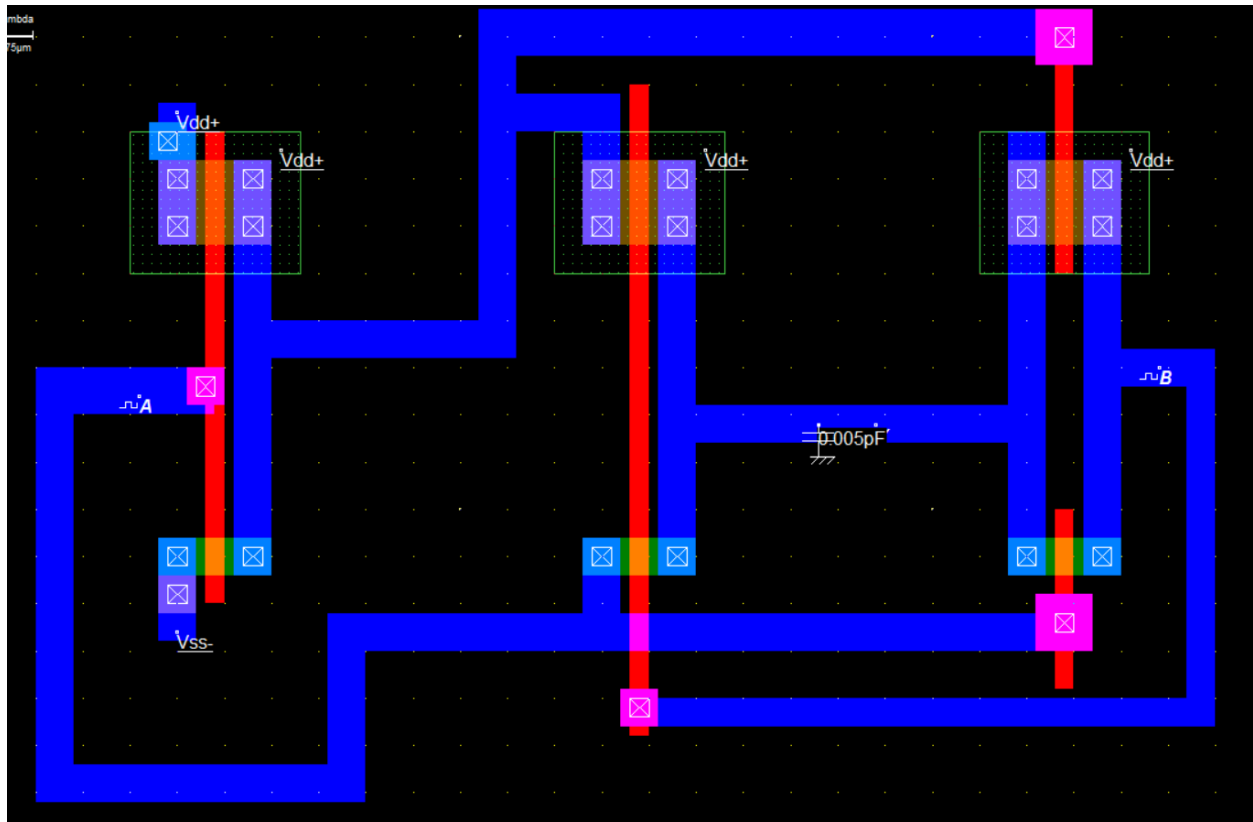
Η πύλη XNOR με βάση το ακόλουθο διάγραμμα:

Ο ένας τρόπος κατασκευής του layout της πύλης XNOR βασίζεται στο παρακάτω σχήμα, όπου φαίνεται ότι χρειάστηκε δύο αντιστροφείς και μια πύλη μετάδοσης.



Επιπλέον, παρατηρήθηκε ότι με παρόμοιο τρόπο μπορεί να γίνει η υλοποίηση της πύλης XOR, αντιστρέφοντας το πού συνδέεται η είσοδος και η έξοδος του 1^{ου} αντιστροφέα.

Η κυκλωματική υλοποίηση της πύλης XNOR με βάση το διάγραμμα είναι η ακόλουθη:

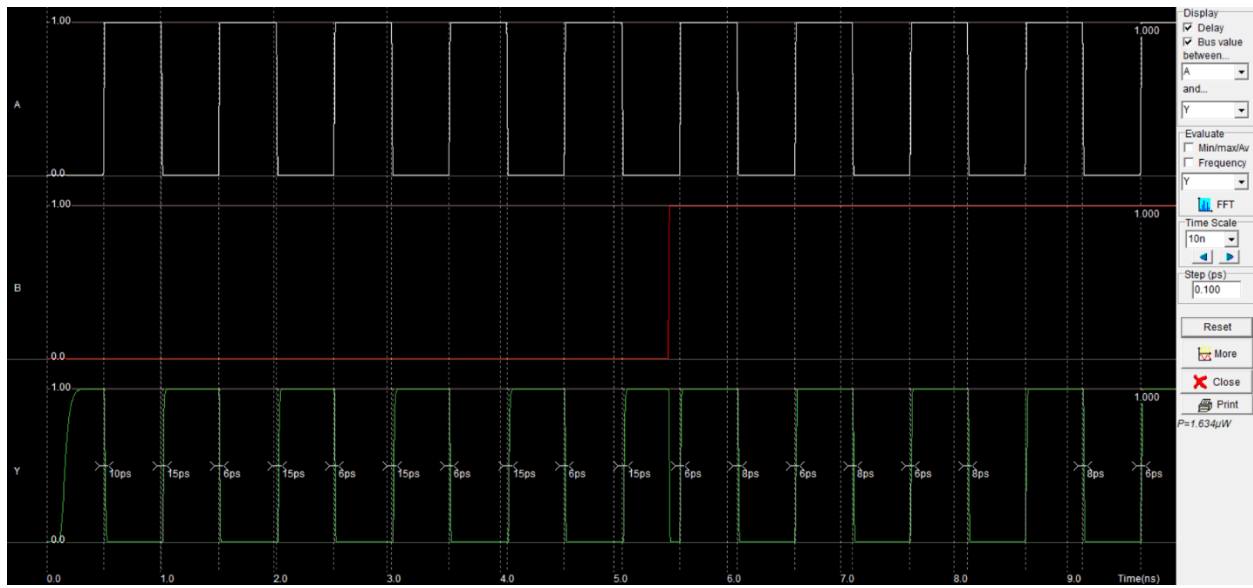


Γραφικές παραστάσεις:

Στις παρακάτω γραφικές παραστάσεις φαίνεται η ορθή λειτουργία της πύλης XNOR, με χρήση δύο παλμών για εισόδους, από τους οποίους ο ένας έχει αρκετά μεγαλύτερη περίοδο για προσομοιάζει μια είσοδο που στην αρχή δίνει 0 και μετά 1.

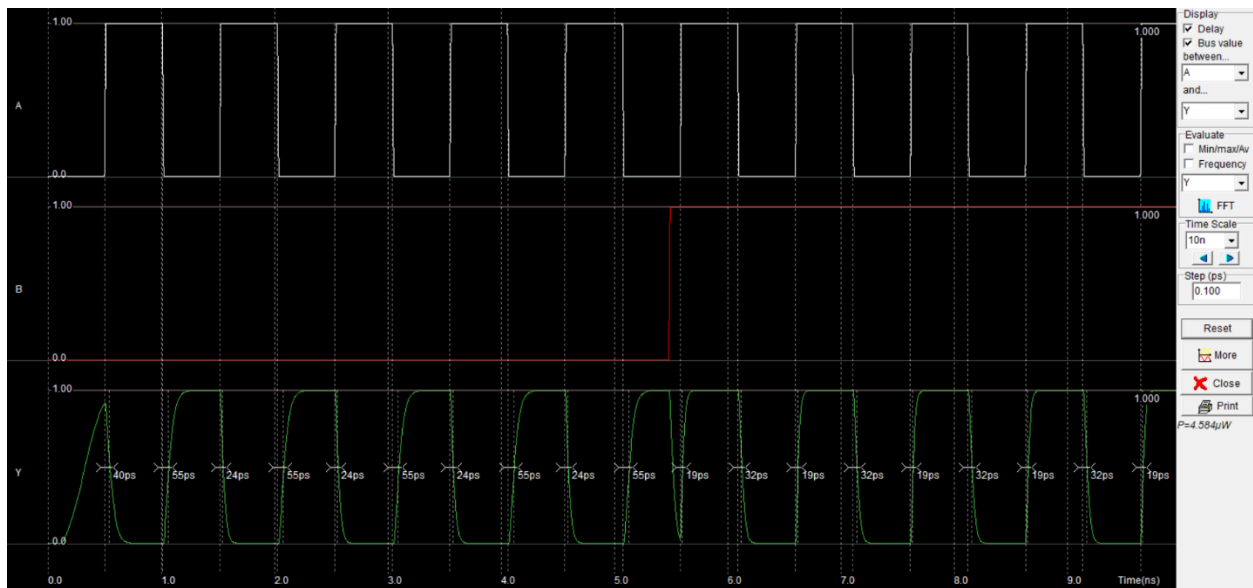
Όπως φαίνεται όταν η A είναι 1 και το B 0 (στην 1^η ημιπερίοδο του B), στην έξοδο της πύλης XNOR βγαίνει 0, ενώ όταν η A είναι 1 και το B 1 (στην 2^η ημιπερίοδο του B), στην έξοδο της πύλης XNOR βγαίνει 1.

Χωρίς τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 15psec όταν ανεβαίνει ο παλμός και 8psec όταν κατεβαίνει.

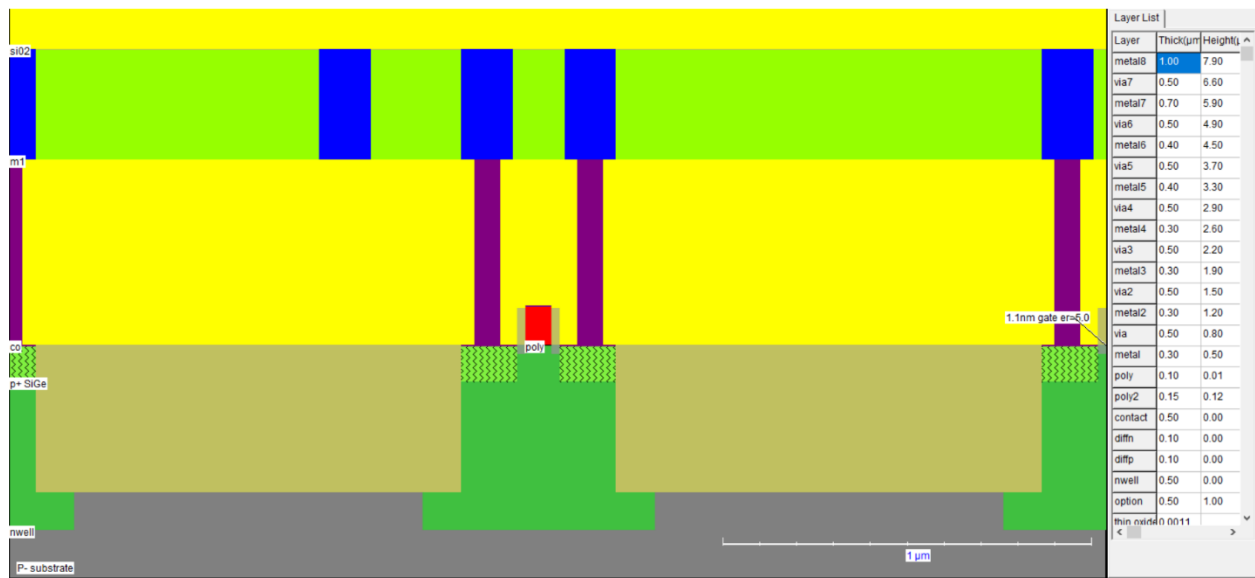
Με τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 56psec όταν ανεβαίνει ο παλμός και 24psec όταν κατεβαίνει.

Επιπλέον, παρατηρούμε ότι η προσθήκη στην έξοδο φορτίου χωρητικότητας 5fF αυξάνει τις παρασιτικές συχνότητες προκαλώντας μια επιπλέον καθυστέρηση στην έξοδο.

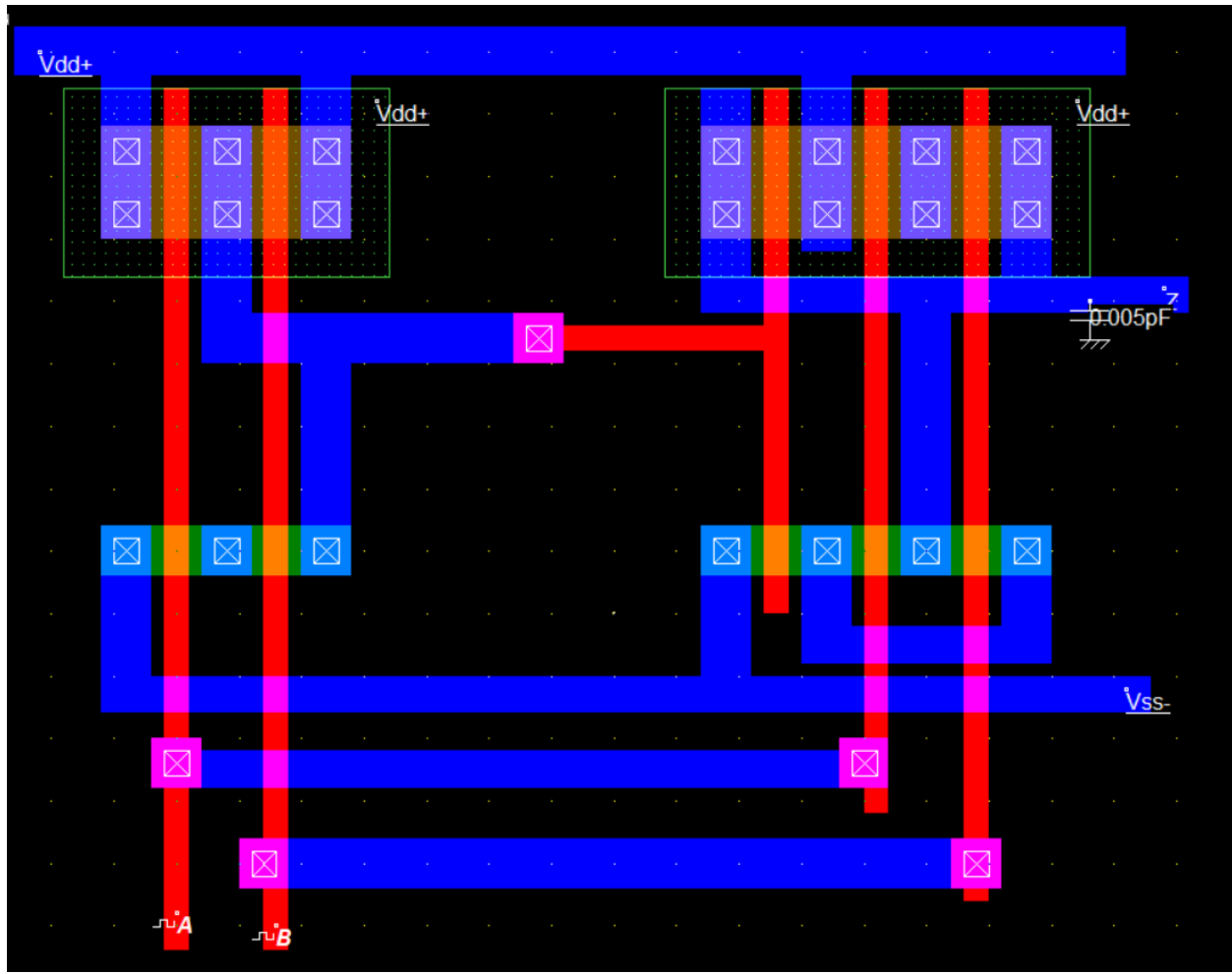
Τομή κυκλώματος στη κρίσιμη περιοχή:



Η πύλη XNOR με βάση τη σχέση $Y=A(\cdot)B=[(AB)'\cdot(A+B)]'$:

Ο δεύτερος τρόπος κατασκευής του layout της πύλης XNOR βασίζεται στη συνάρτηση που δόθηκε, από την οποία προέκυψε το Euler path, που δίνει την κυκλωματική υλοποίηση.

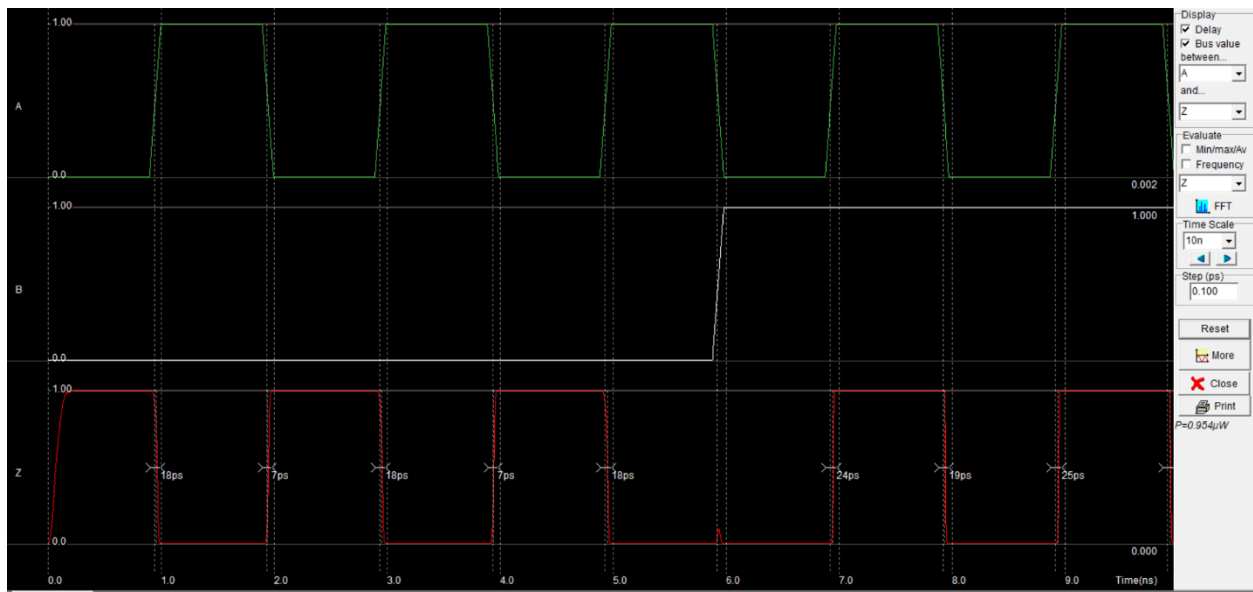
Η κυκλωματική υλοποίηση της πύλης XNOR με βάση τη σχέση $Y=A(\cdot)B=[(AB)'\cdot(A+B)]'$ είναι η ακόλουθη:



Γραφικές παραστάσεις:

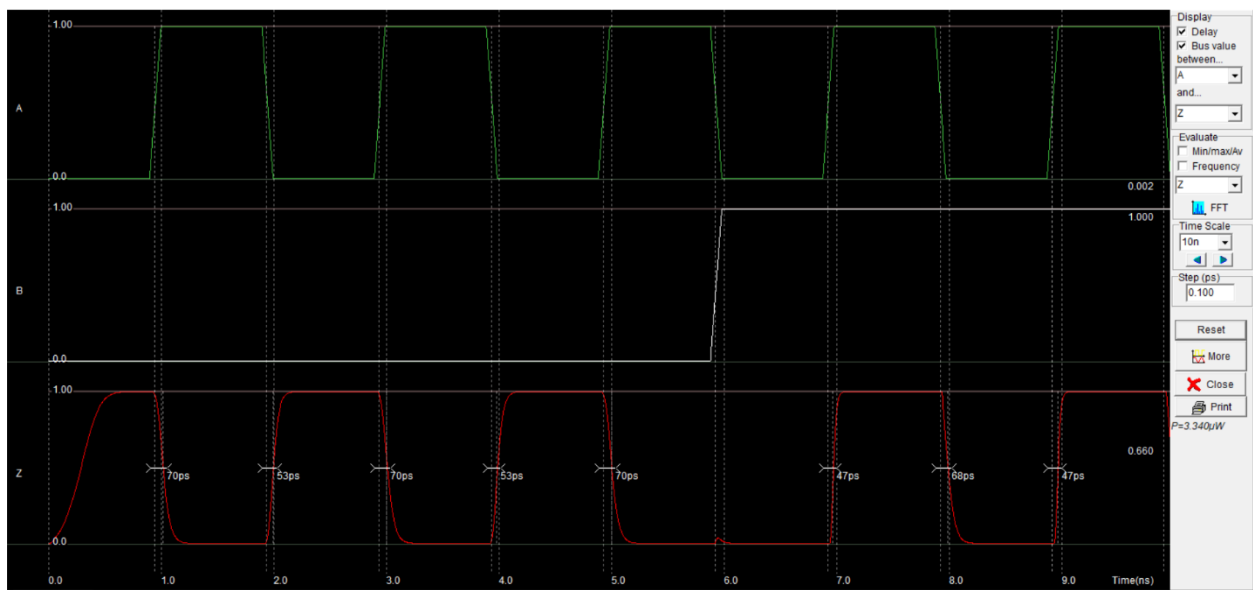
Ομοίως με τον άλλο τρόπο υλοποίησης της πύλης, όταν η A είναι 1 και το B 0 (στην 1^η ημιπερίοδο του B), στην έξοδο της πύλης XNOR βγαίνει 0, ενώ όταν η A είναι 1 και το B 1 (στην 2^η ημιπερίοδο του B), στην έξοδο της πύλης XNOR βγαίνει 1.

Χωρίς τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 7psec όταν ανεβαίνει ο παλμός και 18psec όταν κατεβαίνει, όταν το B είναι 0, ενώ είναι 24psec όταν ανεβαίνει ο παλμός και 19psec όταν κατεβαίνει όταν το B είναι 1.

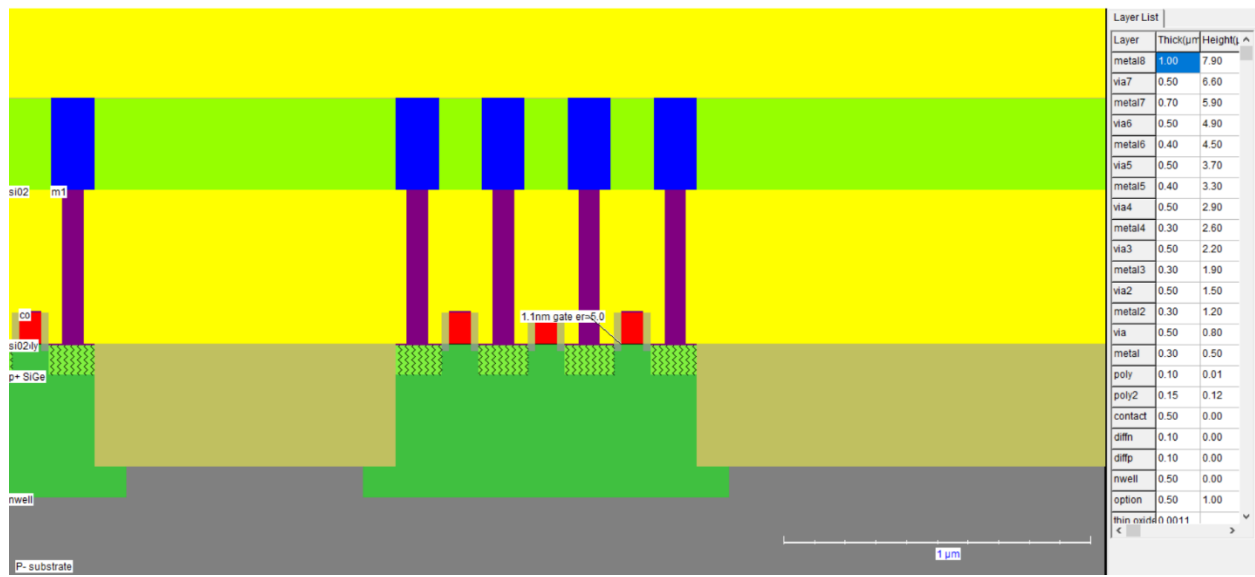
Με τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 70psec όταν ανεβαίνει ο παλμός και 53psec όταν κατεβαίνει, όταν το B είναι 0, ενώ είναι 47psec όταν ανεβαίνει ο παλμός και 68psec όταν κατεβαίνει, όταν το B είναι 1.

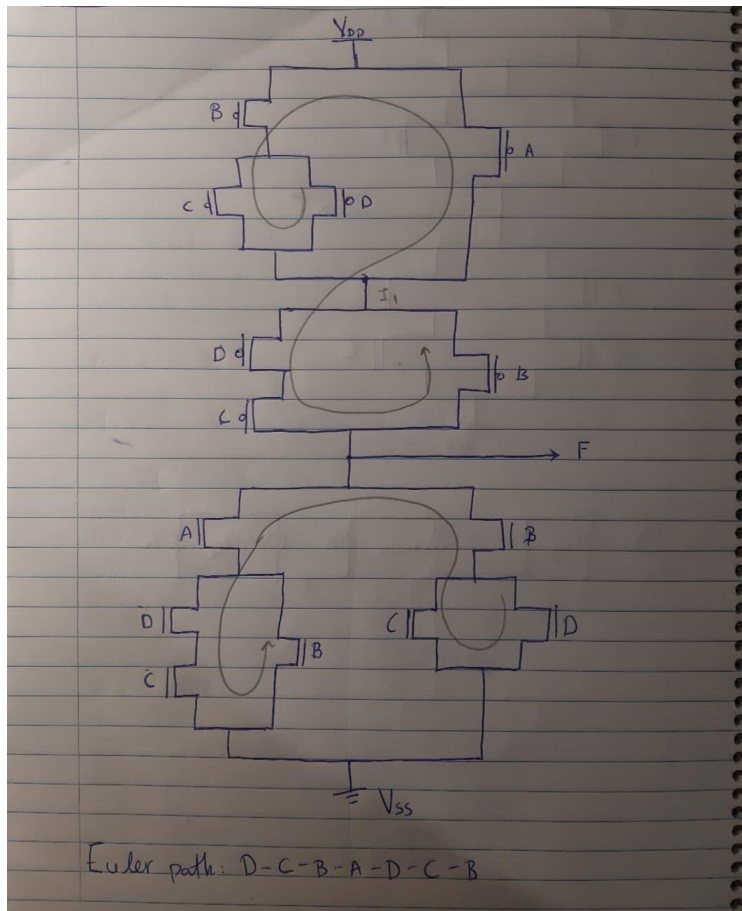
Επιπλέον, παρατηρούμε ότι η προσθήκη στην έξοδο φορτίου χωρητικότητας 5fF αυξάνει τις παρασιτικές συχνότητες προκαλώντας μια επιπλέον καθυστέρηση στην έξοδο.

Τομή κυκλώματος στη κρίσιμη περιοχή:



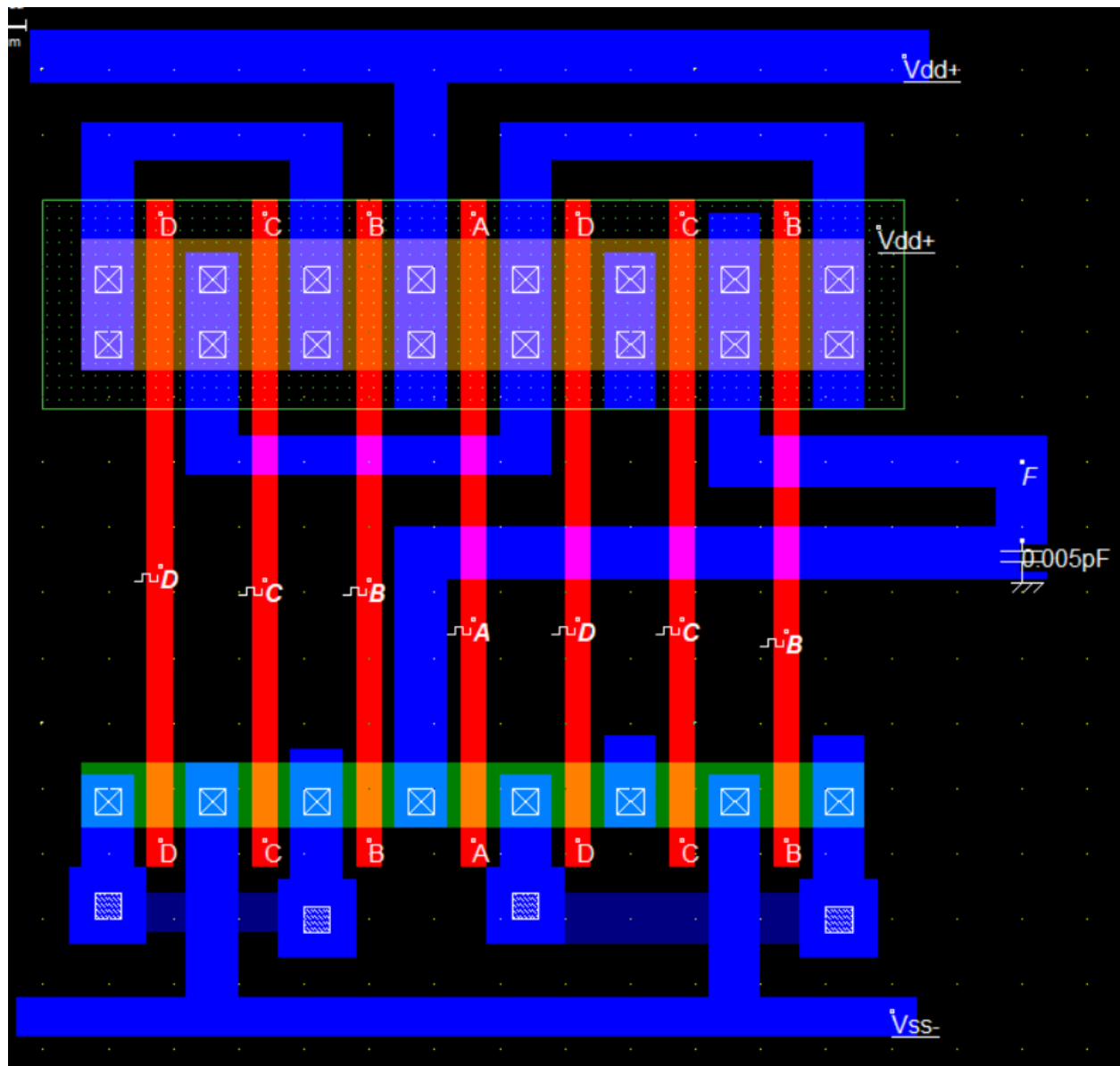
Ερώτηση 2:

Σε αυτό το ερώτημα θα γίνει η κυκλωματική της συνάρτησης $F=[A(B+CD)+B(C+D)]'$, με χρήση το Euler path που προκύπτει :



Ένα παράδειγμα της πύλης αυτής είναι όταν όλοι οι παλμοί εισόδου είναι 0 ($A=0$, $B=0$, $C=0$, $D=0$), τότε η έξοδος της συνάρτησης F πρέπει να ισούται με 1. Ενώ όταν οι παλμοί εισόδου παίρνουν τις τιμές $A=1$, $B=1$, $C=1$, $D=1$, τότε η έξοδος της συνάρτησης F πρέπει να ισούται με 0.

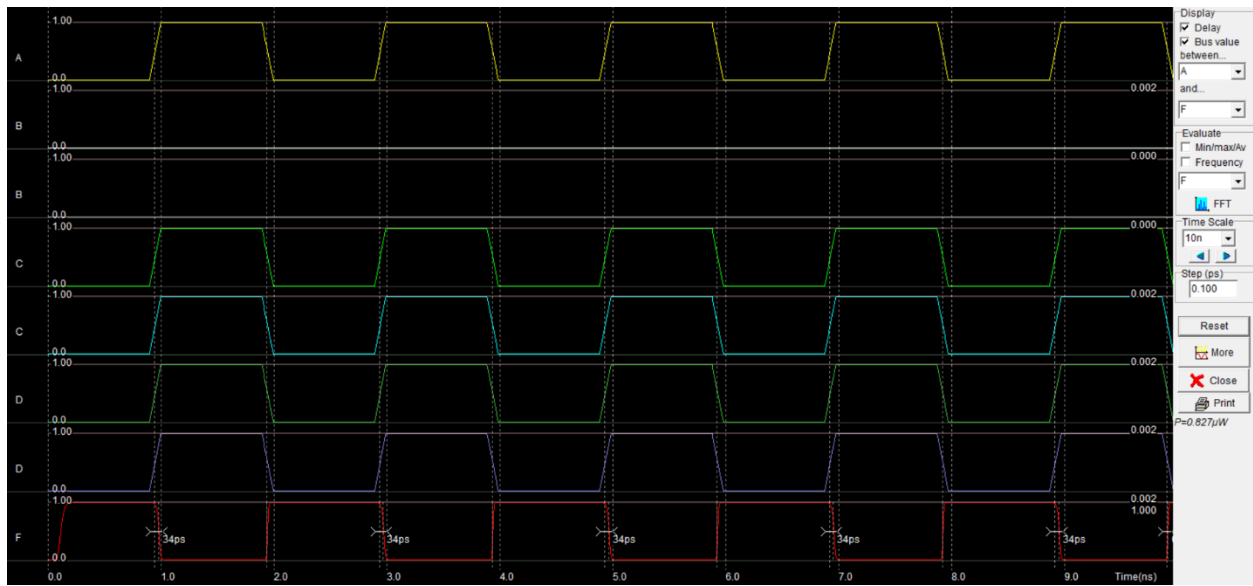
Η κυκλωματική υλοποίηση (layout) της συνάρτησης $F=[A(B+CD)+B(C+D)]'$:



Γραφικές παραστάσεις:

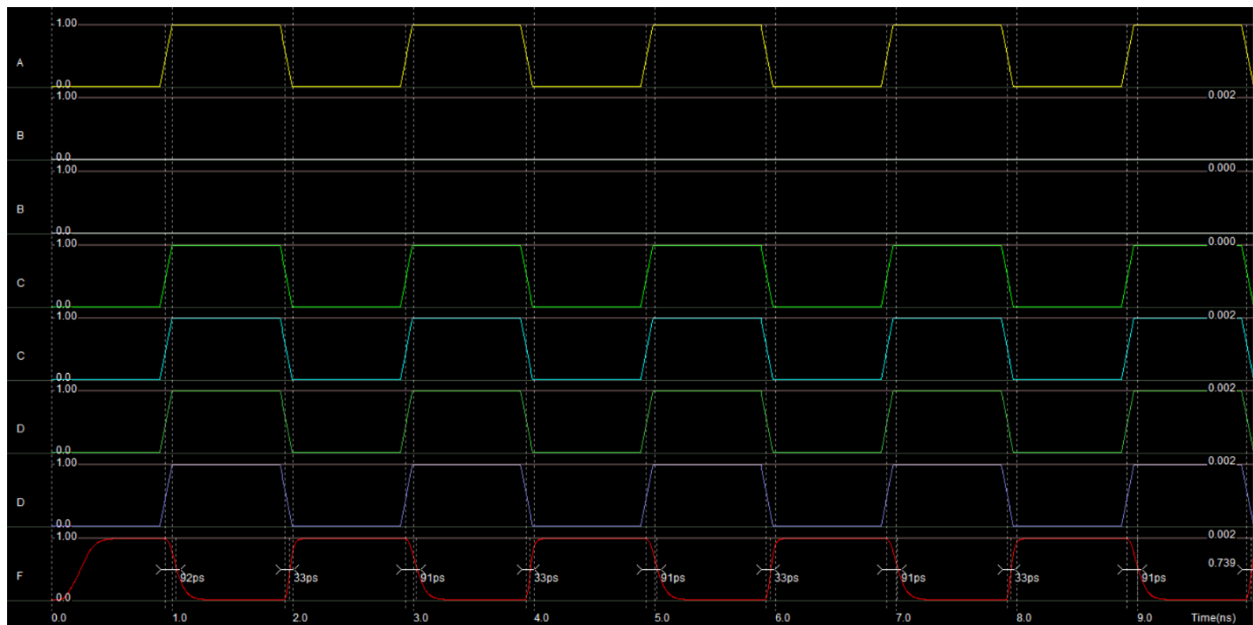
Στις παρακάτω γραφικές παραστάσεις φαίνεται η ορθή λειτουργία της συνάρτησης F , με χρήση παλμοσειρών εισόδου για τα A , C , D και μηδενικής εισόδου για το B . Όπως φαίνεται, όταν όλοι οι παλμοί εισόδου είναι 0 ($A=0$, $B=0$, $C=0$, $D=0$), τότε η έξοδος της συνάρτησης F ισούται με 1. Ενώ όταν οι παλμοί εισόδου παίρνουν τις τιμές $A=1$, $B=$, $C=1$, $D=1$, τότε η έξοδος της συνάρτησης F ισούται με 0.

Χωρίς τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 34psec όταν ανεβαίνει ο παλμός και 34psec όταν κατεβαίνει.

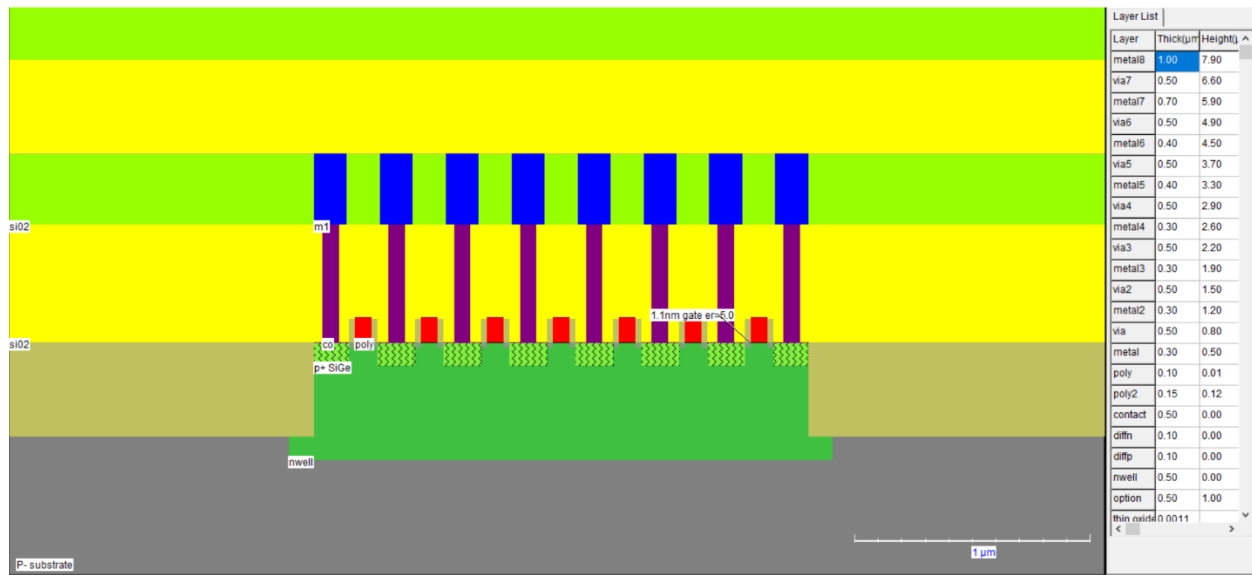
Με τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 91psec όταν ανεβαίνει ο παλμός και 33psec όταν κατεβαίνει.

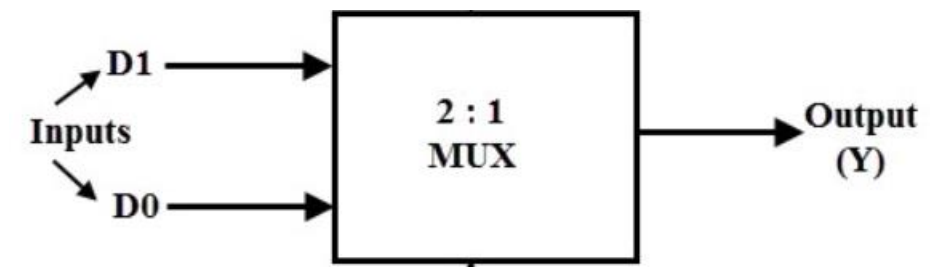
Επιπλέον, παρατηρούμε ότι η προσθήκη στην έξοδο φορτίου χωρητικότητας 5fF αυξάνει τις παρασιτικές συχνότητες προκαλώντας μια επιπλέον καθυστέρηση στην έξοδο.

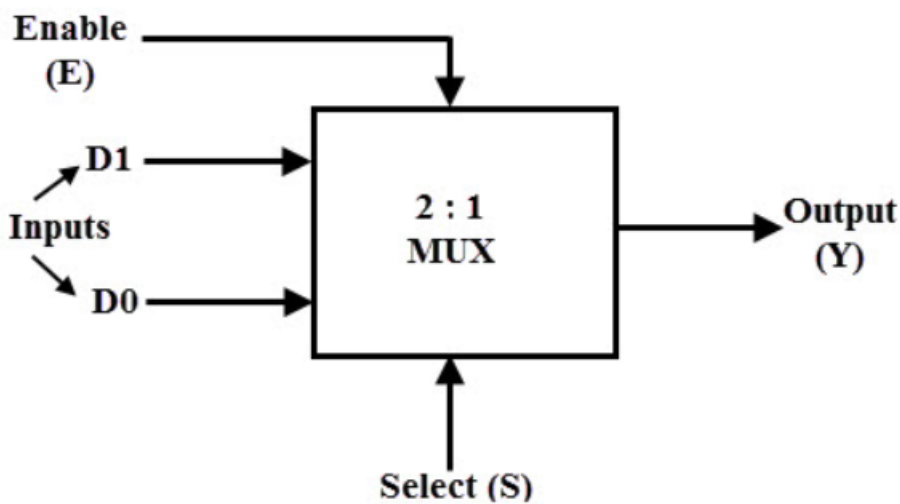
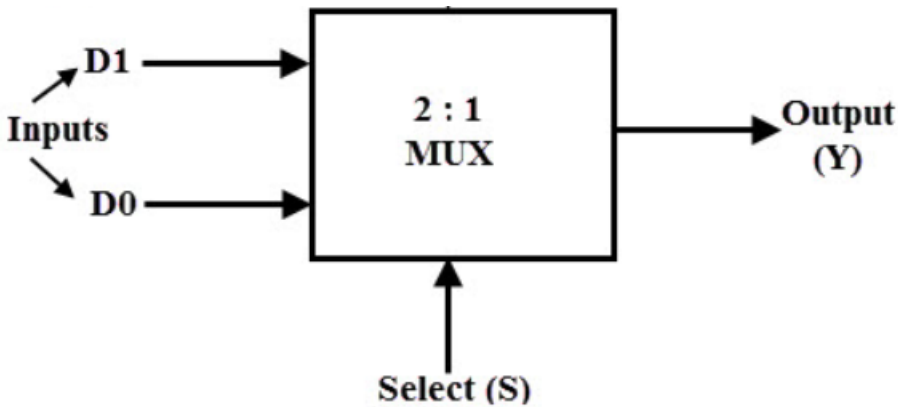
Τομή κυκλώματος στη κρίσιμη περιοχή:



Ερώτηση 3:

Σε αυτό το ερώτημα θα γίνει η κυκλωματική υλοποίηση ενός πολυπλέκτη 2:1 2-εισόδων (A,B) και ενός σήματος ελέγχου C, με δύο διαφορετικούς τρόπους.



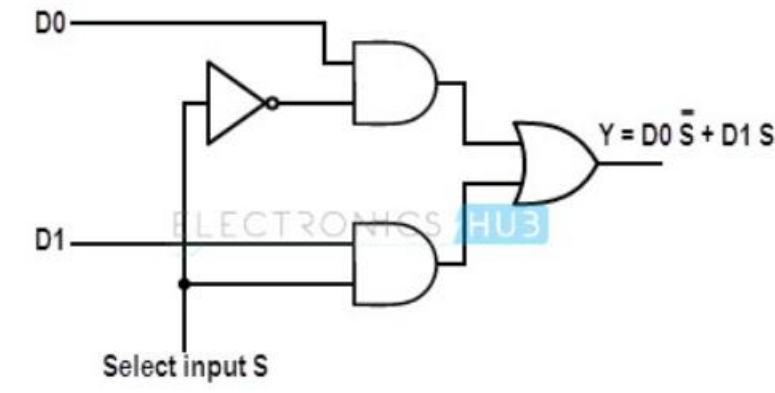


Ο πολυπλέκτης 2:1 όπως φαίνεται στο σχήμα παραπάνω λειτουργεί με τέτοιο τρόπο ώστε να περνάει μια φορά το ένα σήμα, εκείνο που είναι συνδεδεμένο στην είσοδο και την άλλη το άλλο σήμα, εκείνο που είναι συνδεδεμένο στην αναστροφή. Αυτό συμβαίνει γιατί ο πολυπλέκτης ακολουθεί τον παρακάτω πίνακα αληθείας:

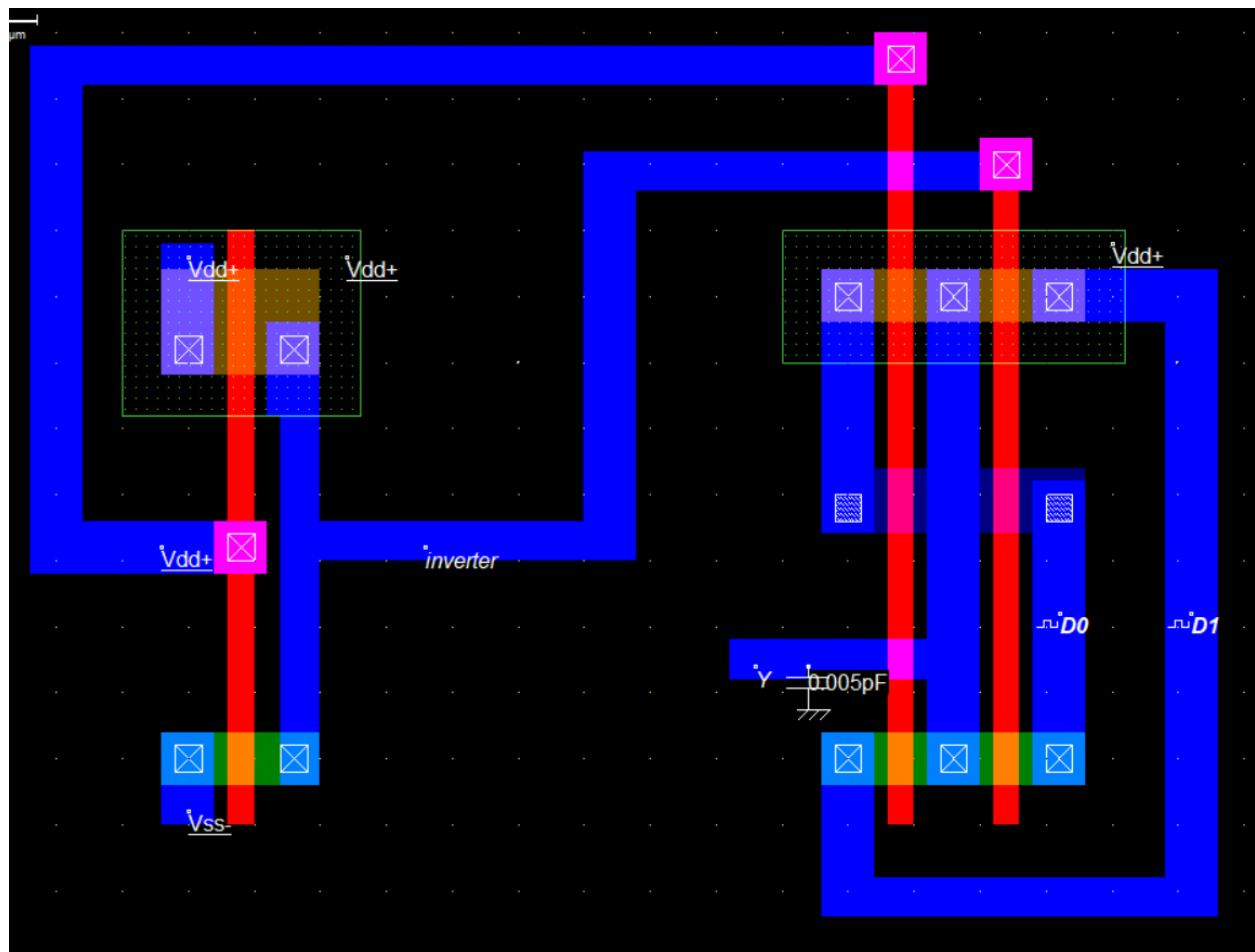
C	A	B	OUTPUT
0	0	0	0
0	0	1	1
1	1	0	1
1	1	1	1

Ο πολυπλέκτης με τη χρήση 2 πυλών μετάδοσης και ενός αντιστροφέα:

Σε αυτό τον τρόπο η υλοποίηση του πολυπλέκτη θα γίνει με τη χρήση ενός αντιστροφέα, του οποίου η είσοδος θα συνδεθεί στη μια πύλη εισόδου και η έξοδος (η αντιστροφή) θα συνδεθεί στην άλλη πύλη εξόδου, όπως φαίνεται στο παρακάτω σχήμα.



Η κυκλωματική υλοποίηση του πολυπλέκτη με τη χρήση 2 πυλών μετάδοσης και ενός αντιστροφέα:

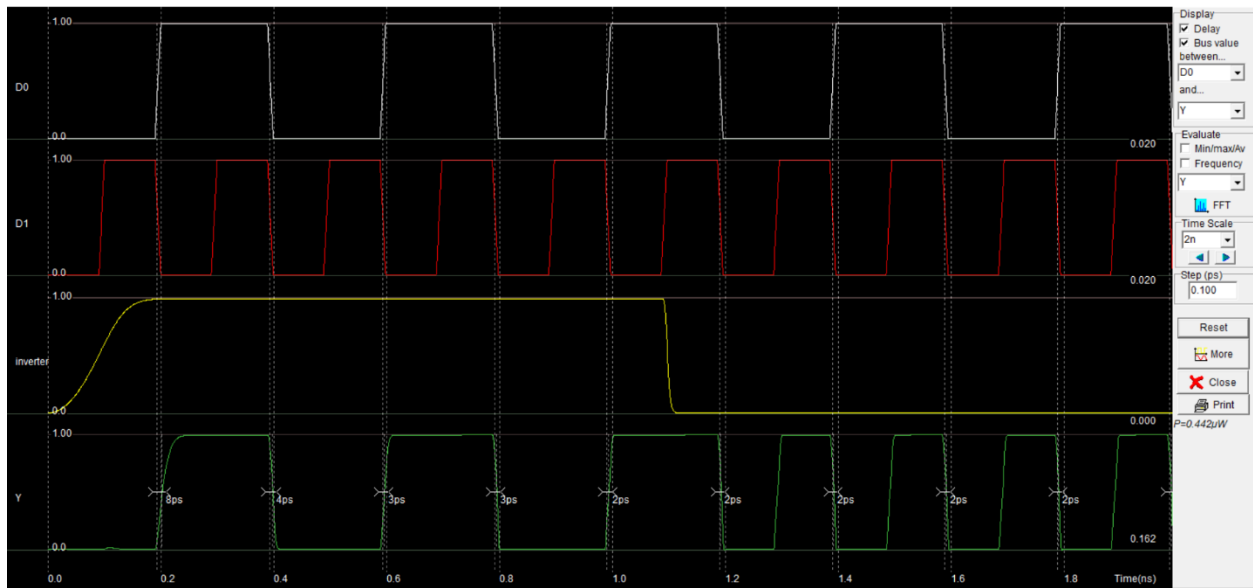


Γραφικές παραστάσεις:

Στις παρακάτω συναρτήσεις φαίνεται η ορθή λειτουργία του πολυπλέκτη 2:1, με χρήση δύο παλμών για εισόδους, με διαφορετικές περιόδους για να μπορέσουμε να διακρίνουμε ποιο σήμα πέρασε κάθε φορά.

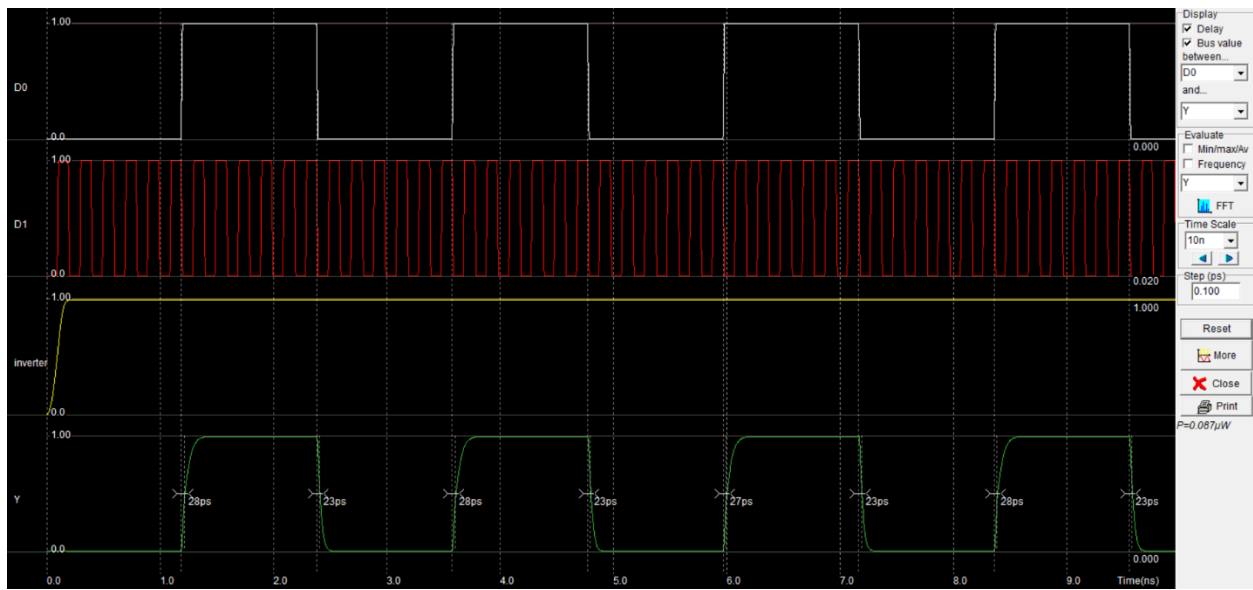
Όπως φαίνεται, όσο η είσοδος είναι 0 και ο αντιστροφέας 1, στην έξοδο του πολυπλέκτη περνάει το σήμα D0 (δηλαδή το σήμα που είναι συνδεδεμένο στην αντιστροφή), ενώ όταν η είσοδος είναι 1 και ο αντιστροφέας 0, στην έξοδο του πολυπλέκτη περνάει το σήμα D1, (δηλαδή το σήμα που είναι συνδεδεμένο στην είσοδο).

Χωρίς τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 2psec όταν ανεβαίνει ο παλμός και 2psec όταν κατεβαίνει, όταν ο αντιστροφέας είναι 0, ενώ είναι 3psec όταν ανεβαίνει ο παλμός και 3psec όταν κατεβαίνει, όταν ο αντιστροφέας είναι 1.

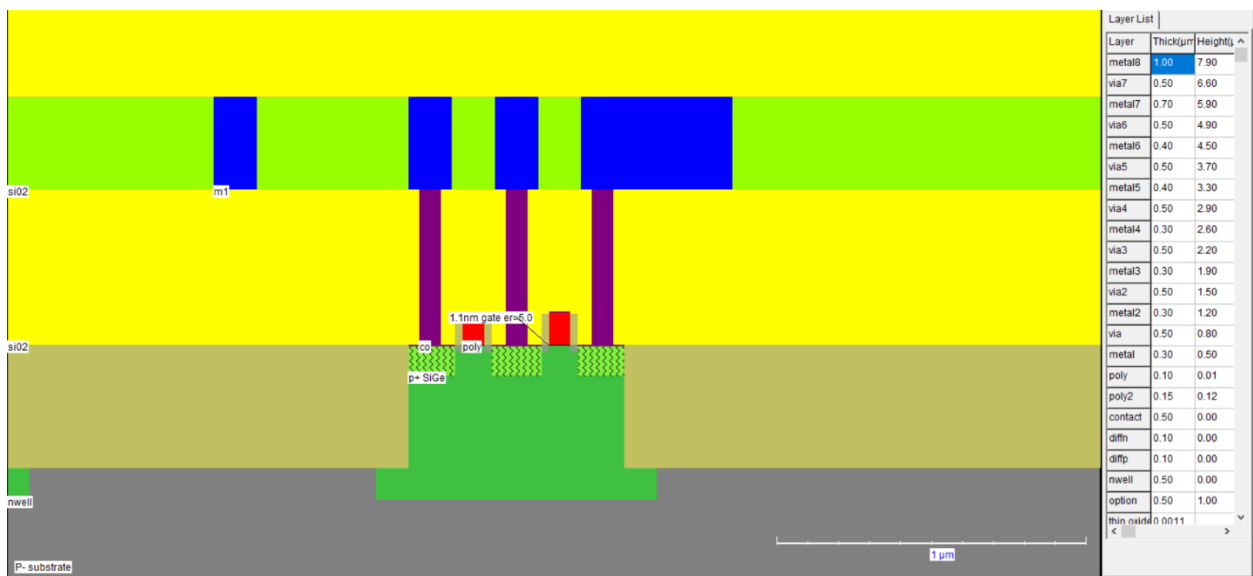
Με τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 28psec όταν ανεβαίνει ο παλμός και 23psec όταν κατεβαίνει, όταν ο αντιστροφέας είναι 1.

Επιπλέον, παρατηρούμε ότι η προσθήκη στην έξοδο φορτίου χωρητικότητας 5fF αυξάνει τις παρασιτικές συχνότητες προκαλώντας μια επιπλέον καθυστέρηση στην έξοδο.

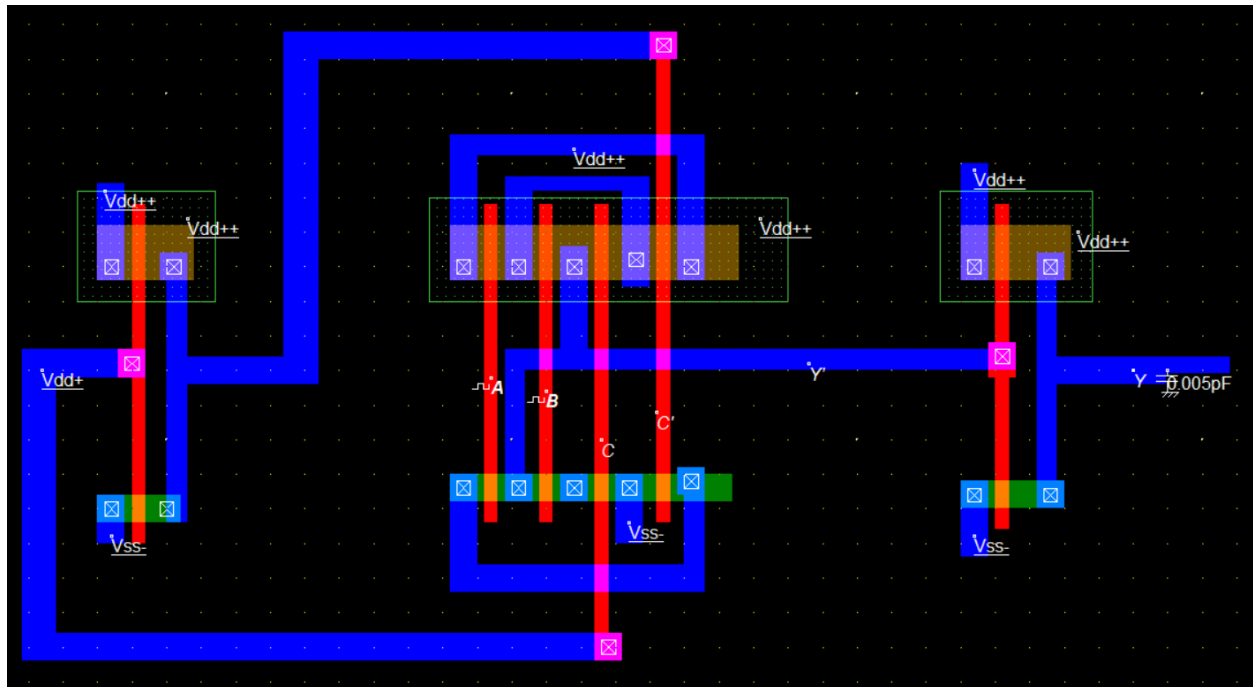
Τομή κυκλώματος στη κρίσιμη περιοχή:



Ο πολυπλέκτης ως λογική συνάρτηση (σύνθετη πύλη) $Y=(AC'+BC)$:

Σε αυτό τον τρόπο η υλοποίηση του πολυπλέκτη θα γίνει με τη χρήση της συνάρτησης $Y=(AC'+BC)$, από την οποία προκύπτει το Euler path, που δίνει το layout του.

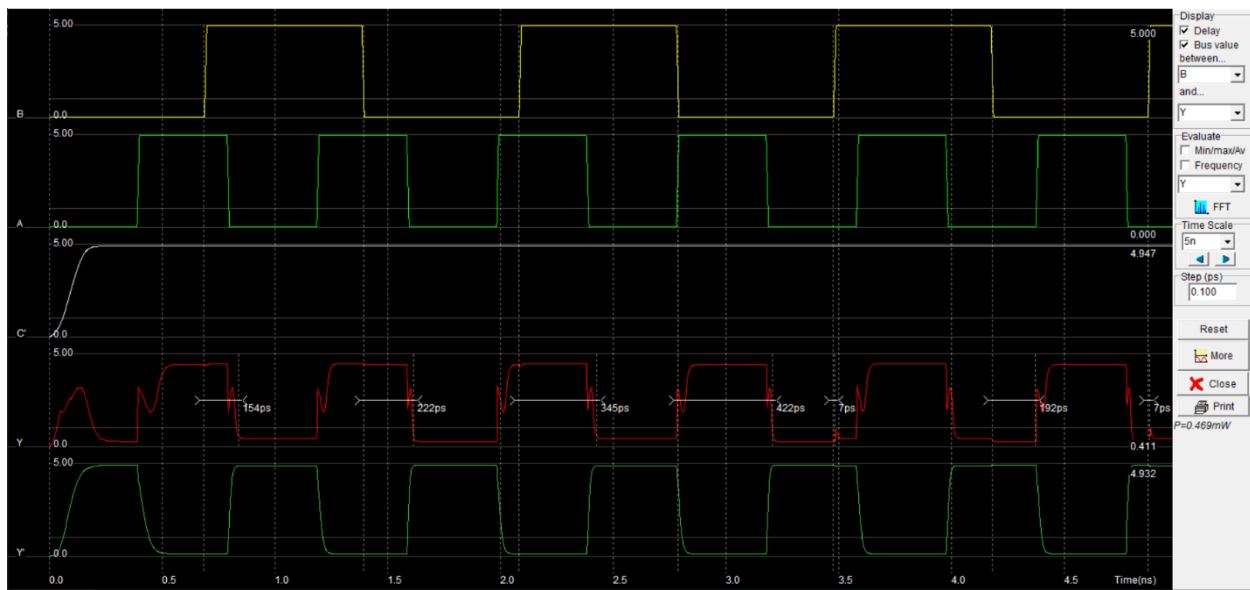
Η κυκλωματική υλοποίηση του πολυπλέκτη ως λογική συνάρτηση (σύνθετη πύλη) $Y=(AC'+BC)$:



Γραφικές παραστάσεις:

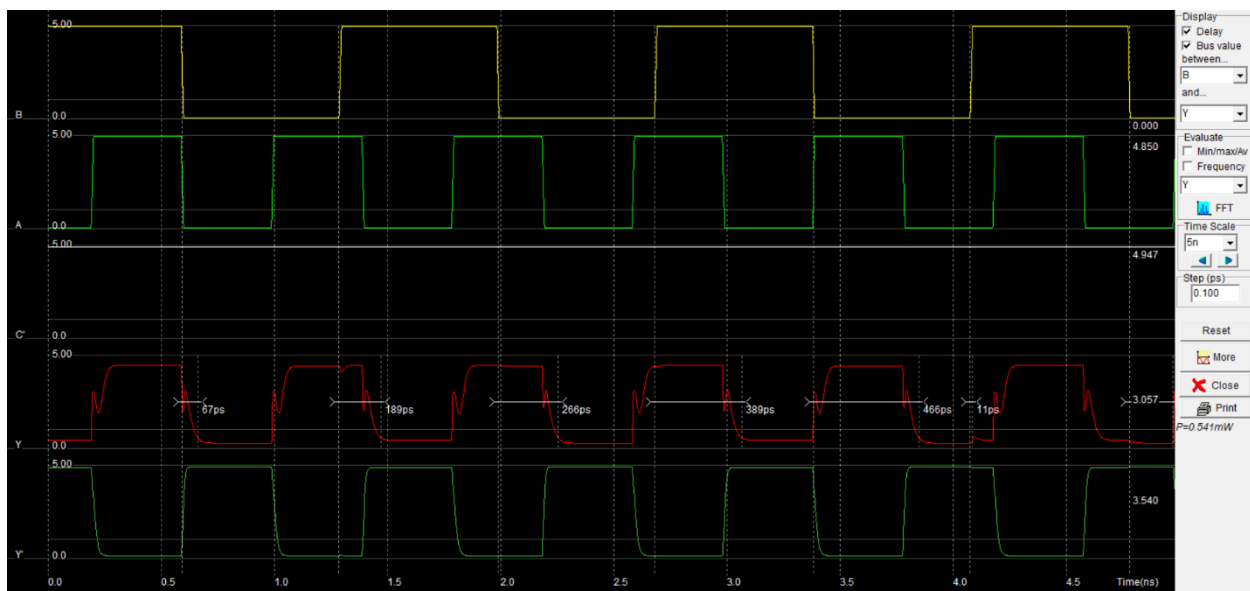
Ομοίως με τον άλλο τρόπο υλοποίησης, φαίνεται στις γραφικές παραστάσεις ότι όσο η είσοδος είναι 0 και ο αντιστροφέας 1, στην έξοδο του πολυπλέκτη περνάει το σήμα D0 (δηλαδή το σήμα που είναι συνδεδεμένο στην αντιστροφή), ενώ όταν η είσοδος είναι 1 και ο αντιστροφέας 0, στην έξοδο του πολυπλέκτη περνάει το σήμα D1, (δηλαδή το σήμα που είναι συνδεδεμένο στην είσοδο).

Χωρίς τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 154psec όταν ανεβαίνει ο παλμός και 222psec όταν κατεβαίνει.

Με τη χρήση φορτίου χωρητικότητας 5fF:



Στο διάγραμμα αυτό, φαίνεται ότι η καθυστέρηση που εισάγει αυτό το layout είναι 180psec όταν ανεβαίνει ο παλμός και 389psec όταν κατεβαίνει.

Τομή κυκλώματος στη κρίσιμη περιοχή:

