



Εργαστηριακή άσκηση

**Θεωρητικός και πρακτικός υπολογισμός καθυστερήσεων σε
αναστροφείς CMOS VLSI**

Εξέταση – Επίδειξη: Τρίτη 24/11/2020

Έκθεση: Κυριακή 29/11/2020

1 Εισαγωγή

Ένα από τα πιο σημαντικά βήματα για τη σχεδίαση κυκλωμάτων VLSI είναι ο υπολογισμός της καθυστέρησης που εισάγει κάθε πύλη ή κάθε βαθμίδα στο σήμα εισόδου της. Η καθυστέρηση οφείλεται στις παρασιτικές χωρητικότητες μεταξύ διαφορετικών επιπέδων, εξαρτάται από την τεχνολογία σχεδίασης και είναι αυτή που διαφοροποιεί τη λειτουργία του τρανζίστορ από το μοντέλο του ιδανικού διακόπτη (με ακαριαίες μεταβάσεις). Σκοπός της εργαστηριακής αυτής άσκησης είναι ο πρακτικός και θεωρητικός υπολογισμός της καθυστέρησης σε κυκλώματα αναστροφέων CMOS VLSI. Ειδικά ο θεωρητικός υπολογισμός, που μπορεί να προσεγγιστεί πολύ καλά με απλά γραμμικά μοντέλα, μπορεί να βοηθήσει σημαντικά το σχεδιαστή να επιλέξει την τοπολογία του δικτύου και τα μεγέθη των τρανζίστορ που ελαχιστοποιούν την καθυστέρηση, πριν ξεκινήσει τη χρονοβόρα διαδικασία του σχεδιασμού του layout και του πρακτικού υπολογισμού των ιδιοτήτων του κυκλώματος μέσω προσομοίωσης.

2 Ορισμοί καθυστερήσεων

Ο χρόνος καθυστέρησης σε ένα κύκλωμα VLSI εκφράζει την καθυστέρηση που παρατηρείται από τη στιγμή που συμβαίνει μια αλλαγή στην είσοδο μέχρι να εμφανιστεί η αντίστοιχη αλλαγή στην έξοδο. Παρότι υπάρχουν διαφορετικά μετρήσιμα μεγέθη καθυστέρησης, το πιο διαδεδομένο είναι ο χρόνος καθυστέρησης διάδοσης (propagation delay) t_{pd} , ο οποίος ορίζεται ως ο μέγιστος χρόνος από τη στιγμή που η είσοδος ξεπερνά το 50% της τιμής της έως τη στιγμή που η έξοδος ξεπερνά το 50% της τιμής της. Ο χρόνος καθυστέρησης διάδοσης διακρίνεται σε χρόνο καθυστέρησης διάδοσης καθόδου στην έξοδο t_{pdf} και καθυστέρησης διάδοσης ανόδου στην έξοδο t_{pdr} . Σε κάθε κύκλωμα είναι επιθυμητό οι δύο αυτοί χρόνοι να ταυτίζονται. Για το λόγο αυτό στη συνέχεια θα ασχοληθούμε με μία μόνο τιμή καθυστέρησης διάδοσης d , η οποία θεωρούμε αντιστοιχεί και στις δύο πρακτικά ίσες τιμές.

Η κανονικοποιημένη καθυστέρηση διάδοσης d μιας πύλης μπορεί να γραφτεί ως:

$$d = f + p \quad (1)$$

Όπου p είναι η *ενδογενής παρασιτική καθυστέρηση* της πύλης, όταν δεν προσαρτείνεται φορτίο, ενώ f είναι η *καθυστερήση φορτίου* (stage effort), η οποία εξαρτάται από την πολυπλοκότητα της πύλης g και την *βεντάγια εξόδου* (fan-out) h που εξαρτάται από το χωρητικό φορτίο εξόδου της πύλης, σύμφωνα με τον τύπο:

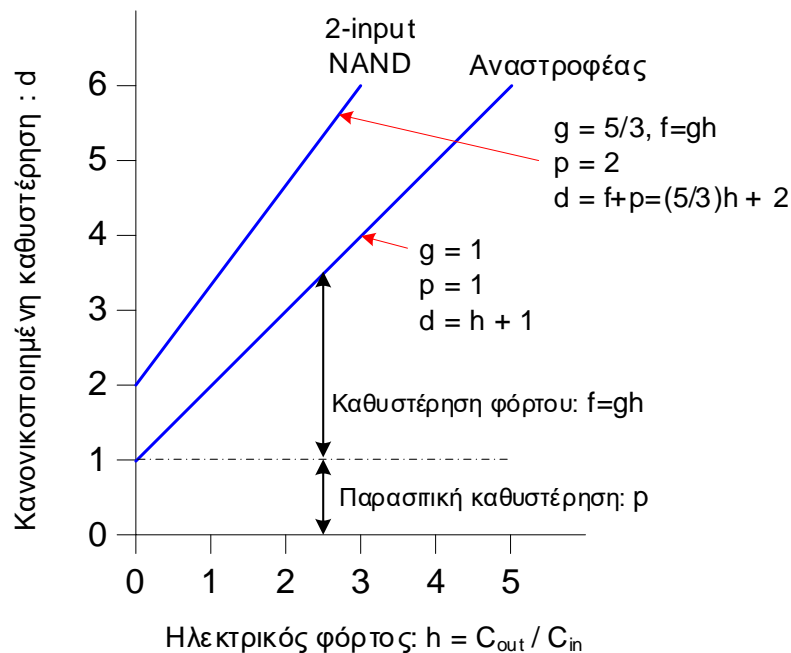
$$f = gh \quad (2)$$

Η πολυπλοκότητα αναπαρίσταται από το *λογικό φόρτο* (logical effort) g . Ένας αναστροφέας ορίζεται ότι έχει λογικό φόρτο 1. Πιο πολύπλοκες πύλες έχουν μεγαλύτερο λογικό φόρτο, το οποίο υποδηλώνει ότι απαιτούν περισσότερο χρόνο για να οδηγήσουν μια δεδομένη βεντάγια εξόδου. Για παράδειγμα, ο λογικός φόρτος (g) μιας πύλης NAND 2 εισόδων είναι 4/3. Ο παράγοντας h ονομάζεται *ηλεκτρικός φόρτος* και για μία πύλη που οδηγεί πανομοιότυπα αντίγραφα της, ορίζεται ως ο αριθμός των αντιγράφων. Για μία πύλη που δεν οδηγεί πανομοιότυπα αντίγραφα της, ο ηλεκτρικός φόρτος h μπορεί να υπολογιστεί ως:

$$h = \frac{C_{out}}{C_{in}} \quad (3)$$

Όπου C_{out} είναι η χωρητικότητα του εξωτερικού φορτίου που οδηγείται και C_{in} η χωρητικότητα εισόδου της πύλης.

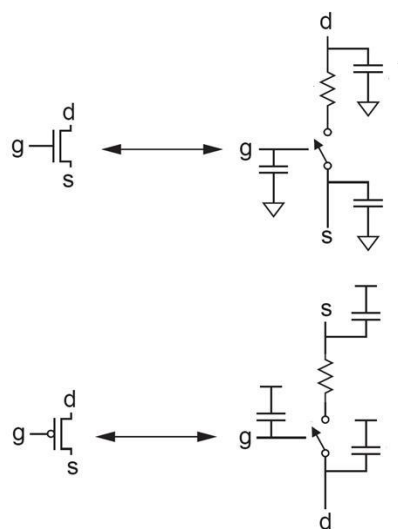
Στο σχήμα 3.1 παρουσιάζεται η κανονικοποιημένη καθυστέρηση διάδοσης σαν συνάρτηση της ηλεκτρικής προσπάθειας για έναν αναστροφέα και μια πύλη NAND 2 εισόδων. Τα σημεία τομής με τον άξονα y δηλώνουν την παρασιτική καθυστέρηση. Η κανονικοποίηση προκύπτει θεωρώντας την παρασιτική καθυστέρηση του αναστροφέα 1. Η κλίση των γραμμών είναι ο λογικός φόρτος. Ο αναστροφέας έχει εξ ορισμού λογικό φόρτο 1 ενώ η πύλη NAND έχει λογικό φόρτο $4/3$.



Σχήμα 3.1: Κανονικοποιημένη καθυστέρηση διάδοσης

3 Υπολογισμοί καθυστερήσεων

Παρότι τα τρανζίστορ έχουν πολύπλοκες χαρακτηριστικές τάσης-ρεύματος, μπορούν να προσεγγιστούν αρκετά καλά ως ένας διακόπτης σε σειρά με μία αντίσταση, όπου η ενεργή αντίσταση επιλέγεται ώστε να ταιριάζει με το μέσο ρεύμα το οποίο παρέχει το τρανζίστορ. Οι κόμβοι της πύλης του τρανζίστορ και οι διαχύσεις εμφανίζουν χωρητικότητα. Ένα τέτοιο προσεγγιστικό μοντέλο, τόσο για τρανζίστορ nmos όσο και για pmos, φαίνεται στο σχήμα 3.2.

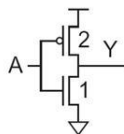


Σχήμα 3.2: Προσεγγιστικό μοντέλο RC τρανζίστορ

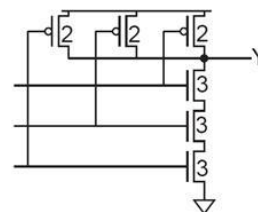
Οι τιμές των αντιστάσεων και των χωρητικοτήτων του σχήματος 3.2 εξαρτώνται από τις διαστάσεις των τρανζίστορ. Συνήθως, όλες οι λογικές πύλες είναι στοιχεία ελαχίστου μήκους (2λ), για ελάχιστη καθυστέρηση, επιφάνεια και κατανάλωση ισχύος. Συνεπώς, οι αντιστάσεις και οι χωρητικότητες εξαρτώνται τελικά από τα πλάτη των τρανζίστορ, τα οποία ο σχεδιαστής πρέπει να επιλέξει κατάλληλα.

Ένα τρανζίστορ nmos με ελάχιστο πλάτος ($2\lambda +$ όσο απαιτείται από την τεχνολογία για να χωράνε οι επαφές, π.χ. στο MICROWIND και την τεχνολογία cmos08 6λ) ορίζεται να έχει ενεργή αντίσταση R . Ένα αντίστοιχο τρανζίστορ pmos ελαχίστου πλάτους έχει υψηλότερη αντίσταση η οποία εξαρτάται από την ευκινησία των φορέων του σε σχέση με το τρανζίστορ nmos. Προσεγγιστικά αυτή η αντίσταση μπορεί να θεωρηθεί $2R$. Τρανζίστορ μεγαλύτερου πλάτους έχουν μικρότερη αντίσταση. Για παράδειγμα, ένα τρανζίστορ pmos διπλάσιου πλάτους από το ελάχιστο έχει ενεργή αντίσταση R . Γενικά, πολλαπλασιασμός του πλάτους ενός τρανζίστορ με n συνεπάγεται διαίρεση της αντίστασής του δια n . Τρανζίστορ σε σειρά και παράλληλα συνδυάζονται όπως οι συμβατικές αντιστάσεις. Όταν πολλά τρανζίστορ συνδέονται σε σειρά, η αντίσταση είναι το άθροισμα των επιμέρους αντιστάσεων. Όταν συνδέονται παράλληλα, η αντίσταση είναι τόσο πιο μικρή όσο περισσότερα άγουν μαζί. Η μεγαλύτερη δυνατή αντίσταση εμφανίζεται όταν άγει μόνο ένα τρανζίστορ, οπότε η συνολική αντίσταση ισούται με την αντίσταση του τρανζίστορ που άγει.

Κατά το σχεδιασμό λογικών πυλών και συνθετών κυκλωμάτων VLSI προσπαθούμε να εξασφαλίζουμε η ενεργός αντίσταση να είναι μικρότερη ή ίση με R , τόσο στο PUN όσο και στο PDN, με σκοπό να ελαχιστοποιήσουμε την καθυστέρηση (η οποία σε κάθε κύκλωμα RC είναι ανάλογη και του R και του C). Για παράδειγμα, στα σχήματα 3.3 και 3.4 εικονίζονται τα πλάτη των nmos και pmos τρανζίστορ ώστε τόσο ο αναστροφέας όσο και η πύλη NAND 3 εισόδων να έχουν ενεργό αντίσταση R . Παρατηρήστε ειδικά την περίπτωση της πύλης NAND όπου στο μεν PDN τα 3 τρανζίστορ σε σειρά έχουν το κάθε ένα αντίσταση $R/3$ (οπότε συνολικά R) ενώ στο PUN, η μεγαλύτερη αντίσταση R παρατηρείται όταν μόνο ένα τρανζίστορ άγει. Αν άγουν δύο (2) υπάρχει αντίσταση $R/2$ και αν άγουν τρεις (3) η αντίσταση είναι $R/3$.

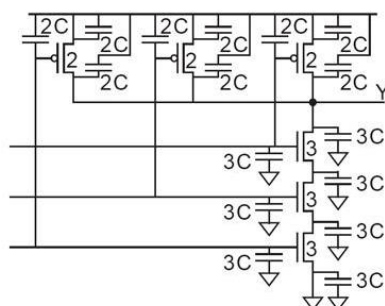


Σχήμα 3.3: Πλάτη τρανζίστορ αναστροφέα



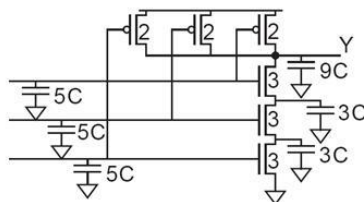
Σχήμα 3.4: Πλάτη τρανζίστορ πύλης NAND 3 εισόδων

Επίσης, η χωρητικότητα ενός τρανζίστορ αποτελείται από τη χωρητικότητα πύλης και τη χωρητικότητα διάχυσης πηγής/υποδοχής. Ας ορίσουμε τη χωρητικότητα πύλης ενός τρανζίστορ ελαχίστου μήκους ως C_g και τις αντίστοιχες χωρητικότητες διαχύσεων πηγής/υποδοχής ως C_{diff} . Στις περισσότερες τεχνολογίες υλοποίησης οι δύο αυτές χωρητικότητες είναι κατά προσέγγιση ίσες οπότε για να διατηρήσουμε την εκτίμηση απλή μπορούμε να συμβολίσουμε $C = C_g = C_{diff}$. Για μεγαλύτερα τρανζίστορ, τόσο nmos όσο και pmos, η χωρητικότητα C είναι ανάλογη του πλάτους του τρανζίστορ. Για παράδειγμα, στο σχήμα 3.5 εικονίζονται οι χωρητικότητες μιας πύλης NAND 3 εισόδων.



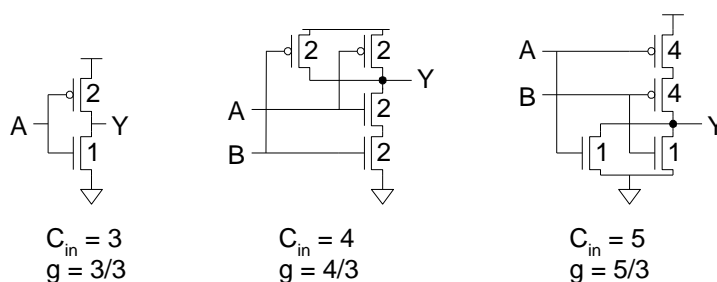
Σχήμα 3.5: Χωρητικότητες πύλης NAND 3 εισόδων

Παρατηρήστε ότι στα σε σειρά τρανζίστορ nmos υπάρχει μια χωρητικότητα για κάθε κοινή διάχυση, που χρησιμεύει ως πηγή στο ένα τρανζίστορ και υποδοχή στο άλλο. Επίσης, όσες χωρητικότητες έχουν βραχυκυκλωμένους ακροδέκτες μπορούν να αγνοηθούν ενώ οι χωρητικότητες που συνδέονται στην τάση τροφοδοσίας V_{dd} , μπορεί να θεωρηθούν ότι συνδέονται στη γη καθώς το επίπεδο της τάσης (V_{dd} ή Gnd) δεν παίζει ρόλο στην καθυστέρηση. Με βάση αυτές τις παραδοχές και αθροίζοντας παράλληλες χωρητικότητες καταλήγουμε στο ισοδύναμο σχήμα 3.6, στο οποίο κάθε είσοδος βλέπει χωρητικότητα $5C$ και η έξοδος έχει χωρητικότητα $9C$.



Σχήμα 3.6: Απλοποιημένο κύκλωμα χωρητικοτήτων πύλης NAND 3 εισόδων

Χρησιμοποιώντας αυτά τα στοιχεία μπορούμε να επιστρέψουμε στους τύπους (1), (2) και (3), για τον υπολογισμό της καθυστέρησης διάδοσης. Ο λογικός φόρτος μιας σύνθετης πύλης μπορεί να εκτιμηθεί ως ο λόγος της χωρητικότητας εισόδου της πύλης προς τη χωρητικότητα εισόδου του ελάχιστου αναστροφέα. Στο σχήμα 3.7 παρουσιάζονται κάποια χαρακτηριστικά παραδείγματα ενώ πιο λεπτομερής καταγραφή γίνεται στον πίνακα 3.1.



Σχήμα 3.7: Λογικός φόρτος αναστροφέα, πύλης NAND και πύλης NOR 2 εισόδων

Τύπος πύλης	Αριθμός εισόδων				
	1	2	3	4	n
αναστροφέας	1				
NAND		4/3	5/3	6/3	$(n+2)/3$
NOR		5/3	7/3	9/3	$(2n+1)/3$
πολυπλέκτης	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Πίνακας 3.1: Λογικός φόρτος λογικών πυλών

Η παρασιτική καθυστέρηση μιας πύλης μπορεί να υπολογιστεί προσεγγιστικά από τη χωρητικότητα διάχυσης στον κόμβο εξόδου. Για παράδειγμα, στο σχήμα 3.7 ο αναστροφέας έχει χωρητικότητα εξόδου $3C$ και αντίσταση όταν άγει είτε το Pull-Down είτε το Pull-Up ίση με R . Συνεπώς, όταν λειτουργεί χωρίς εξωτερικό φορτίο παρουσιάζει καθυστέρηση $3RC=\tau$. Η παράμετρος τ μπορεί να υπολογιστεί για κάθε τεχνολογία υλοποίησης (για την τεχνολογία $cmos018$ του MICROWIND έχει υπολογιστεί ως ~ 12.4 ps) και οι παρασιτικές χωρητικότητες όλων των πυλών να κανονικοποιηθούν με βάση την παράμετρο αυτή.

Παρατηρώντας το σχήμα 3.7 μπορούμε να πούμε ότι ο αναστροφέας έχει κανονικοποιημένη παρασιτική καθυστέρηση 1 ενώ οι πύλες NAND και NOR με χωρητικότητα εξόδου 6 έχουν κανονικοποιημένη παρασιτική καθυστέρηση 2. Στον πίνακα 3.2 δίνεται η κανονικοποιημένη παρασιτική καθυστέρηση βασικών ψηφιακών πυλών.

Τύπος πύλης	Αριθμός εισόδων				
	1	2	3	4	n
αναστροφέας	1				
NAND		2	3	4	n
NOR		2	3	4	n
πολυπλέκτης	2	4	6	8	2n

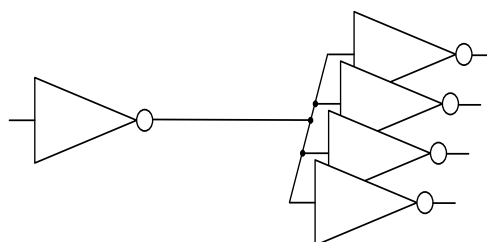
Πίνακας 3.2: Παρασιτική καθυστέρηση λογικών πυλών

Συνοψίζοντας, ο προσεγγιστικός θεωρητικός υπολογισμός της καθυστέρησης διάδοσης μιας πύλης αποτελείται από τον υπολογισμό δύο κανονικοποιημένων τιμών, της παρασιτικής καθυστέρησης και του γινομένου της λογικής προσπάθειας με την ηλεκτρική προσπάθεια. Το νούμερο που προκύπτει πολλαπλασιάζεται με την παράμετρο τ για τον υπολογισμό της απόλυτης τιμής. Για όλους τους υπολογισμούς λαμβάνονται υπόψη τα πλάτη των τρανζίστορ και η συνδεσμολογία τους, που επιλέγονται έτσι ώστε να προκύπτει αντίσταση R και στο PDN και στο PUN. Τα μήκη των τρανζίστορ επιλέγονται ελάχιστα (2λ). Οι καθυστερήσεις που προκύπτουν μπορούν να επαληθευτούν με τις τιμές που υπολογίζονται πρακτικά με προσομοίωση.

4 Τα ζητούμενα της εργαστηριακής άσκησης

1. Να σχεδιασθεί το layout σε τεχνολογία CMOS65n ενός πλήρη αθροιστή (F-A), με ελάχιστο μήκος καναλιού στα τρανζίστορ ($L=2\lambda$) και πλάτος $W_n=4\lambda$ για τα npmos και $W_p=8\lambda$ για τα pmos. Στη συνέχεια να γίνει έλεγχος της ορθής λειτουργίας τους και να υπολογισθεί μέσω της προσομοίωσης η μέγιστη καθυστέρηση που εισάγει το παραπάνω κύκλωμα και στις 2 εξόδους του. Υποθέτουμε φορτίο εξόδου 2fF και για τις 2 εξόδους.
2. Σε τεχνολογία *cmos018* να σχεδιαστεί ένας ελάχιστος αναστροφέας με διαστάσεις: $W_n=0.4\mu$, $L_n=0.2\mu$ και $W_p=0.8\mu$, $L_p=0.2\mu$. Να υπολογίσετε την καθυστέρησή του (τ) χωρίς φορτίο. Στη συνέχεια να οδηγή έναν αριθμό n όμοιων με τον παραπάνω αναστροφέων που είναι παράλληλα συνδεδεμένοι (δηλ. η έξοδος του αναστροφέα μας συνδέεται στον κοινό κόμβο εισόδου των n αναστροφέων). Η κανονικοποιημένη κατά προσέγγιση καθυστέρηση του αναστροφέα δίνεται από τον παρακάτω πίνακα:

Ελάχιστος αναστροφέας που οδηγεί n ελάχιστους αναστροφείς	Υπολογισμός καθυστέρησης d
$n=2$	$d=1+1*2$
$n=4$	$d=1+1*4$
$n=8$	$d=1+1*8$



Επαληθεύστε τους παραπάνω τύπους με βάση τη καθυστέρηση τ του ελάχιστου αναστροφέα που υπολογίσατε πριν συγκρίνοντας με τις τιμές που υπολογίζονται μέσω προσομοίωση στο MICROWIND. Σχεδιάστε τους αντίστοιχους αναστροφείς και υπολογίστε την παράμετρο τ για τεχνολογία *cmos90n* ($Wn=180nm$, $Ln=90nm$ και $Wp=360nm$, $Lp=90nm$) και για τεχνολογία *cmos65n* ($Wn=140nm$, $Ln=70nm$ και $Wp=280nm$, $Lp=70nm$). Επαληθεύστε και σχολιάστε αν ισχύει το γραμμικό μοντέλο της καθυστέρησης.

3. Φτιάξτε τα Φύλλα Δεδομένων (datasheet) όπως στον (επόμενο) Πίνακα 3.3, με τη χρήση του MICROWIND, για τέσσερις (4) δικούς σας αναστροφείς σε τεχνολογία *cmos018* με διαστάσεις: $Wn=(0.4\mu)\times k$, $Ln=0.2\mu$ και $Wp=(0.8\mu)\times k$, $Lp=0.2\mu$ για $k=1, 2, 4$ και 8 . Ειδικότερα να υπολογιστούν η χωρητικότητα εισόδου, η ενδογενής ή παρασιτική καθυστέρηση και η κλίση K_{load} της καμπύλης που αναπαριστά την καθυστέρηση συναρτήσει της χωρητικότητας φορτίου. Να τις συγκρίνετε με τις τιμές του Πίνακα 3.3 και να εξάγετε συμπεράσματα.



INV

Cell Description

The INV cell provides the logical inversion of a single input (A). The output (Y) is represented by the logic equation:

$$Y = \bar{A}$$

Functions

A	Y
0	1
1	0

Logic Symbol**Cell Size**

Drive Strength	Height (μm)	Width (μm)
INVXL	5.04	1.32
INVX1	5.04	1.32
INVX2	5.04	1.98
INVX3	5.04	2.64
INVX4	5.04	2.64
INVX8	5.04	3.96
INVX12	5.04	8.58
INVX16	5.04	11.22
INVX20	5.04	12.54

AC Power

Pin	Power (μW/MHz)								
	XL	X1	X2	X3	X4	X8	X12	X16	X20
A	0.0087	0.0117	0.0218	0.0329	0.0394	0.0773	0.1706	0.2260	0.2820

Pin Capacitance

Pin	Capacitance (pF)								
	XL	X1	X2	X3	X4	X8	X12	X16	X20
A	0.0027	0.0036	0.0071	0.0104	0.0136	0.0271	0.0068	0.0090	0.0110

Delays at 25°C, 1.8V, Typical Process

Description	Intrinsic Delay (ns)								
	XL	X1	X2	X3	X4	X8	X12	X16	X20
A → Y↑	0.0261	0.0253	0.0228	0.0243	0.0206	0.0198	0.1303	0.1276	0.1265
A → Y↓	0.0154	0.0146	0.0140	0.0146	0.0125	0.0125	0.1235	0.1232	0.1183

Description	K _{load} (ns/pF)								
	XL	X1	X2	X3	X4	X8	X12	X16	X20
A → Y↑	6.2539	4.5257	2.2629	1.5216	1.1447	0.5513	0.3680	0.2760	0.2209
A → Y↓	3.3414	2.3675	1.2661	0.8247	0.6333	0.3211	0.2194	0.1647	0.1316

TSMC 0.18μm Process SAGE-X™ Standard Cell Library Databook

110



Πίνακας 3.3: Artisan Components INV cell library datasheet