



Εργαστηριακή άσκηση

**Θεωρητικός και πρακτικός υπολογισμός καθυστερήσεων σε
λογικά δίκτυα πολλών σταδίων**

Εξέταση – Επίδειξη: Τρίτη 8/12/2020

Έκθεση: Κυριακή 13/12/2020

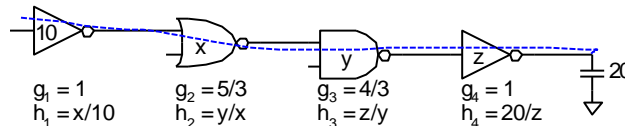
1 Θεωρία

Στην προηγούμενη άσκηση παρουσιάστηκε το γραμμικό μοντέλο υπολογισμού καθυστερήσεων λογικών πυλών και συγκεκριμένα ο τύπος:

$$d = gh + p \quad (1)$$

όπου d η υπολογιζόμενη καθυστέρηση διάδοσης της πύλης, g ο λογικός φόρτος, h ο ηλεκτρικός φόρτος και p η ενδογενής παρασιτική καθυστέρηση. Οι παράμετροι αυτοί υπολογίζονται από τα φυσικά χαρακτηριστικά του τρανζίστορ.

Ο λογικός φόρτος (g) γενικεύεται στην περίπτωση των λογικών δικτύων πολλών σταδίων. Για παράδειγμα, στο σχήμα 4.1 εικονίζεται ένα λογικό δίκτυο 4 σταδίων με διαφορετικές πύλες σε κάθε στάδιο. Έστω ότι η κάθε πύλη παρουσιάζει χωρητικότητα εισόδου όπως αναγράφεται μέσα στην πύλη. Τότε, η λογική (g) και ο ηλεκτρικός φόρτος (h) υπολογίζονται όπως αναγράφονται κάτω από κάθε πύλη. Παρατηρείστε ότι ο λογικός φόρτος είναι ανεξάρτητη των διαστάσεων των πυλών και είναι αυτή που υπολογίζεται για την περίπτωση των μοναδιαίων ενεργών αντιστάσεων (βλ. προηγούμενη άσκηση). Αντίθετα, ο ηλεκτρικός φόρτος εξαρτάται από τις αντιστάσεις εισόδου και συνεπώς, από τις διαστάσεις των πυλών.



Σχήμα 4.1: Λογικό δίκτυο πολλών σταδίων

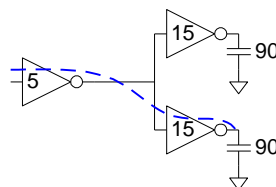
Για όλο το δίκτυο, λογικός φόρτος G , ο ηλεκτρικός φόρτος H και η φόρτος F ορίζονται από τους παρακάτω τύπους:

$$G = \prod g_i \quad (2)$$

$$H = \frac{C_{out-path}}{C_{in-path}} \quad (3)$$

$$F = \prod f_i = \prod g_i h_i \quad (4)$$

Στην περίπτωση του δικτύου του σχήματος 4.1 η σχέση (4) μπορεί να γραφεί και ως $F = GH$, αυτό όμως δεν είναι γενικό και συγκεκριμένα δεν ισχύει σε περιπτώσεις που υπάρχουν σε κάποια στάδια εναλλακτικά μονοπάτια. Για παράδειγμα, στο σχήμα 4.2 για το μονοπάτι που ορίζεται με τη διακεκομμένη γραμμή υπολογίζεται $G=1*1=1$, $H=90/5=18$, $GH=1*18=18$, $h_1=(15+15)/5=6$, $h_2=90/15=6$, $F=g_1*h_1*g_2*h_2=36=2GH$.



Σχήμα 4.2: Λογικό δίκτυο πολλών σταδίων με εναλλακτικά μονοπάτια

Για την περίπτωση δικτύων με εναλλακτικά μονοπάτια ορίζεται ένα νέο μέγεθος, ο φόρτος διακλάδωσης, που για κάθε στάδιο που περιλαμβάνει n εναλλακτικά μονοπάτια από τα οποία ενδιαφερόμαστε για το μονοπάτι 1, ορίζεται:

$$b = \frac{C_{path_1} + C_{path_2} + \dots + C_{path_n}}{C_{path_1}} \quad (5)$$

Για δίκτυο πολλών σταδίων ο συνολικός φόρτος διακλάδωσης ορίζεται:

$$B = \prod b_i \quad (6)$$

Τελικά, ο φόρτος ενός δικτύου πολλών σταδίων και εναλλακτικών μονοπατιών δίνεται από τον τύπο:

$$F = GBH \quad (7)$$

Ο φόρτος ενός δικτύου F είναι ένα μέγεθος που εξαρτάται μόνο από την τοπολογία του δικτύου και τις χωρητικότητες εισόδου και εξόδου. Χρησιμοποιείται για τον υπολογισμό της καθυστέρησης διάδοσης του δικτύου, που προκύπτει από τους τύπους:

$$P = \sum p_i \quad (8)$$

$$D_F = \sum f_i \quad (9)$$

$$D = D_F + P \quad (10)$$

όπου οι παρασιτικές καθυστερήσεις p_i υπολογίζονται όπως και ο λογικός φόρτος χωρίς να λάβουμε υπόψη τις διαστάσεις των τρανζίστορ, αλλά ανατρέχοντας στην περίπτωση των μοναδιαίων ενεργών αντιστάσεων (βλ. προηγούμενη άσκηση). Για παράδειγμα, στο κύκλωμα του σχήματος 4.1 ισχύει:

$$P = \sum_{i=1}^4 p_i = 1 + 2 + 2 + 1 = 6$$

$$D_F = \sum_{i=1}^4 g_i h_i = \frac{x}{10} + \frac{5}{3} \cdot \frac{y}{x} + \frac{4}{3} \cdot \frac{z}{y} + \frac{20}{x}$$

Επειδή η καθυστέρηση $D_F = \sum f_i$ είναι το άθροισμα των επιμέρους καθυστερήσεων φόρτου f_i κάθε σταδίου το γινόμενο των οποίων είναι F =σταθερό, το D_F γίνεται ελάχιστο όταν όλα τα f_i είναι ίσα και συνεπώς το βέλτιστο f_i είναι:

$$\hat{f} = \sqrt[n]{F} \quad (11)$$

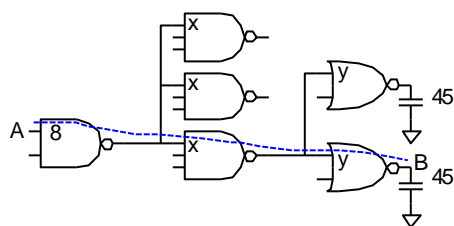
Από τη σχέση αυτή προκύπτει η κεντρική σχέση σε όλη τη θεωρία του λογικού φόρτου, ότι η ελάχιστη καθυστέρηση δικτύου δίνεται από τον τύπο:

$$D_{\min} = n \sqrt[n]{F} + P \quad (12)$$

για τον υπολογισμό του οποίου δεν απαιτούνται οι διαστάσεις των τρανζίστορ. Αυτές υπολογίζονται εκ των υστέρων για κάθε στάδιο, ξεκινώντας από τη χωρητικότητα εξόδου και χρησιμοποιώντας διαδοχικά τον τύπο:

$$\hat{f} = gh = g \frac{C_{out}}{C_{in}} \Rightarrow C_{in} = \frac{g C_{out}}{\hat{f}} \quad (13)$$

Για παράδειγμα, στο σχήμα 4.3 μπορούμε να υπολογίσουμε όλες τις τιμές δεξιά.



$$G=4/3*5/3*5/3=100/27$$

$$H=45/8$$

$$B=1*3*2=6$$

$$F=125$$

$$f=5$$

$$P=2+3+2=7$$

$$D=3*5+7=22$$

$$y=(45*5/3)/5=15$$

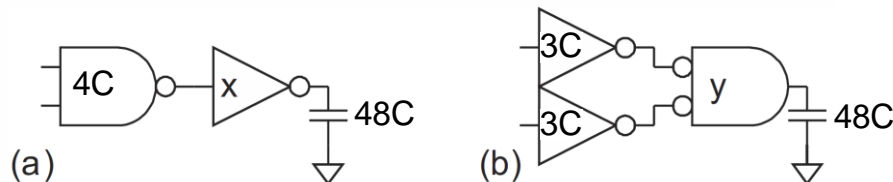
$$x=((15+15)*5/3)/5=10$$

Σχήμα 4.3: Παράδειγμα υπολογισμών

Από τα x και y μπορούμε να επιλέξουμε τις κατάλληλες διαστάσεις των τρανζίστορ και να κατασκευάσουμε το βέλτιστο layout του κυκλώματος.

2 Τα ζητούμενα της εργαστηριακής άσκησης

1. Θεωρήστε τις δύο σχεδιάσεις μιας πύλης AND δύο εισόδων οι οποίες παρουσιάζονται στο παρακάτω σχήμα (στο 2^ο σχήμα γίνεται χρήση της πύλης NOR). Υπολογίστε το συνολικό φόρτο μονοπατιού, την καθυστέρηση και τις χωρητικότητες εισόδου x και y για κάθε περίπτωση. Ποιό κύκλωμα είναι ταχύτερο; Σχεδιάστε το αντίστοιχο layout και κάντε πειραματική επαλήθευση με προσομοίωση.

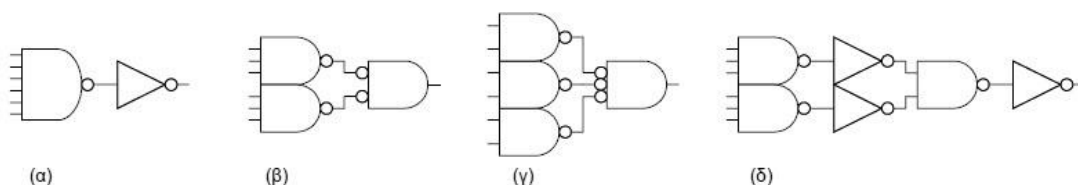


Σημείωση: Για το θεωρητικό υπολογισμό ξεκινήστε από τον τύπο (11), όπως στο παράδειγμα του σχήματος 4.3. Για τα σχεδιασμό των layout, χρησιμοποιήστε οποιαδήποτε τεχνολογία ολοκλήρωσης επιθυμείτε (μεταξύ των 120nm, 90nm, 65nm, 45nm και 22nm) στρογγυλοποιήστε τα θεωρητικά αποτελέσματα στους πλησιέστερους ακέραιους (όπου χρειάζεται) και υπολογίστε τις διαστάσεις των πυλών που θα χρειαστούν λαμβάνοντας υπόψη και τηρώντας τις αναλογίες: $Wp=2k \cdot Wmin$, $Wn=k \cdot Wmin$ για τον αναστροφέα, $Wp=2m \cdot Wmin$, $Wn=2m \cdot Wmin$ για τη NAND 2-εισόδων και $Wp=4q \cdot Wmin$, $Wn=q \cdot Wmin$ για τη NOR 2-εισόδων, όπου k , m , q είναι ακέραιοι αριθμοί και $Wmin$ το πλάτος του nmos τρανζίστορ του ελάχιστου αναστροφέα για την επιλεγμένη τεχνολογία (π.χ. για cmos65n, $Wmin=140nm$ ενώ $Lp=Ln=70nm$). Τέλος, η χωρητικότητα C αντιστοιχεί στην χωρητικότητα της πύλης του nmos του ελάχιστου αναστροφέα.

α) $g1=4/3$, $h1=x/4C$
 $g2=1$, $h2=48C/x$
 $F= g1 \cdot h1 \cdot g2 \cdot h2=16$
 $\Rightarrow \theta \acute{\epsilon} \tau \omega f1= f2=(F)^{1/2}=4 \Rightarrow f2=g2 \cdot h2=48C/x=4 \Rightarrow x=12C$
 $f1= g1 \cdot h1=4/3 \cdot 12C/4C=4$ και $f2= g2 \cdot h2=1 \cdot 48C/12C=4$
 Η συνολική καθυστέρηση D είναι:
 $D= f1 + f2 + p1 + p2 = 4+4+2+1 =11$ ($\tau=3RC$)

β) $g1=1$, $h1=y/3C$, $g2=5/3$, $h2=48C/y$
 $F= g1 \cdot h1 \cdot g2 \cdot h2=80/3 \sim 26,66 \Rightarrow \theta \acute{\epsilon} \tau \omega f1=5$ και $f2=16/3=5,3334$
 (η τιμή του $f2$ επιλέχθηκε για να δώσει πύλη NOR 2 με ακέραιες διαστάσεις και αναλογίες για ίσους χρόνους ανόδου και καθόδου)
 $\Rightarrow f2=g2 \cdot h2=(5/3) \cdot (48C/y)=5,3334 \Rightarrow y=15C$
 (η τιμή αυτή είναι αποδεκτή γιατί είναι ακέραια και πολλαπλάσια του 5).
 $f1= g1 \cdot h1=1 \cdot 15C/3C=5$ και $f2= g2 \cdot h2=(5/3) \cdot (48C/15C)=16/3$
 Η συνολική καθυστέρηση D είναι:
 $D= f1 + f2 + p1 + p2 = 5+5,334+2+1+2=13,334$ ($\tau=3RC$)

2. Θεωρήστε τέσσερις σχεδιασμούς μιας πύλης AND 6 εισόδων όπως παρουσιάζονται στο παρακάτω σχήμα.



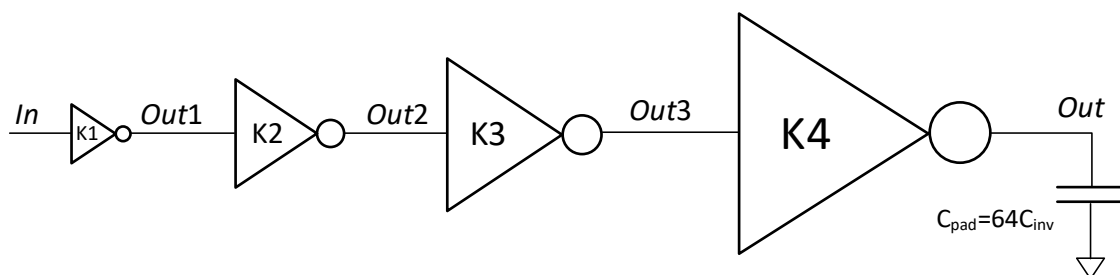
- Αναπτύξτε μια έκφραση για την καθυστέρηση του κάθε μονοπατιού, αν η ηλεκτρική προσπάθεια μονοπατιού είναι H .
- Ποιος είναι ο ταχύτερος σχεδιασμός για $H = 5$ και για $H = 18$; Για την διευκόλυνσή σας σχηματίστε έναν πίνακα υπολογισμών των καθυστερήσεων αυτών (φύλλο excel) με στήλες τις τιμές των G , P , N και για τις τέσσερις περιπτώσεις α-δ, που να αποτελούν τις γραμμές του πίνακα. Εξηγήστε τα συμπεράσματά σας.
- Για $H=18$ σχεδιάστε το layout στις περιπτώσεις β και δ του παρακάτω πίνακα και κάντε πειραματική επαλήθευση με προσομοίωση.

Σημείωση: Μπορείτε να χρησιμοποιήσετε όποια τεχνολογία θέλετε (μεταξύ των $120nm$, $90nm$, $65nm$, $45nm$ και $22nm$). Υπολογίστε τις διαστάσεις των πυλών που θα χρειαστούν στην σχεδίαση των βέλτιστων layout ξεκινώντας πάλι από τον τύπο (11). Για προσομοίωση διαφορετικού H , απλώς αλλάζτε το φορτίο εξόδου. Οι διαστάσεις των τρανζίστορ να είναι όπως ορίζονται στην προηγούμενη άσκηση. Θεωρήστε ότι οι πύλες του 1^{ου} σταδίου σε όλες τις περιπτώσεις είναι οι ελάχιστες δυνατές.

Για την διευκόλυνσή σας δίνονται οι παρακάτω υπολογισμοί της καθυστέρησης D για $H=18$:

Σχεδίαση	$G = \prod g_i$	$P = \sum p_i$	N	$F = \prod f_i = \prod g_i h_i = GBH$	$D_F = \sum f_i$	$D = D_F + P$
(α)	$8/3 \cdot 1$	$6+1=7$	2	$(8/3) \cdot 18=48=6 \cdot 8$	$6+8=14$	21
(β)	$5/3 \cdot 5/3$	$3+2=5$	2	$(25/9) \cdot 18=50=5 \cdot 10$	$5+10=15$	20
(γ)	$4/3 \cdot 7/3$	$2+3=5$	2	$(28/9) \cdot 18=56=7 \cdot 8$	$7+8=15$	20
(δ)	$5/3 \cdot 1 \cdot 4/3 \cdot 1$	$3+1+2+1=7$	4	$(20/9) \cdot 18=40=2 \cdot 2 \cdot 2 \cdot 5$	$2+2+2+5=11$	18

3. Να σχεδιαστεί σε όποια τεχνολογία θέλετε (μεταξύ των $120nm$, $90nm$, $65nm$, $45nm$ και $22nm$) ένας ελάχιστος αναστροφέας CMOS $K1$ με τις παρακάτω διαστάσεις: $Wn=4\lambda$, $Ln=2\lambda$ και $Wp=8\lambda$, $Lp=2\lambda$. Υπολογίστε την καθυστέρηση που εισάγει μια σειρά αναστροφέων $K1$, $K2$, $K3$, $K4$ όταν οδηγούν ένα φορτίο C_{pad} 64 φορές μεγαλύτερο από την χωρητικότητα εισόδου C_{inv} του αναστροφέα $K1$. Υπολογίστε την ελάχιστη-βέλτιστη συνολική καθυστέρηση από In έως Out για 4 βαθμίδες αναστροφέων θεωρητικά και πειραματικά καθώς και τις διαστάσεις των τρανζίστορ. Αν οι βαθμίδες είναι δύο ($K1$, $K2$) ποια είναι τα αντίστοιχα (βέλτιστα) αποτελέσματα; Να εξαχθούν συμπεράσματα.



Υπόδειξη: Σχεδιάστε το layout των ισχυρών αναστροφέων έτσι ώστε να μην καταλαμβάνουν μεγάλη έκταση κατακόρυφα. Ένας τέτοιος περιορισμός μπαίνει στην περίπτωση των standard cells όπου τα κύτταρα έχουν όλα το ίδιο ύψος.