

# Εισαγωγή στη Σχεδίαση Συστημάτων VLSI

## 4<sup>η</sup> εργαστηριακή άσκηση

Σε αυτό εργαστήριο θα αναλυθεί η βέλτιστη υλοποίηση κυκλωμάτων.

Για τον υπολογισμό των διαστάσεων των τρανζίστορ που θα χρειαστούν στην σχεδίαση των βέλτιστων layout θα χρειαστεί να υπολογιστούν τα μεγέθη:

Ο συνολικός λογικός φόρτος:  $G = \sum g_i$

Ο συνολικός ηλεκτρικός φόρτος:  $H = \frac{C_{out-path}}{C_{in-path}}$

Ο συνολικός φόρτος διαδρομής:  $F = \sum f_i = \sum g_i h_i$

Για δίκτυο πολλών σταδίων ο συνολικός φόρτος διακλάδωσης:  $B = \sum b_i$  με

$$b_i = \frac{C_{path1} + C_{path2} + \dots + C_{pathn}}{C_{path1}}$$

Ο συνολικός φόρτος διαδρομής ενός δικτύου πολλών σταδίων:  $F = GBH$

Η συνολική παρασιτική καθυστέρηση:  $P = \sum p_i$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = \sum f_i$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P$

Με τον υπολογισμό των παραπάνω μεγεθών καταλήγουμε στο συμπέρασμα ότι για να φτιαχτούν τα βέλτιστα layout χρειάζεται να ελαχιστοποιηθεί η συνολική καθυστέρηση φόρτου διαδρομής  $D_F$ . Το  $D_F$  γίνεται ελάχιστο όταν όλα τα  $f_i$  είναι ίσα και συνεπώς το βέλτιστο  $f_i$  είναι:  $f = \sqrt[n]{F}$ .

Με αυτό τον τρόπο θα προκύψει η ελάχιστη καθυστέρηση δικτύου δίνεται από τον τύπο:

$$D_{min} = n \sqrt[n]{F} + P$$

Επομένως, οι βέλτιστες διαστάσεις των τρανζίστορ υπολογίζονται εκ των υστέρων για κάθε στάδιο, ξεκινώντας από τη χωρητικότητα εξόδου και χρησιμοποιώντας διαδοχικά τον τύπο:

$$f = g \cdot h = g \cdot \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{g C_{out}}{f}$$

Επιπλέον, από τη θεωρία γνωρίζουμε ότι ο λογικός φόρτος ενός αντιστροφέα είναι  $g_{inv} = 1$ , ο λογικός φόρτος μιας πύλης NAND n εισόδων είναι  $g_{NAND} = \frac{n+2}{3}$  και ο λογικός φόρτος μιας πύλης NOR n εισόδων είναι  $g_{NOR} = \frac{2n+1}{3}$ .

Επιπλέον, από τη θεωρία γνωρίζουμε ότι η παρασιτική καθυστέρηση κοινών πυλών ενός αντιστροφέα είναι  $p_{inv} = 1$ , μιας πύλης NAND n εισόδων είναι  $p_{NAND} = n$  και μιας πύλης NOR n εισόδων είναι  $p_{NOR} = n$ .

Επιπλέον, οι κυκλωματικές υλοποιήσεις γίνονται στην ίδια τεχνολογία cmos65n με  $\tau=3psec$ , που συνεπάγεται ότι η καθυστέρηση των δύο υλοποιήσεων μπορεί να συγκριθεί από τα  $t_{pd}$  των γραφικών παραστάσεων.

Για τον υπολογισμό των διαστάσεων των τρανζίστορ, που θα χρειαστούν στην σχεδίαση των layout, χρησιμοποιήθηκε το πλάτος ενός ελάχιστου αναστροφέα  $W_{min}=4\lambda$ , για να τηρηθούν οι αναλογίες που δίνονται:

Για το αναστροφέα:  $W_p=2k \cdot W_{min}$ ,  $W_n=k \cdot W_{min}$

Για την πύλη NAND:  $W_p=2m \cdot W_{min}$ ,  $W_n=2m \cdot W_{min}$

Για την πύλη NOR:  $W_p=4q \cdot W_{min}$ ,  $W_n=q \cdot W_{min}$

### Ερώτηση 1:

Σε αυτό το ερώτημα θα γίνει η υλοποίηση μιας πύλης AND δύο εισόδων με δύο διαφορετικούς τρόπους υλοποίησης. Η πύλη AND δύο εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 1.

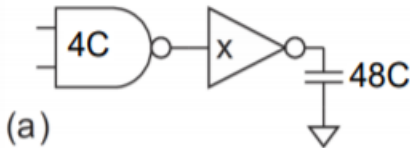
Πίνακας αληθείας πύλης AND:

INPUT A	INPUT B	OUTPUT
0	0	0
0	1	0
1	0	0
1	1	1

Η χωρητικότητα της πύλης στον ελάχιστο αναστροφέα βρέθηκε  $C_g=0,51fF$ , όπου είναι ίση με την  $C=0,51fF$ .

### 1<sup>ος</sup> τρόπος:

Ο πρώτος τρόπος υλοποίησης της πύλης AND, θα γίνει με χρήση της πύλης NAND 2 εισόδων και ενός αντιστροφέα στην έξοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NAND 2 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 1.

Πίνακας αληθείας πύλης NAND:

INPUT A	INPUT B	OUTPUT
0	0	1
0	1	1
1	0	1
1	1	0

Η κυκλωματική υλοποίηση της πύλης AND:

Για να βρεθούν οι βέλτιστες διαστάσεις χρησιμοποιήθηκε η ελάχιστη πύλη NAND με  $m=1$ ,  $W_p=8\lambda$ ,  $W_n=8\lambda$ , αφού είναι το πρώτο στάδιο του κυκλώματος. Ύστερα, μετρήθηκαν τα παρακάτω μεγέθη για να βρεθούν οι διαστάσεις του δεύτερου σταδίου, εδώ του αντιστροφέα.

Ο συνολικός λογικός φόρτος:  $G = \frac{4}{3} * 1 = \frac{4}{3}$ , αφού  $g_{inv} = 1$  και  $g_{NAND} = \frac{n+2}{3} = \frac{4}{3}$

Ο συνολικός ηλεκτρικός φόρτος:  $H = \frac{48C}{4C} = 12$

Ο συνολικός φόρτος διαδρομής:  $F = G * H = \frac{4}{3} * 12 = 16$

Το βέλτιστο  $f_i$  είναι:  $f = \sqrt{16} = 4$

Η συνολική παρασιτική καθυστέρηση:  $P = 1 + 2 = 3$ , αφού  $p_{inv} = 1$  και  $p_{NAND} = n = 2$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = \frac{x}{4C} + \frac{48C}{x} = 7$ , για  $x = 12C$

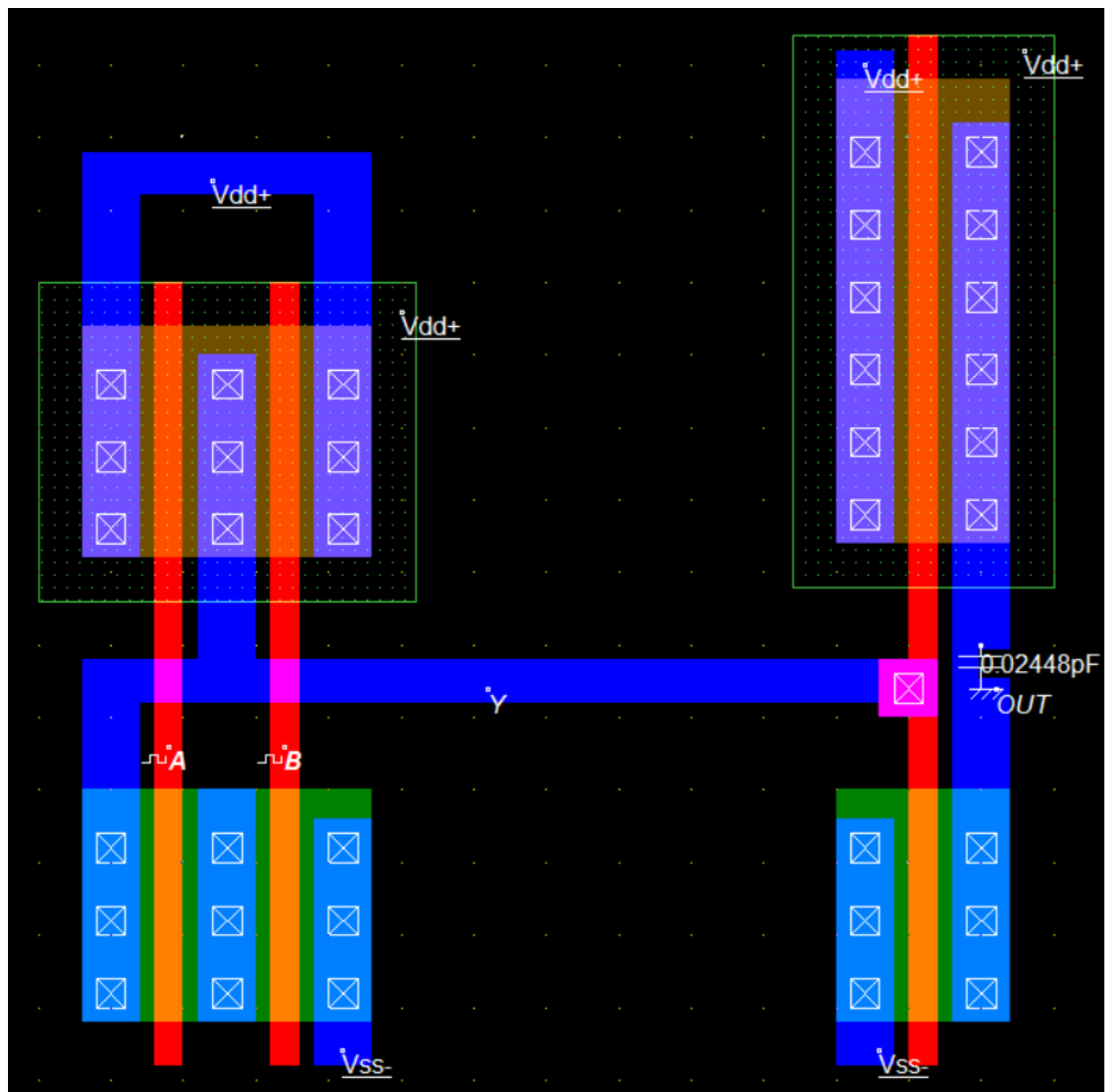
Η συνολική βέλτιστη καθυστέρηση φόρτου διαδρομής:  $D_F = f_1 + f_2 = 8$ , για  $f_1 = f_2 = 4$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 10$

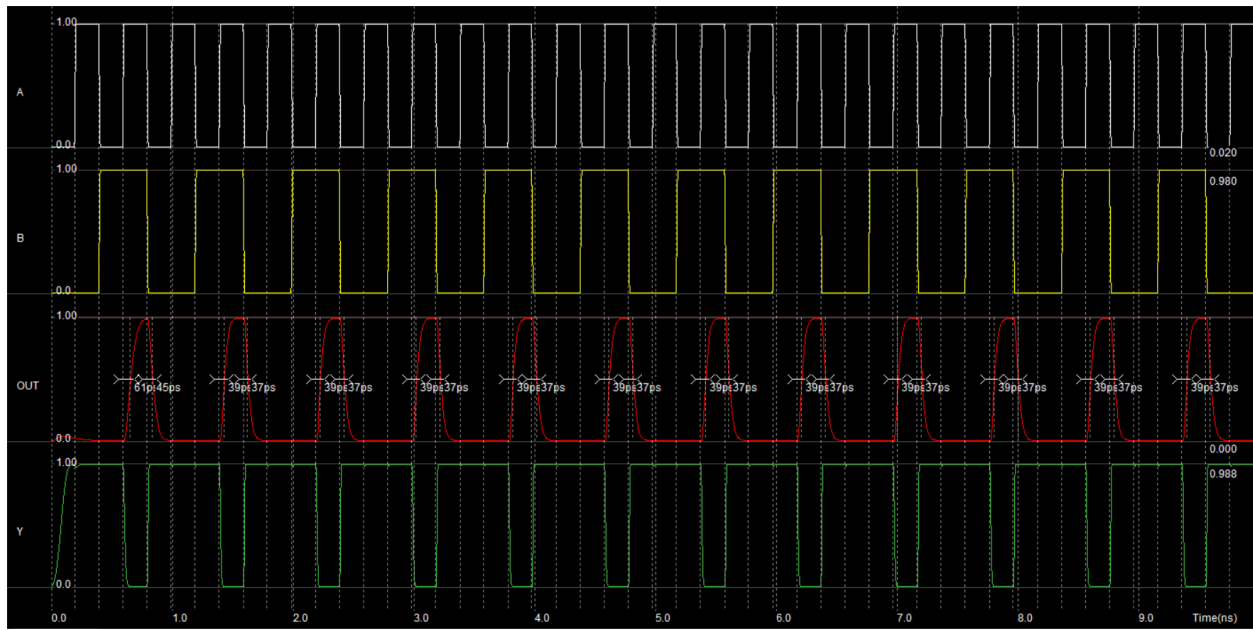
Η συνολική βέλτιστη καθυστέρηση διάδοσης:  $D = D_F + P = 11$

Ξεκινώντας από τη χωρητικότητα εξόδου:  $f = g * h = g * \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{gC_{out}}{f} \Leftrightarrow x = (g_{inv} * 48C) / 4$   
 $\Leftrightarrow x = \frac{48C}{4} \Leftrightarrow x = 12C$

Ο μοναδιαίος αντιστροφέας έχει  $\tau = 3RC$ , για αυτό και η μεταβλητή  $x$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 3. Άρα, οι βέλτιστες διαστάσεις του αναστροφέα είναι 4 φορές ο μοναδιαίος.

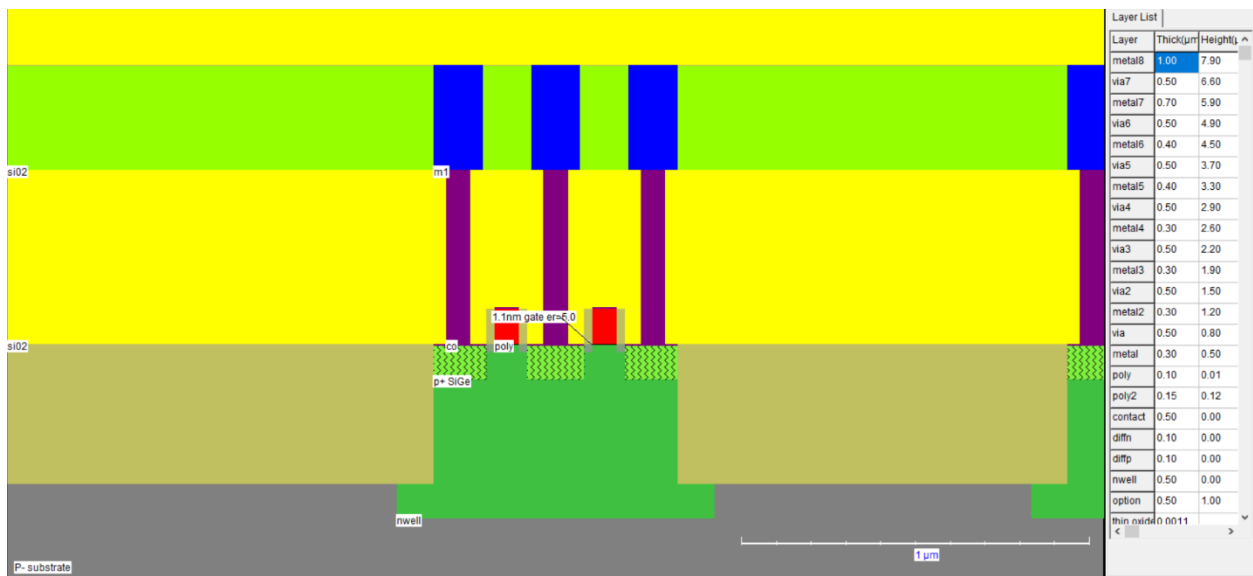


Γραφικές Παραστάσεις:



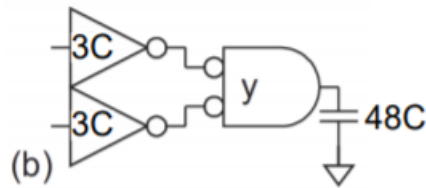
Από τη γραφική παράσταση φαίνεται ότι το  $t_{pdr} = 39\text{psec}$  και  $t_{pdf} = 37\text{psec}$ .

Τομή σε κρίσιμη περιοχή:



## 2ος τρόπος:

Ο δεύτερος τρόπος υλοποίησης της πύλης AND , θα γίνει με χρήση της πύλης NOR 2 εισόδων και δύο αντιστροφέων στην είσοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NOR 2 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 0.

Πίνακας αληθείας πύλης NOR:

INPUT A	INPUT B	OUTPUT
0	0	1
0	1	0
1	0	0
1	1	0

Η κυκλωματική υλοποίηση της πύλης AND:

Για να βρεθούν οι βέλτιστες διαστάσεις χρησιμοποιήθηκε ο ελάχιστος αντιστροφείας με  $k=1$ ,  $W_p=8\lambda$ ,  $W_n=4\lambda$ , αφού είναι το πρώτο στάδιο του κυκλώματος. Ύστερα, μετρήθηκαν τα παρακάτω μεγέθη για να βρεθούν οι διαστάσεις του δεύτερου σταδίου, εδώ της πύλης NOR.

Ο συνολικός λογικός φόρτος:  $G=1*\frac{5}{3}=\frac{5}{3}$ , αφού  $g_{inv}=1$  και  $g_{NOR}=\frac{2n+1}{3}=\frac{5}{3}$

Ο συνολικός ηλεκτρικός φόρτος:  $H=\frac{48C}{3C}=16$

Ο συνολικός φόρτος διαδρομής:  $F=G*H=\frac{5}{3}*16=\frac{80}{3}$

Το βέλτιστο  $f_i$  είναι:  $f=\sqrt{\frac{80}{3}}=5,16$

Η συνολική παρασιτική καθυστέρηση:  $P=1+2=3$ , αφού  $p_{inv}=1$  και  $p_{NOR}=n=2$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F=\frac{y}{3C}+\frac{48C}{y}=8,03$ , για  $y=10,95$

Η συνολική βέλτιστη καθυστέρηση φόρτου διαδρομής:  $D_F=f_1+f_2=10,32$ , για  $f_1=f_2=5,16$

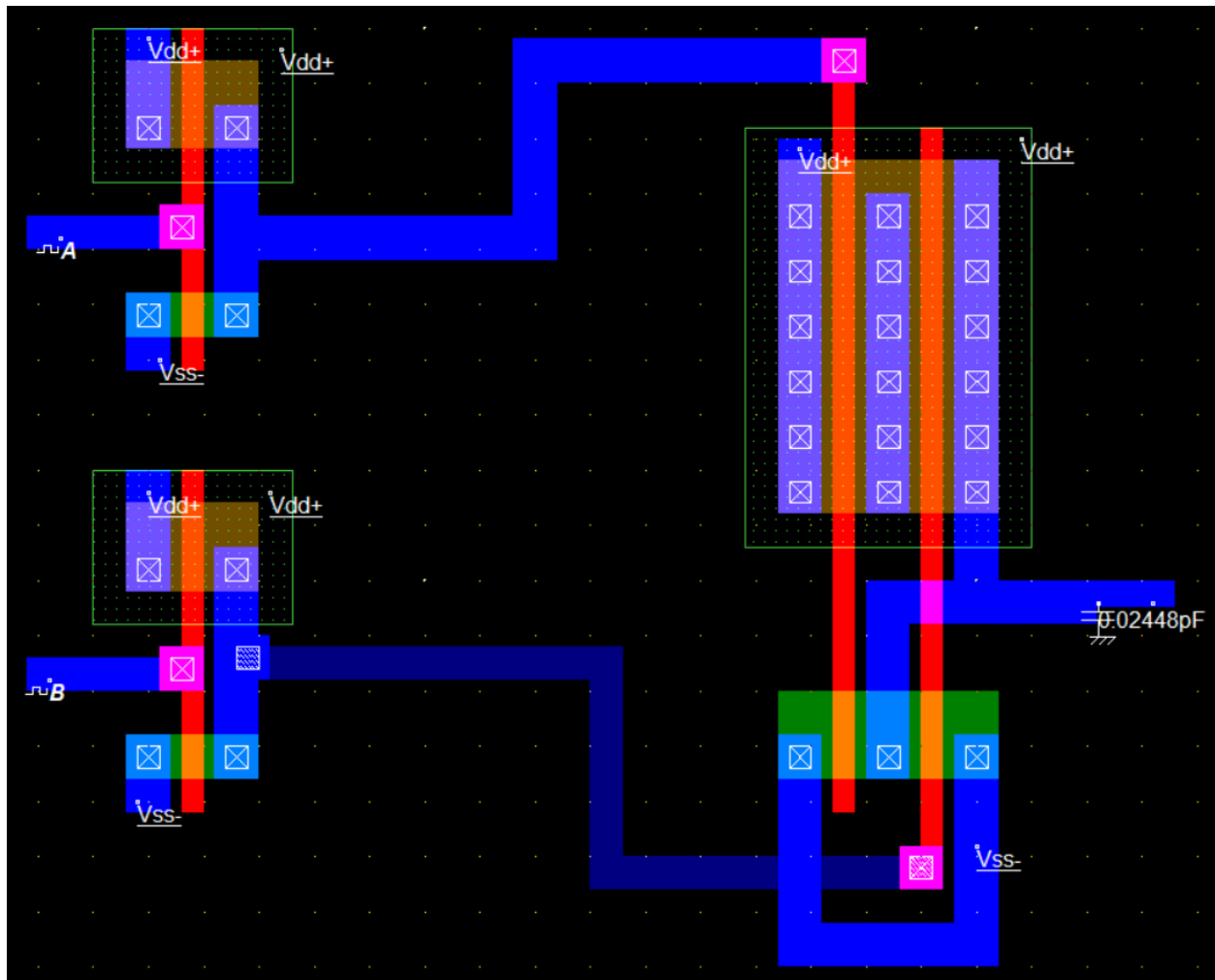
Η συνολική καθυστέρηση διάδοσης:  $D=D_F+P=11,03$

Η συνολική βέλτιστη καθυστέρηση διάδοσης:  $D=D_F+P=13,32$

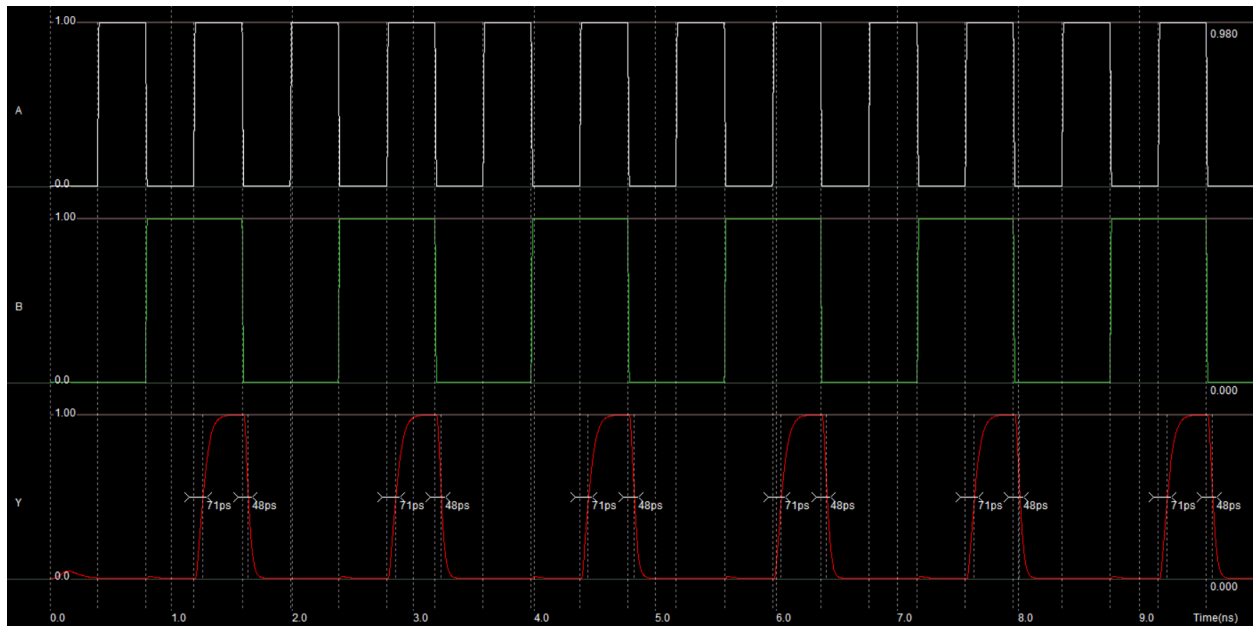
Ξεκινώντας από τη χωρητικότητα εξόδου:  $f=g*h=g*\frac{C_{out}}{C_{in}}\Leftrightarrow C_{in}=\frac{gC_{out}}{f}\Leftrightarrow$

$y=(g_{NOR}*48C)/7,3\Leftrightarrow y=\frac{5*48C}{3*7,3}\Leftrightarrow y=10,95C$

Η μοναδιαία πύλη NOR έχει  $\tau=5RC$ , για αυτό και η μεταβλητή  $y$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 5. Άρα, οι βέλτιστες διαστάσεις της πύλης NOR είναι 2 φορές η μοναδιαία.

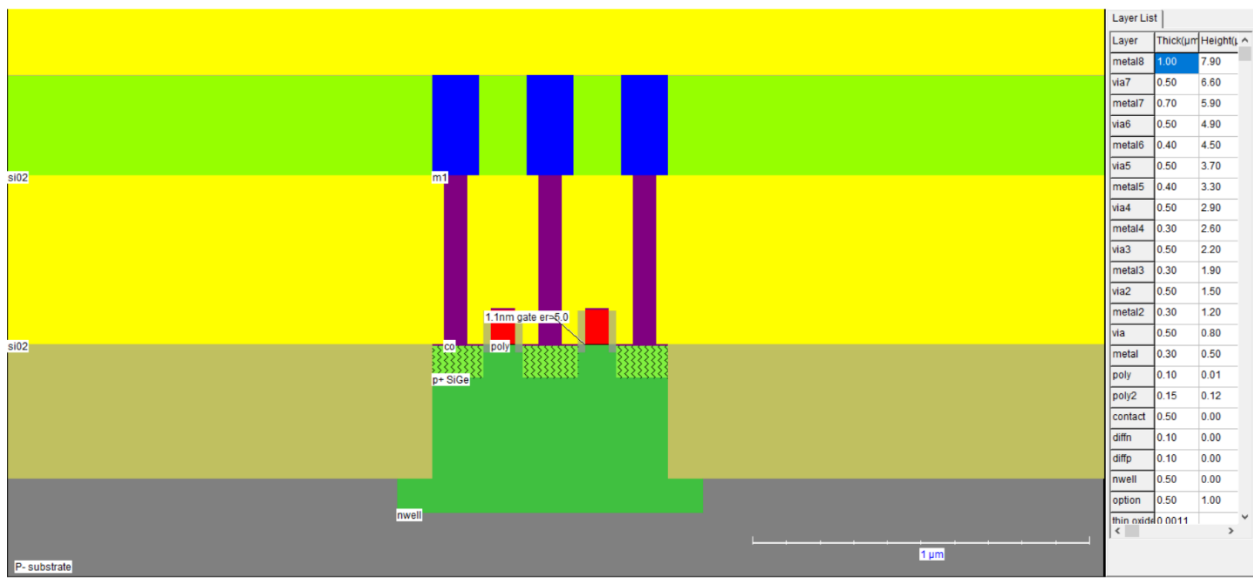


Γραφικές Παραστάσεις:



Από τη γραφική παράσταση φαίνεται ότι το  $t_{rp} = 71\text{psec}$  και  $t_{pf} = 48\text{psec}$ .

Τομή σε κρίσιμη περιοχή:



Συμπέρασμα:

Επομένως, συγκρίνοντας τα  $t_{pd}$  των προηγούμενων υλοποιήσεων φαίνεται ότι η 1<sup>η</sup> υλοποίηση της πύλης AND είναι πιο γρήγορη, αφού και το  $t_{pdr1}(=39\text{psec}) < t_{pdr2}(=71\text{psec})$  και το  $t_{pdf1}(=37\text{psec}) < t_{pdf2}(=48\text{psec})$ .



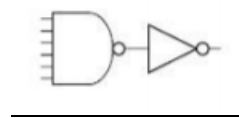
## Ερώτηση 2:

**i)**

Σε αυτό το ερώτημα θα γίνει μια έκφραση για την καθυστέρηση του κάθε μονοπατιού των υλοποιήσεων πύλης AND έξι εισόδων με τέσσερις διαφορετικούς τρόπους, που δίνονται στην εκφώνηση συναρτήσει της ηλεκτρικής προσπάθειας μονοπατιού  $H$ . Η πύλη AND έξι εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και λειτουργεί μόνο όταν και τα 6 σήματα εισόδου έχουν τιμή λογικό 1.

### 1<sup>ος</sup> τρόπος:

Ο πρώτος τρόπος υλοποίησης της πύλης AND γίνεται με χρήση της πύλης NAND 6 εισόδων και ενός αντιστροφέα στην έξοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NAND 6 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα έξι σήματα εισόδου έχουν τιμή λογικό 1. Ο αντιστροφέας, όπως λέει και το όνομά του αντιστρέφει που δέχεται στην έξοδο.

Για την εύρεση της καθυστέρησης μονοπατιού βρέθηκαν:

Ο συνολικός λογικός φόρτος:  $G = 1 * \frac{8}{3} = \frac{8}{3}$ , αφού  $g_{inv} = 1$  και  $g_{NAND} = \frac{n+2}{3} = \frac{8}{3}$

Ο συνολικός ηλεκτρικός φόρτος:  $H$

Ο συνολικός φόρτος διαδρομής:  $F = G * H = \frac{8}{3} * H$

Η συνολική παρασιτική καθυστέρηση:  $P = 6 + 1 = 7$ , αφού  $p_{inv} = 1$  και  $p_{NAND} = n = 6$

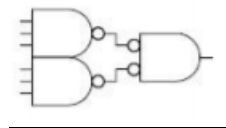
Το βέλτιστο  $f_i$  είναι:  $f_i = \sqrt[n]{F} = \sqrt{\frac{8}{3}} * H$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = D_F = \sum f_i = 2 \sqrt{\frac{8}{3}} * H$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 2 \sqrt{\frac{8}{3}} * H + 7$

### 2<sup>ος</sup> τρόπος:

Ο δεύτερος τρόπος υλοποίησης της πύλης AND γίνεται με χρήση 2 πυλών NAND 3 εισόδων και μιας πύλης NOR στην έξοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NAND 3 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα τρία σήματα εισόδου έχουν τιμή λογικό 1. Η πύλη NOR 2 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 0.

Για την εύρεση της καθυστέρησης μονοπατιού βρέθηκαν:

Ο συνολικός λογικός φόρτος:  $G = \frac{5}{3} * \frac{5}{3} = \frac{25}{9}$ , αφού  $g_{NOR} = \frac{2n+1}{3} = \frac{5}{3}$  και  $g_{NAND} = \frac{n+2}{3} = \frac{5}{3}$

Ο συνολικός ηλεκτρικός φόρτος: H

Ο συνολικός φόρτος διαδρομής:  $F = G * H = \frac{25}{9} * H$

Η συνολική παρασιτική καθυστέρηση:  $P = 3+2=5$ , αφού  $p_{NOR} = n=2$  και  $p_{NAND} = n = 3$

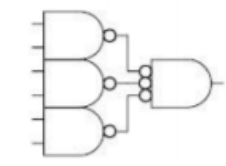
Το βέλτιστο  $f_i$  είναι:  $f_i = \sqrt[n]{F} = \sqrt{\frac{25}{9} * H} = \frac{5}{3} H$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = D_F = \sum f_i = 2 * \frac{5}{3} H$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = \frac{10}{3} H + 5$

### **3<sup>ος</sup> τρόπος:**

Ο τρίτος τρόπος υλοποίησης της πύλης AND γίνεται με χρήση 3 πυλών NAND 2 εισόδων και μιας πύλης NOR 3 εισόδων στην έξοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NAND 2 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 1. Η πύλη NOR 3 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και λειτουργεί μόνο όταν και τα τρία σήματα εισόδου έχουν τιμή λογικό 0.

Για την εύρεση της καθυστέρησης μονοπατιού βρέθηκαν:

Ο συνολικός λογικός φόρτος:  $G = \frac{4}{3} * \frac{7}{3} = \frac{28}{9}$ , αφού  $g_{NOR} = \frac{2n+1}{3} = \frac{7}{3}$  και  $g_{NAND} = \frac{n+2}{3} = \frac{4}{3}$

Ο συνολικός ηλεκτρικός φόρτος: H

Ο συνολικός φόρτος διαδρομής:  $F = G * H = \frac{28}{9} * H$

Η συνολική παρασιτική καθυστέρηση:  $P = 2+3=5$ , αφού  $p_{NOR} = n=3$  και  $p_{NAND} = n = 2$

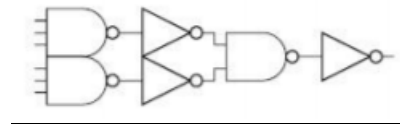
Το βέλτιστο  $f_i$  είναι:  $f_i = \sqrt[n]{F} = \sqrt{\frac{28}{9} * H}$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = D_F = \sum f_i = 2 \sqrt{\frac{28}{9} * H}$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 2 \sqrt{\frac{28}{9} * H} + 5$

#### **4<sup>ος</sup> τρόπος:**

Ο τέταρτος τρόπος υλοποίησης της πύλης AND γίνεται με χρήση 2 πυλών NAND 3 εισόδων, 2 αντιστροφών στην έξοδό της, μιας πύλης NAND 2 εισόδων και ενός αντιστροφέα στην έξοδό της, όπως φαίνεται στο παρακάτω σχήμα.



Η πύλη NAND 3 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα τρία σήματα εισόδου έχουν τιμή λογικό 1. Η πύλη NAND 2 εισόδων δέχεται κάποιες τιμές σημάτων σαν είσοδο και δε λειτουργεί μόνο όταν και τα δύο σήματα εισόδου έχουν τιμή λογικό 1. Οι αντιστροφείς αναστρέφουν το σήμα που δέχονται στην είσοδό τους.

Για την εύρεση της καθυστέρησης μονοπατιού βρέθηκαν:

Ο συνολικός λογικός φόρτος:  $G = \frac{5}{3} * 1 * \frac{4}{3} * 1 = \frac{20}{9}$ , αφού  $g_{inv} = 1$  και  $g_{NAND} = \frac{n+2}{3} = \frac{5}{3}$  και  $\frac{4}{3}$

Ο συνολικός ηλεκτρικός φόρτος: H

Ο συνολικός φόρτος διαδρομής:  $F = G * H = \frac{20}{9} * H$

Η συνολική παρασιτική καθυστέρηση:  $P = 3+1+3+1=7$ , αφού  $p_{inv}=1$  και  $p_{NAND} = n = 3$  και 2

Το βέλτιστο  $f_i$  είναι:  $f_i = \sqrt[4]{\frac{20}{9}} * H$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = D_F = \sum f_i = 4 \sqrt[4]{\frac{20}{9}} * H$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 4 \sqrt[4]{\frac{20}{9}} * H + 7$

## ii)

Για την συμπλήρωση των πινάκων με τα αντίστοιχα μεγέθη χρησιμοποιήθηκαν οι παραπάνω σχέσεις που προέκυψαν συναρτήσει της ηλεκτρικής προσπάθειας μονοπατιού  $H$  για  $H=5$  και  $H=18$  αντιστοίχως.

Για  $H=5$ :

Σχεδίαση	$G=\Pi g_i$	$P=\sum p_i$	N	$F=\Pi f_i=\Pi g_i h_i$	$D_F=\sum f_i$	$D = D_F + P$
(α)	$8/3*1=8/3$	$6+1=7$	2	$8/3*5=40/3$	$8/3+5=23/3$	14,66
(β)	$5/3*5/3=25/9$	$3+2=5$	2	$25/9*5=250/9$	$50/9+5=95/9$	15,55
(γ)	$4/3*7/3=28/9$	$2+3=5$	2	$28/9*5=140/9$	$14/9+10=104/9$	16,55
(δ)	$5/3*1*4/3*1=20/9$	$3+1+2+1=7$	4	$20/9*5=100/9$	$5/9+2+2+5=86/9$	17,55

Από τον παραπάνω πίνακα για  $H=5$  βλέπουμε ότι για χαμηλό  $H$ , κοντά στην μονάδα πιο γρήγορη κυκλωματική υλοποίηση είναι η πρώτη, όπου έχει ένα στάδιο με μια πύλη NAND 6 εισόδων σε αντίθεση με τις υπόλοιπες υλοποιήσεις που έχουν λιγότερες εισόδους και περισσότερα στάδια (υλοποίηση 4).

Για  $H=18$ :

Σχεδίαση	$G=\Pi g_i$	$P=\sum p_i$	N	$F=\Pi f_i=\Pi g_i h_i$	$D_F=\sum f_i$	$D = D_F + P$
(α)	$8/3*1=8/3$	$6+1=7$	2	$8/3*18=48=6*8$	$6+8=14$	21
(β)	$5/3*5/3=25/9$	$3+2=5$	2	$25/9*18=50=5*10$	$10+5=15$	20
(γ)	$4/3*7/3=28/9$	$2+3=5$	2	$28/9*18=56=7*8$	$7+8=15$	20
(δ)	$5/3*1*4/3*1=20/9$	$3+1+2+1=7$	4	$20/9*18=40=2*2*2*5$	$2+2+2+5=11$	18

Από τον παραπάνω πίνακα για  $H=18$  βλέπουμε ότι για πιο υψηλό  $H$  πιο γρήγορη κυκλωματική υλοποίηση είναι η τέταρτη γιατί αποτελείται από περισσότερα στάδια και από πύλες με λιγότερες εισόδους σε σχέσεις με τις υπόλοιπες κυκλωματικές υλοποιήσεις.

Συμπέρασμα:

Αυτή η αντιστροφή στο ποια κυκλωματική υλοποίηση ανάλογα με την τιμή της ηλεκτρικής προσπάθειας μονοπατιού  $H$  ευθύνεται στο ότι για χαμηλές τιμές του  $H$  η παρασιτική χωρητικότητα είναι λιγότερη όταν τα στάδια είναι λιγότερα και οι πύλες έχουν περισσότερες εισόδους.

### iii)

Για τον δεύτερο τρόπο υλοποίησης της πύλης AND, όπου γίνεται με χρήση 2 πυλών NAND 3 εισόδων και μιας πύλης NOR στην έξοδό της και  $H=18$ , χρησιμοποιήθηκαν τα ελάχιστα μοντέλα για τις πύλες NAND, ως πρώτο κυκλωματικό στοιχείο και βρέθηκαν οι βέλτιστες διαστάσεις για το στάδιο εξόδου, που είναι η πύλη NOR.

Συγκεκριμένα, βρέθηκαν τα παρακάτω μεγέθη χρησιμοποιώντας τις εξισώσεις που βρέθηκαν στο ερώτημα 2.ι για  $H=18$ :

$$\text{Ο συνολικός φόρτος διαδρομής: } F = G \cdot H = \frac{25}{9} \cdot H = \frac{25}{9} \cdot 18 = 50$$

$$\text{Το βέλτιστο } f_i \text{ είναι: } f_i = \sqrt[n]{F} = \sqrt{50} = 5\sqrt{2}.$$

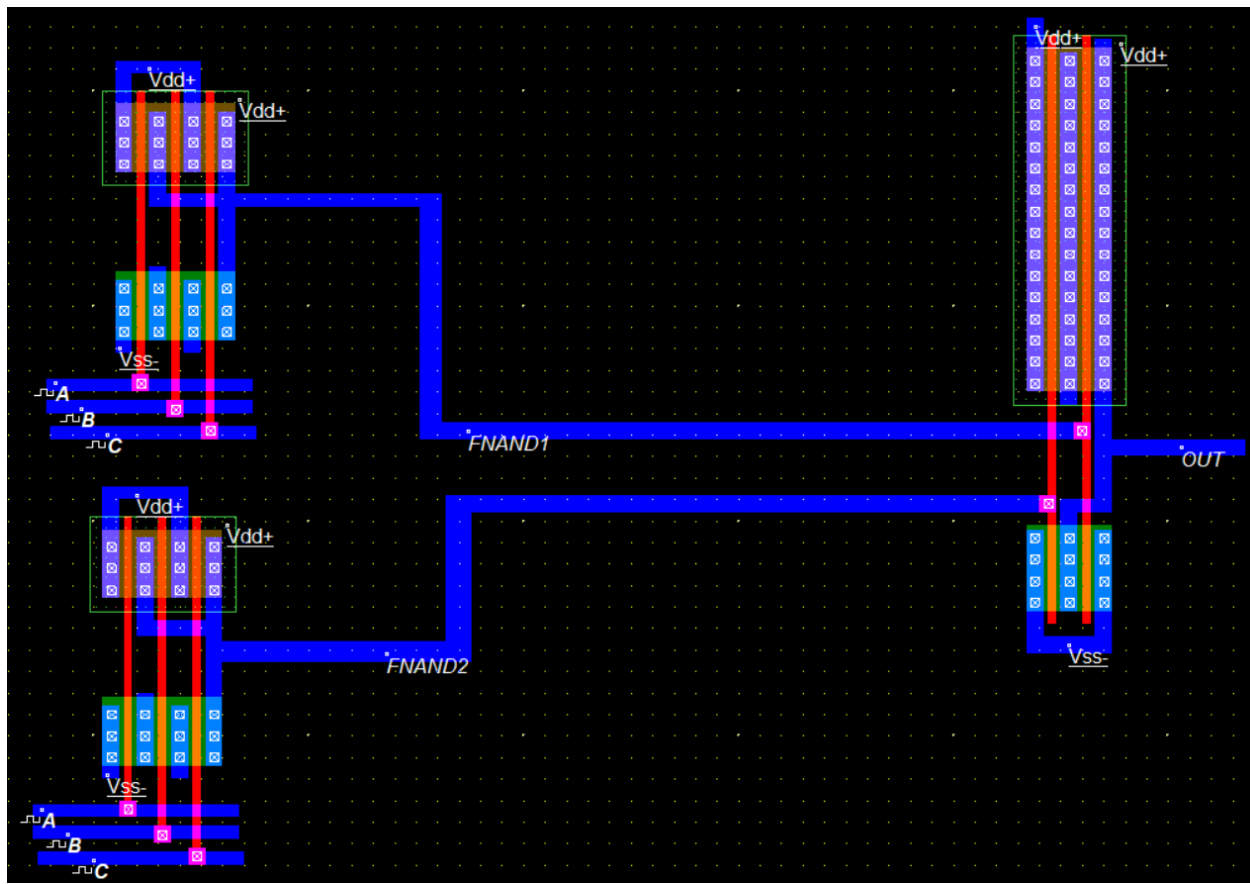
$$\text{Για } C_{in} \text{ χρησιμοποιήθηκε } C_{in}=4C, \text{ οπότε το } C_{out} = H \cdot C_{in} = 72C$$

$$\text{Ξεκινώντας από τη χωρητικότητα εξόδου: } f = g \cdot h = g \cdot \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{g C_{out}}{f} \Leftrightarrow$$

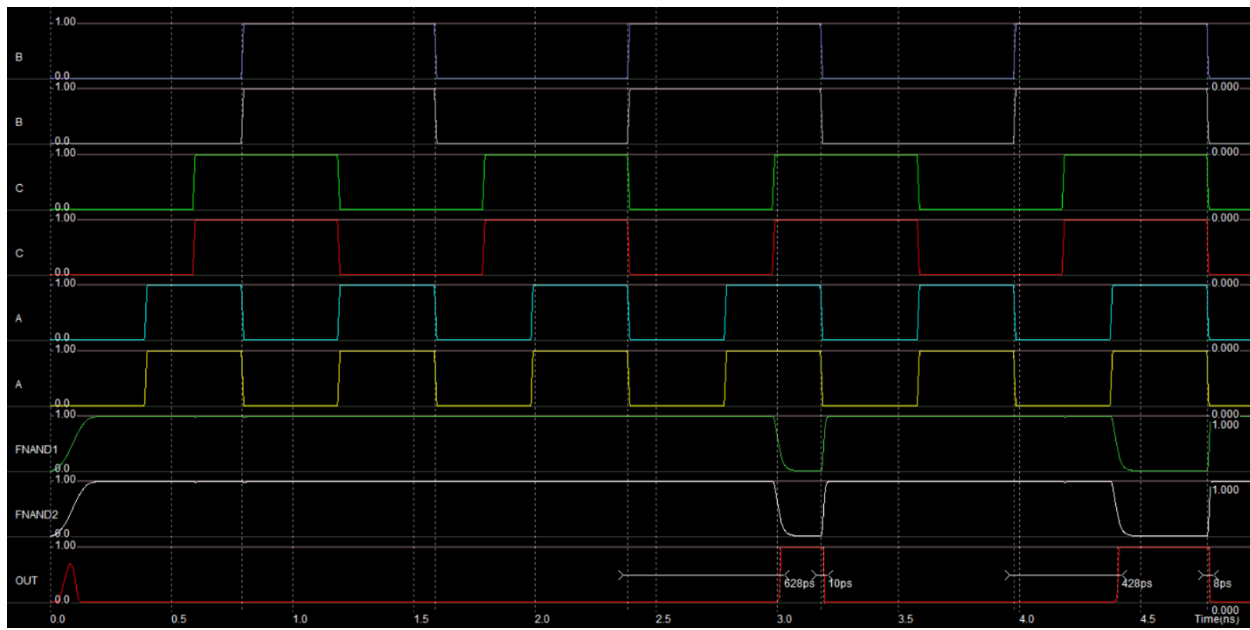
$$y = (g_{NOR} \cdot 72C) / 5\sqrt{2} \Leftrightarrow y = \frac{5 \cdot 72C}{3 \cdot 7,07} \Leftrightarrow y = 16,97C \text{ περίπου}$$

Η μοναδιαία πύλη NOR έχει  $\tau=5RC$ , για αυτό και η μεταβλητή  $y$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 5. Άρα, οι βέλτιστες διαστάσεις της πύλης NOR είναι 3 φορές η μοναδιαία.

Άρα η κυκλωματική υλοποίησή της είναι:

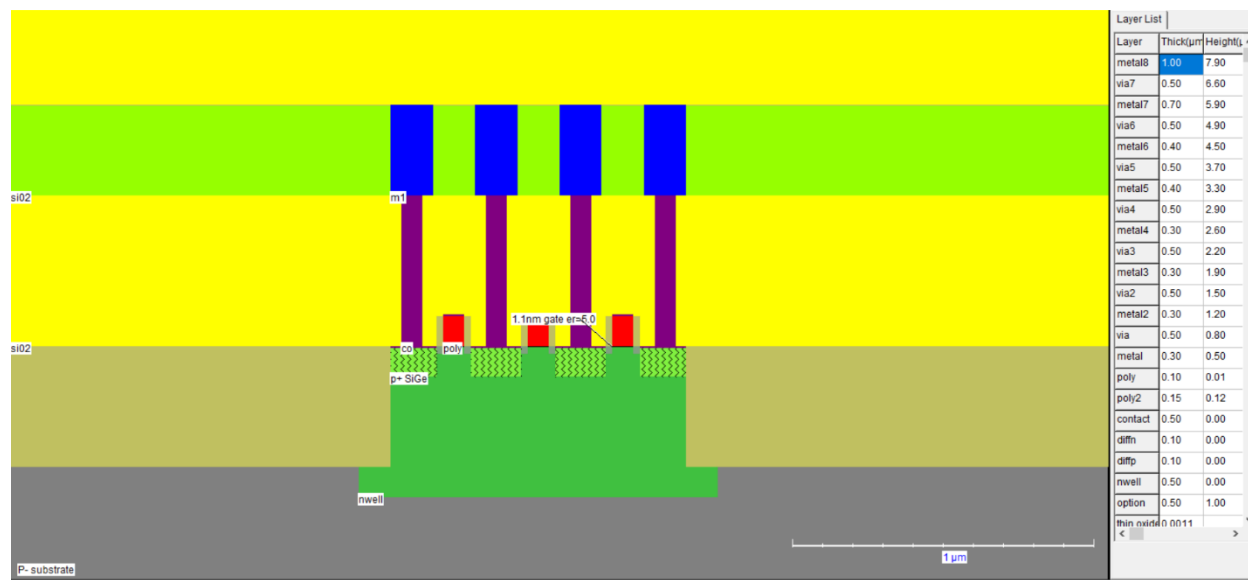


### Γραφικές Παραστάσεις:



Από την γραφική παράσταση παρατηρείται ότι το  $t_{pr}=62\text{psec}$  και το  $t_{pdf}=10\text{psec}$  στον πρώτο παλμό που προκύπτει και  $t_{pr}=428\text{psec}$  και το  $t_{pdf}=8\text{psec}$  στον πρώτο παλμό που προκύπτει. Από αυτά ένας μέσος όρος για το  $t_{pd}$  θα είναι περίπου  $t_{pd}=200\text{psec}$ .

### Τομή σε κρίσιμη περιοχή:



Για τον τέταρτο τρόπο υλοποίησης της πύλης AND, όπου γίνεται με χρήση 2 πυλών NAND 3 εισόδων, 2 αντιστροφών στην έξοδό της, μιας πύλης NAND 2 εισόδων και ενός αντιστροφέα στην έξοδό της και  $H=18$ , χρησιμοποιήθηκαν τα ελάχιστα μοντέλα για τις πύλες NAND, ως πρώτο κυκλωματικό στοιχείο και βρέθηκαν οι βέλτιστες διαστάσεις για τα επόμενα στάδια εξόδου.

Συγκεκριμένα, βρέθηκαν τα παρακάτω μεγέθη χρησιμοποιώντας τις εξισώσεις που βρέθηκαν στο ερώτημα 2.ι για  $H=18$ :

$$\text{Ο συνολικός φόρτος διαδρομής: } F = G \cdot H = \frac{20}{9} \cdot H = \frac{20}{9} \cdot 18 = 40$$

$$\text{Το βέλτιστο } f_i \text{ είναι: } f_i = \sqrt[n]{F} = \sqrt[4]{40} = 2,51$$

$$\text{Για } C_{in} \text{ χρησιμοποιήθηκε } C_{in}=4C, \text{ οπότε το } C_{out} = H \cdot C_{in} = 72C$$

$$\text{Ξεκινώντας από τη χωρητικότητα εξόδου: } f = g \cdot h = g \cdot \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{g C_{out}}{f} \Leftrightarrow$$

$$y = (g_{inv} \cdot 72C) / 2,51 \Leftrightarrow y = \frac{72C}{2,51} \Leftrightarrow y = 28,68C \text{ περίπου}$$

Ο μοναδιαίος αντιστροφέας έχει  $\tau=3RC$ , για αυτό και η μεταβλητή  $y$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 3. Άρα, οι βέλτιστες διαστάσεις του αντιστροφέα στην έξοδο είναι 9 φορές ο μοναδιαίος.

Συνεχίζοντας από τη χωρητικότητα εξόδου:  $f=g*h = g * \frac{y}{C_{in}} \Leftrightarrow C_{in} = \frac{gy}{f} \Leftrightarrow$

$$z = (g_{NAND} 29C) / 2,51 \Leftrightarrow z = \frac{4*29C}{3*2,51} \Leftrightarrow z = 15,4C \text{ περίπου}$$

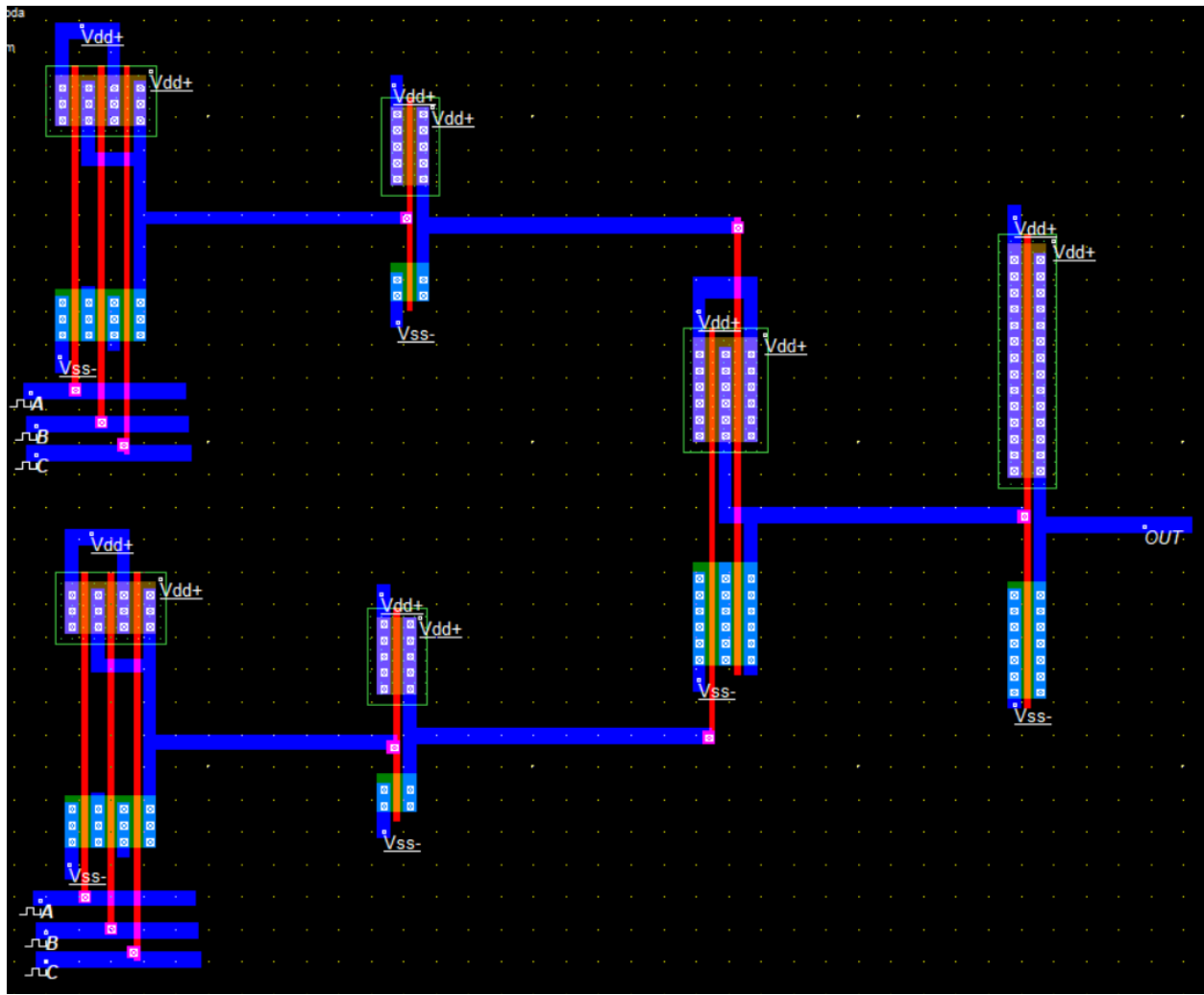
Η μοναδιαία πύλη NAND έχει  $\tau=4RC$ , για αυτό και η μεταβλητή  $z$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 4. Άρα, οι βέλτιστες διαστάσεις της πύλης NAND στην έξοδο είναι 4 φορές η μοναδιαία.

Συνεχίζοντας από τη χωρητικότητα εξόδου:  $f=g*h = g * \frac{z}{C_{in}} \Leftrightarrow C_{in} = \frac{gz}{f} \Leftrightarrow$

$$x = (g_{inv} 16C) / 2,51 \Leftrightarrow x = \frac{16C}{2,51} \Leftrightarrow x = 6,37C \text{ περίπου}$$

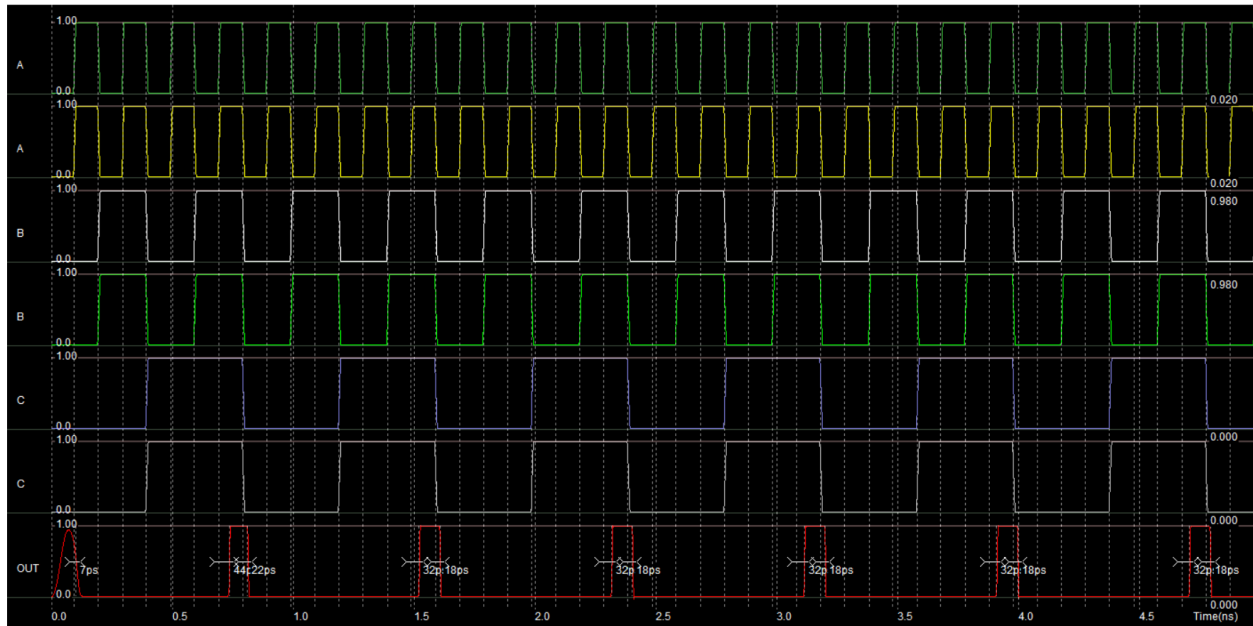
Ο μοναδιαίος αντιστροφέας έχει  $\tau=3RC$ , για αυτό και η μεταβλητή  $x$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 3. Άρα, οι βέλτιστες διαστάσεις των αντιστροφέων είναι 2 φορές ο μοναδιαίος.

Άρα η κυκλωματική υλοποίησή της είναι:



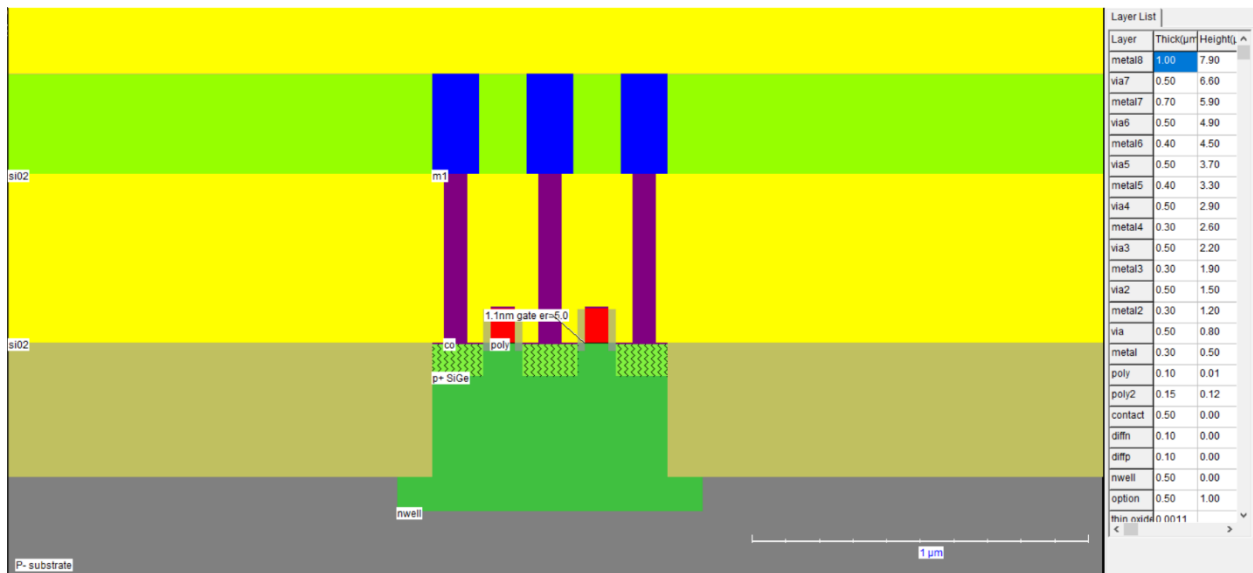


### Γραφικές παραστάσεις:



Από την γραφική παράσταση παρατηρείται ότι το  $\tau_{pr}=32\text{psec}$  και το  $\tau_{pdf}=18\text{psec}$  στον πρώτο παλμό που προκύπτει και ομοίως στους υπόλοιπους. Από αυτά ένας μέσος όρος για το  $\tau_{pd}$  θα είναι περίπου  $\tau_{pd}=20\text{psec}$ .

Τομή σε κρίσιμη περιοχή:



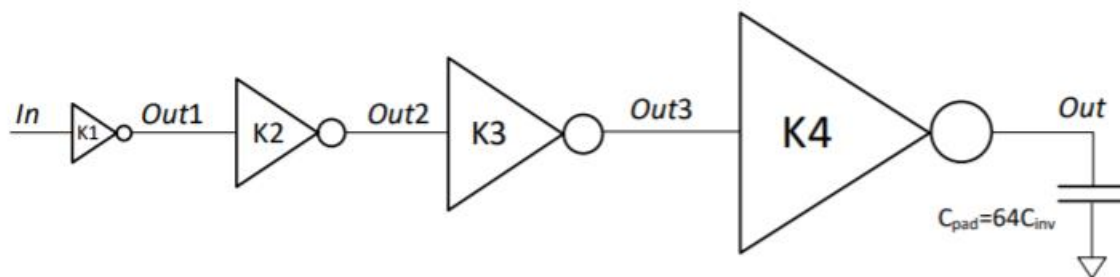
Συμπέρασμα:

Επομένως, συγκρίνοντας τις πειραματικές μετρήσεις για το  $t_{pd}$  που λήφθηκαν στην ίδια τεχνολογία cmos65n και άρα με το ίδιο  $\tau$ , επαληθεύεται το αποτέλεσμα που βρέθηκε στο ερώτημα 2.ii, δηλαδή ότι η κυκλωματική διάταξη 4 έχει λιγότερη καθυστέρηση άρα είναι και πιο γρήγορη. Αυτό συμβαίνει γιατί ο μέσος όρος του  $t_{pd2}(=200) \gg t_{pd4}(=20)$ .

### Ερώτηση 3:

#### **(K1, K2, K3, K4):**

Σε αυτό το ερώτημα θα γίνει η υλοποίηση μιας σειράς αναστροφέων K1, K2, K3, K4 όταν οδηγούν ένα φορτίο  $C_{pad}$  και θα βρεθούν η ελάχιστη-βέλτιστη συνολική καθυστέρηση και οι βέλτιστες διαστάσεις των τρανζίστορ, όπως φαίνεται στο σχήμα.



Για την εύρεση του φορτίου  $C_{pad}$  υλοποιήθηκε ο ελάχιστος αναστροφέας με  $W_p=8\lambda$ ,  $L=2\lambda$  για το pmos και  $W_n=4\lambda$ ,  $L=2\lambda$  για το nmos, από τον οποίο υπολογίστηκε η χωρητικότητα εισόδου  $C_{in} = 0,59fF$ .

Ύστερα βρέθηκαν τα παρακάτω μεγέθη για την εύρεση των βέλτιστων layout:

Ο συνολικός λογικός φόρτος:  $G=1*1*1*1=1$  , αφού  $g_{inv}=1$

Ο συνολικός ηλεκτρικός φόρτος:  $H = \frac{C_{out}}{C_{in}} = \frac{64*C_{in}}{C_{in}} = 64$

Ο συνολικός φόρτος διαδρομής:  $F= H*G = 64$

Το βέλτιστο  $f_i$  είναι:  $f = \sqrt[4]{64} = 2\sqrt{2} = 2,83$

Η συνολική παρασιτική καθυστέρηση:  $P= 1+1+1+1=4$  , αφού  $p_{inv} = 1$

Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = \sum f_i = 4* 2\sqrt{2} = 11,31$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 15,31$

Γνωρίζω ότι ο μοναδιαίος αντιστροφέας έχει  $\tau=3RC$ , για αυτό και η μεταβλητή  $y$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 3, για κάθε στάδιο που υπολογίζεται.

Ξεκινώντας από τη χωρητικότητα εξόδου:  $f=g*h = g * \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{gC_{out}}{f} \Leftrightarrow$

$y= (g_{inv}*64)/2\sqrt{2} \Leftrightarrow y = \frac{64}{2,83} \Leftrightarrow y= 22,5$  περίπου

Άρα, οι βέλτιστες διαστάσεις του αντιστροφέα K4 στην έξοδο είναι 8 φορές ο μοναδιαίος.

Συνεχίζοντας από τη χωρητικότητα εξόδου:  $f = g \cdot h = g \cdot \frac{y}{C_{in}} \Leftrightarrow C_{in} = \frac{g \cdot y}{f} \Leftrightarrow$

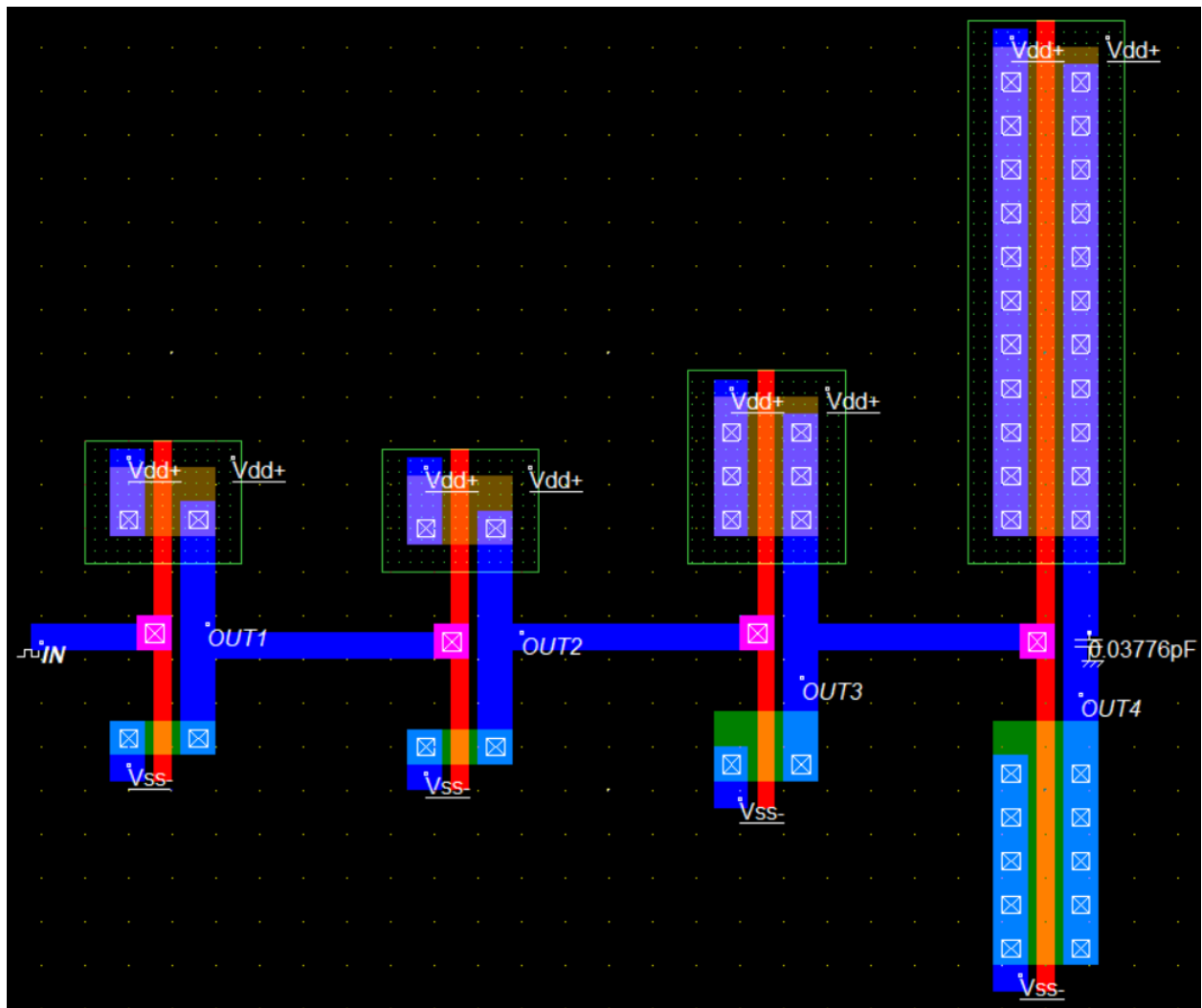
$$z = (g_{inv24}) / 2\sqrt{2} \Leftrightarrow z = \frac{24}{2,83} \Leftrightarrow z = 8,48 \text{ περίπου}$$

Άρα, οι βέλτιστες διαστάσεις του αντιστροφέα K3 είναι 3 φορές ο μοναδιαίος.

Συνεχίζοντας από τη χωρητικότητα εξόδου:  $f = g \cdot h = g \cdot \frac{z}{C_{in}} \Leftrightarrow C_{in} = \frac{g \cdot z}{f} \Leftrightarrow$

$$x = (g_{inv9}) / 2\sqrt{2} \Leftrightarrow x = \frac{9}{2,83} \Leftrightarrow x = 3,18 \text{ περίπου}$$

Άρα, οι βέλτιστες διαστάσεις του αντιστροφέα K2 είναι 1 φορά ο μοναδιαίος.



Γραφικές Παραστάσεις:



Ο συνολικός λογικός φόρτος:  $G=1*1=1$  , αφού  $g_{inv}=1$

Ο συνολικός ηλεκτρικός φόρτος:  $H = \frac{C_{out}}{C_{in}} = \frac{64 * C_{in}}{C_{in}} = 64$

Ο συνολικός φόρτος διαδρομής:  $F= H * G = 64$

Το βέλτιστο  $f_i$  είναι:  $f = \sqrt{64} = 8$

Η συνολική παρασιτική καθυστέρηση:  $P= 1+1=2$  , αφού  $p_{inv} = 1$

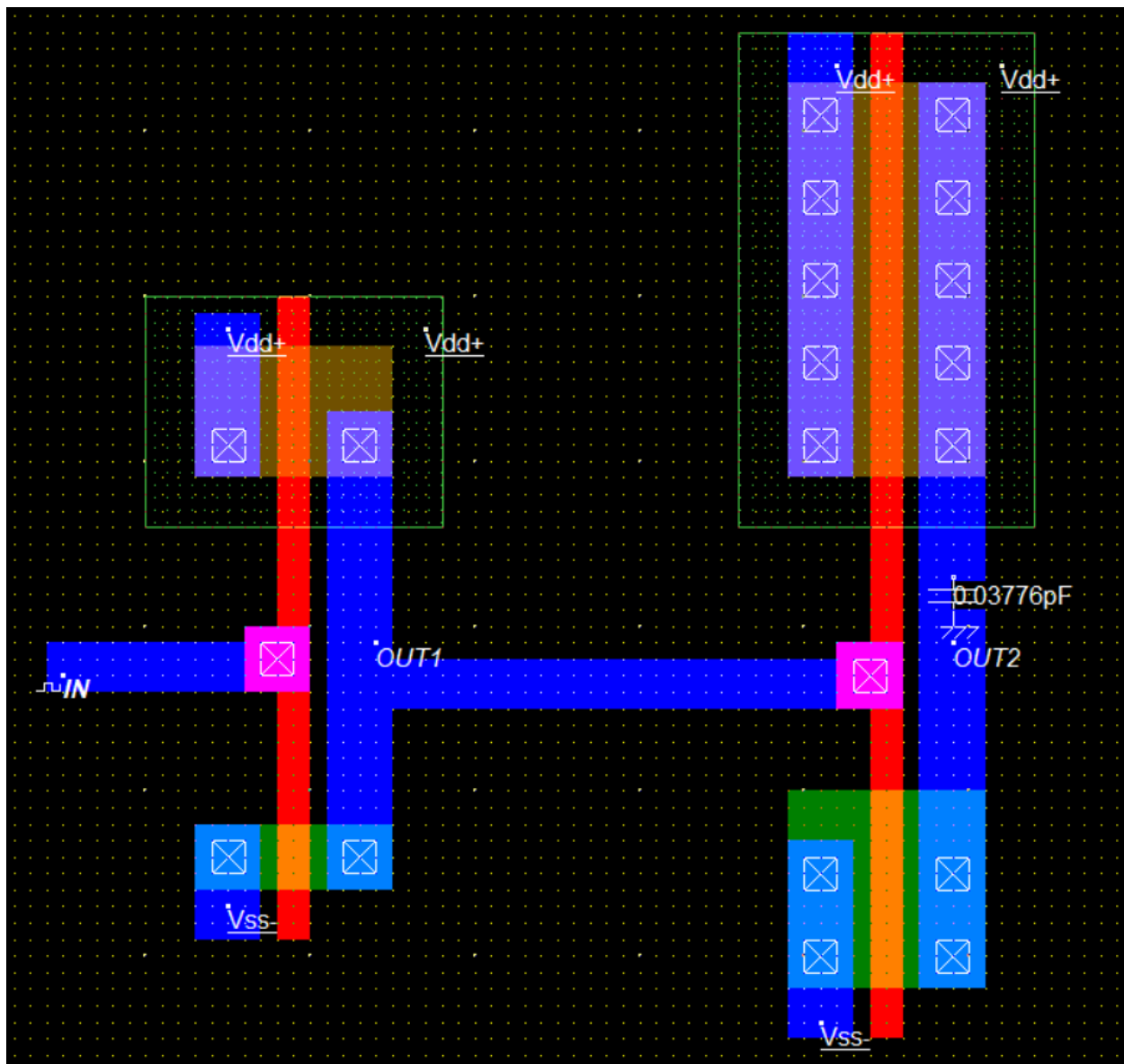
Η συνολική καθυστέρηση φόρτου διαδρομής:  $D_F = \sum f_i = 16$

Η συνολική καθυστέρηση διάδοσης:  $D = D_F + P = 18$

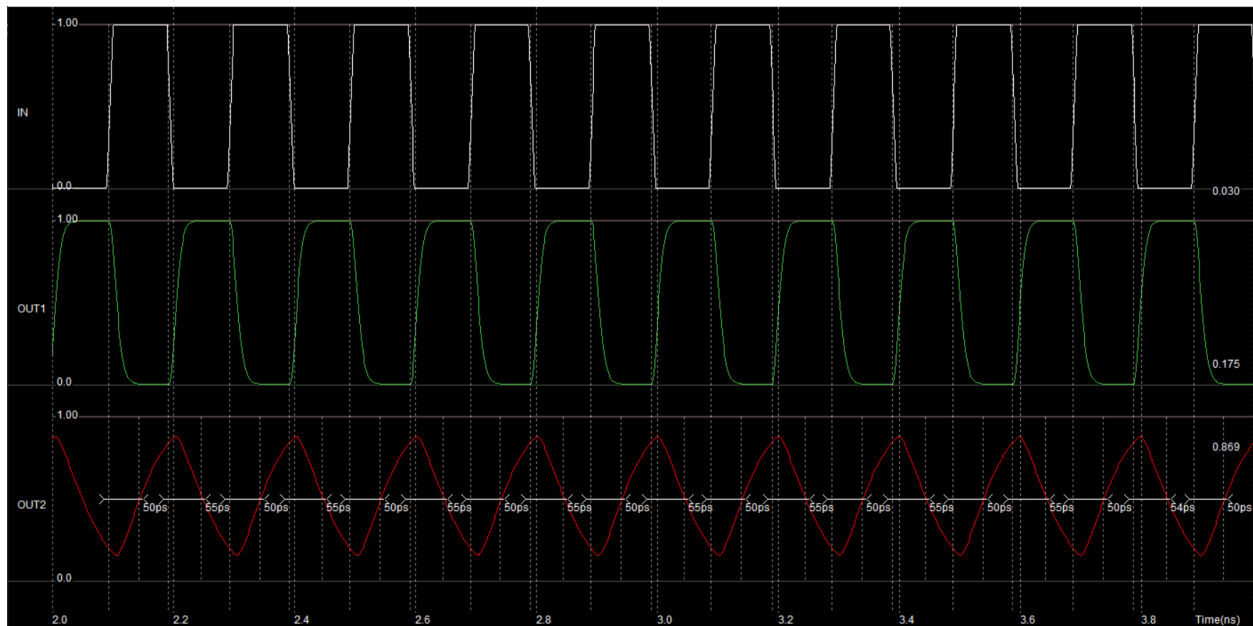
Ξεκινώντας από τη χωρητικότητα εξόδου:  $f=g*h = g * \frac{C_{out}}{C_{in}} \Leftrightarrow C_{in} = \frac{gC_{out}}{f} \Leftrightarrow$

$y= (g_{inv} * 64)/8 \Leftrightarrow y = \frac{64}{8} \Leftrightarrow y = 8$

Γνωρίζω ότι ο μοναδιαίος αντιστροφέας έχει  $\tau=3RC$ , για αυτό και η μεταβλητή  $y$  θα πρέπει να είναι ακέραιο πολλαπλάσιο του 3. Άρα, οι βέλτιστες διαστάσεις του αντιστροφέα K2 στην έξοδο είναι 3 φορές ο μοναδιαίος.

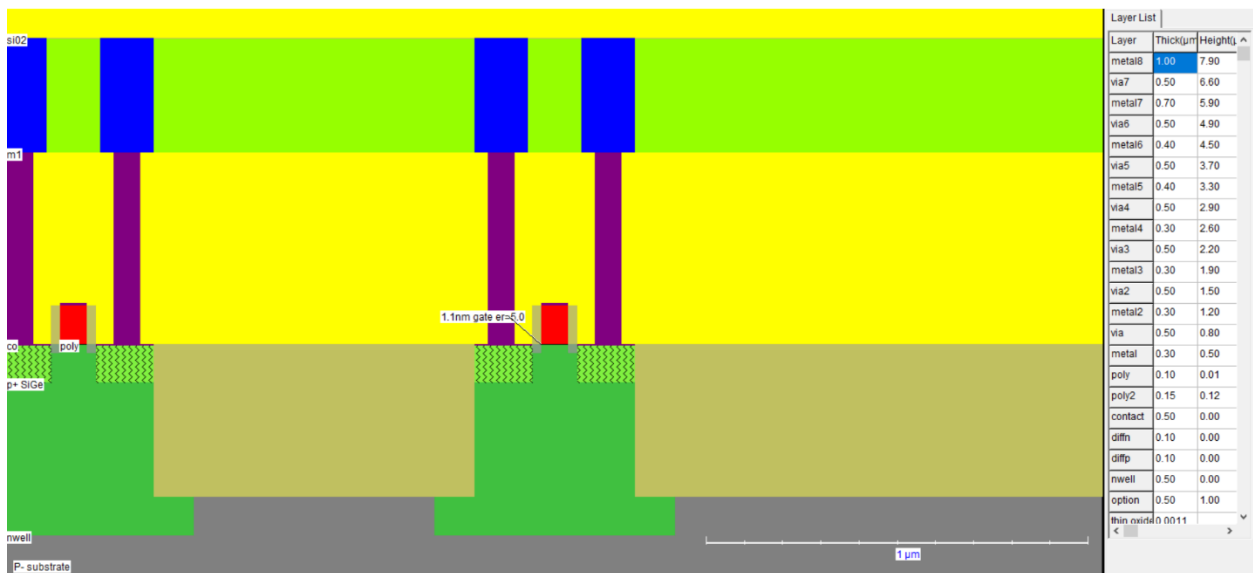


Γραφικές Παραστάσεις:



Από την γραφική παράσταση φαίνεται ότι στην έξοδο της σειράς αντιστροφών το  $t_{pr}=55\text{psec}$  και το  $t_{pf}=54\text{psec}$  μετά την πάροδο κάποιου χρόνου ενώ στον πρώτο παλμό είχαμε  $t_{pdr}=83\text{psec}$  και  $t_{pdf}=61\text{psec}$ . Άρα ένας μέσος όρος για το  $t_{pd}$  είναι  $t_{pd}=60\text{psec}$  με  $65\text{psec}$ .

### Τομή σε κρίσιμη περιοχή:



### Συμπέρασμα:

Από τα παραπάνω αποτελέσματα βλέπουμε ότι πιο γρήγορη κυκλωματική υλοποίηση είναι αυτή με τους τέσσερις αντιστροφείς. Αυτό προκύπτει θεωρητικά, αφού από τα μεγέθη που

υπολογίσαμε καταλήξαμε σε συνολική καθυστέρηση διάδοσης  $D_{14}(=15,31) < D_{12}(=18)$ . Αυτό τ  
συμπέρασμα επαληθεύτηκε και πειραματικά αφού ο μέσος όρος  $tpd_{14}(=58psec) < tpd_{12}(=65psec)$