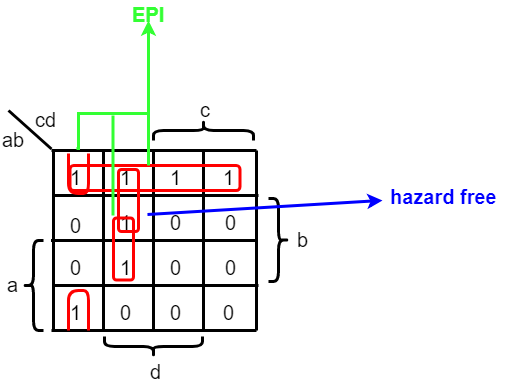
Logic Design

210510210 詹其侁

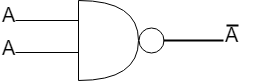
Lab1

K-map :



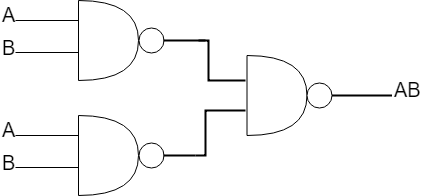
這是費式數列的K-map{0, 1, 2, 3, 5, 8, 13}，K-map大括號旁的英文字母表示，那兩行或兩列為1的值。有三個綠色的EPI 原本我只用這三個EPI做，後來詢問助教才了解到，每塊都必須有相連的，否則在他們信號轉換的過程中就會跑出hazard free的問題。

My\_not gate:



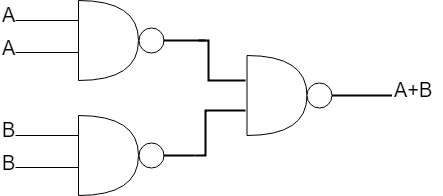
我用了一個nand gate做出My\_not gate。

My\_and gate:



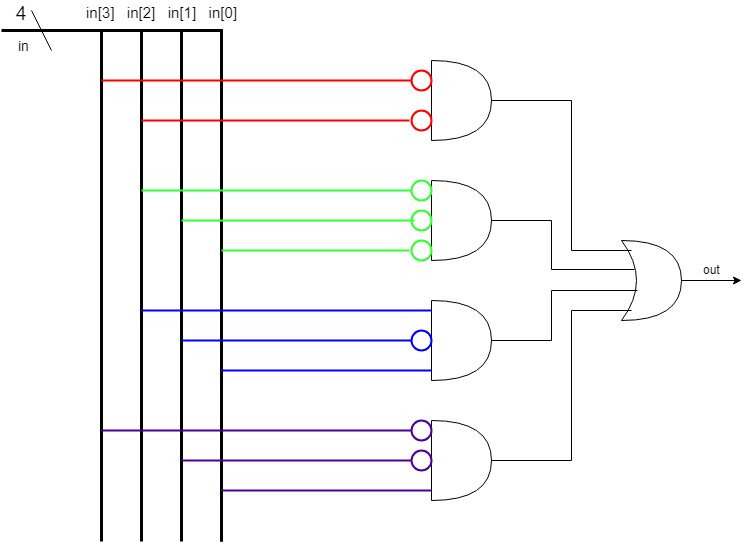
這個圖其實就等於先對AB做一次nand之後，再傳入我的not gate。

My\_or gate:



這個跟上面的很像，只是他會對非A和非B做nand的動作，結果我有運算，等於A+B。

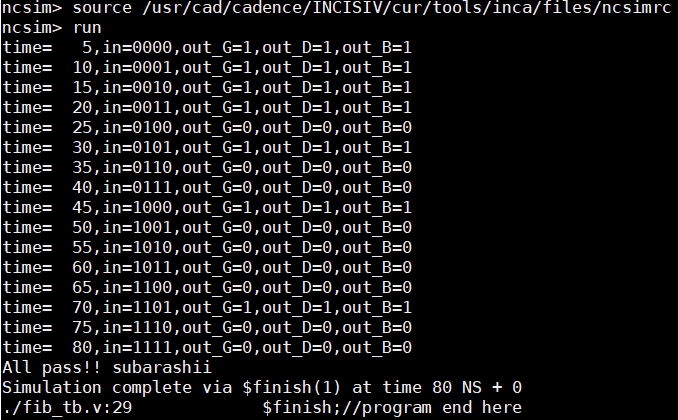
電路圖 :



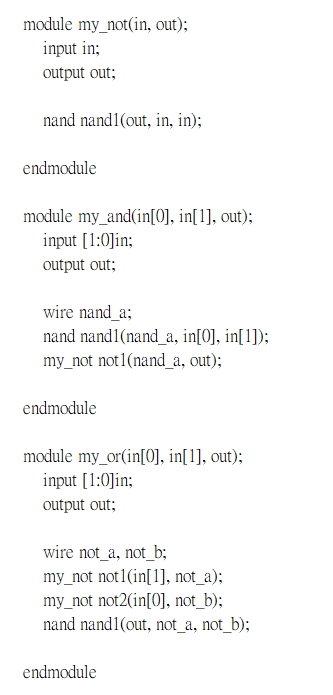
這是用4個and和1個out組合成的4-input電路圖，最後紫色的是處理hazard free 所加上的。

原本我的電路圖就長這樣，幸好有同學提問助教是否電路圖也要用nand gate來表示，我才補了上面第二頁。所以上面那張圖的not gate, and gate, or gate都是用my\_not gate, my\_and gate, my\_or gate。我在寫這項作業的時候，也是先畫出電路圖，之後再想怎麼用nand gate來完成其他的gate，在思考的過程中發現碰到瓶頸，是看了助教給的網頁才豁然開朗。

模擬結果:



在跑模擬結果的時候，第一次是錯的，原因是我裡面有一項原本包含非B，結果我打成B。後來又碰上許多問題，包括整行都是Z的情況，在後來下載了新的testbench之後就解決了。而且我發現testbench很好，我是先完成G就讓他跑了，他還是可以順利結束，不會因為其他沒做好就在第一步跳停。

程式碼部分截圖:

結論

這次的lab1在實作的過程中碰到很多困難，從一開始不熟悉verilog，到後來不會用工作站，都是慢慢理解網路的講義還有爬文，之後每次討論區基本上都會問出我的問題，回去看才發現又錯了，像之前就沒發現我的G整行都是Z，但看了同學的問題，回去檢查發現到這個問題。最後又看到同學問了電路圖的問題，所以我又再補上自己的gate，可以說這次的lab1是一直到最後都還在修改。要問助教的問題在實作過程中都已經得到解決了，所以目前沒有問題，謝謝助教。