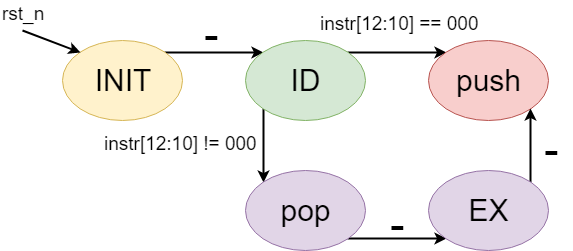
Logic Design

210510210 詹其侁

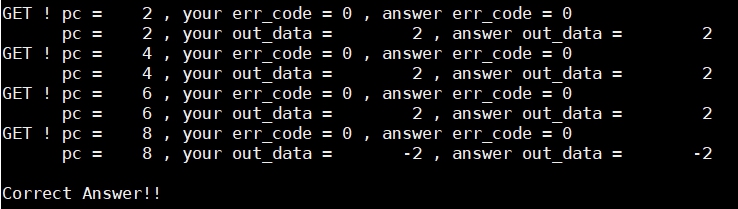
Lab5

1.state的設計&解釋

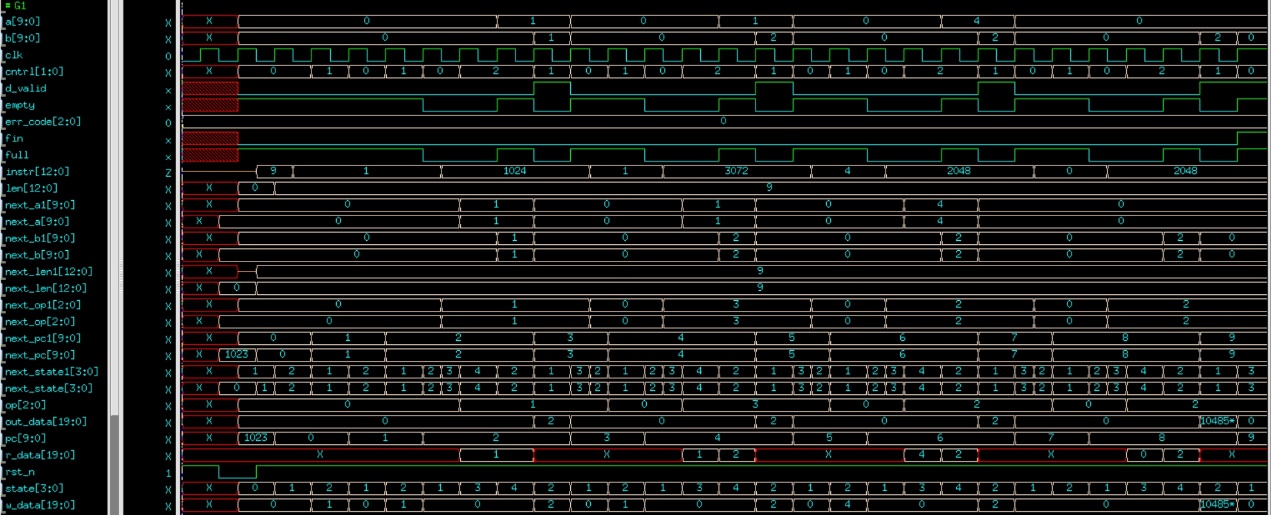


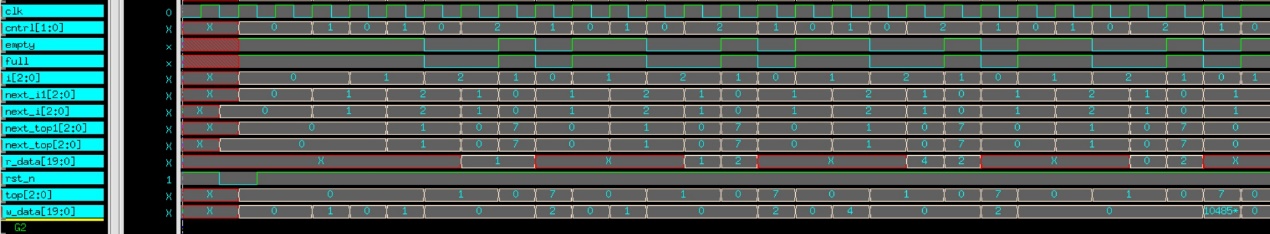
* 這次lab要做的是stack machine，我們要自己寫一個memory來存放資料，並實現push, pop等功能。在SM裡面我們則要讓他能做到add, sub, mul。我的作法是用一個op去記，現在是add, sub還是mul，因為這三個都是pop兩次之後再push回去，所以我統一在push裡面判斷是add, sub還是mul，如果是這三個就讓d\_valid等於1，如果是push就讓它等於0。
* State INIT : rst\_n等於0的時候進來，讀長度，此時沒有要對memory做事情，所以control是0。沒有要輸出data所以d\_valid是0，下一個pc是從0開始，所以next\_pc1是0。
* State ID : 這個state的作用是來判斷是push, add, sub, mul的，如果是push就跑到state\_push，不然另外三個都是跑到state\_pop裡面。這裡op也會去記現在是在做add, sub還是mul，control跟d\_valid都是0。比較值得注意的是pc的部分，這裡的pc不會動。
* State push : push是唯一一個d\_valid會拉起來的state因為不管是add, sub還是mul他們都是在push的時候才是計算結束的時候，所以在這邊拉起d\_valid，同時pc也可以往下一個移動，所以pc會加1。Control是01，因為要把資料寫入memory，而下個state會跑回ID，因為要繼續去判斷，看看新的指令是甚麼。如果只是單純push就會將d\_valid設成0，因為我是用op來做判斷的，所以可以知道現在是在做甚麼運算。
* State pop : 這裡會先pop出第一個值，存放在a，control是10，因為要從memory拿值，pc則維持不動，因為還沒做完這個指令。
* State EX : 這裡會把第二個值pop出來，存放在b，control一樣是10，pc也是維持不動，下一個state會回到push看看op是add, sub或者mul，來決定要怎麼對a, b做運算。原本我不想寫這個，想直接在push裡面用a再加上r\_data可是感覺很亂，所以我就多加了一個state。

2. Ncverilog Simulation Result:



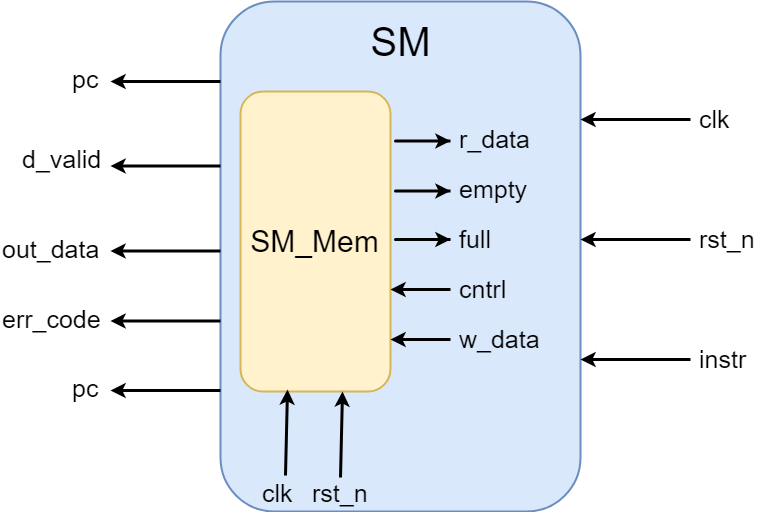
3. nWave Result:



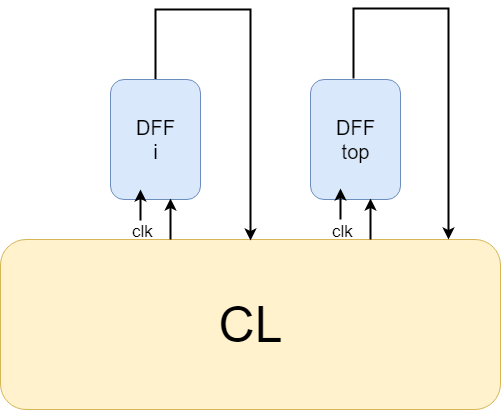


4. Block Diagram:

SM:



SM\_Mem:



5. SM\_Mem:

這次的memory我是用2維的矩陣來存放，同時我有兩個變數，一個是i，一個是top，i是用來記錄最上面資料再加1的index，top就是指向最上面資料的index。所以我在存放資料進來mem的時候，會用i，而pop的時候會用top。

6. Problem encountered and discussion:

一開始我真的完全沒頭緒，不知道怎麼寫memory也不知道要怎麼畫state，因為我第一版的state畫了超多個，就是分成add然後有add的pop1，add的pop2還有add的push之類的，可是馬上就遇到問題，因為我不知道init之後要接什麼state後來接了push，但是之後也不確定要接甚麼，那時候去問問題，看大家都寫出東西了，我就很慌，所以也不敢去問助教，在那邊想state要怎麼畫，後來等大家都走了，我才去問助教我的state這樣正不正確，而之後助教給了我一些提示，回去我就馬上動工了，有了助教的提示，我就做得比較快了，再加上別人再問問題的時候，我有去聽他們的問題，因為我知道之後再做的時候應該會碰到，這幫助我很大。

不過我有個問題，就是為什麼我沒用到negedge可是還是做得出來，那時候看很多人都會因此做錯，只是我不曉得在哪裡要用到negedge。希望助教能幫忙解答，謝謝助教。